

UNIVERSITÉ LAVAL,  
Faculté des Sciences et de Génie,  
Département de Génie Électrique,  
LABORATOIRE de TĒLĒCOMMUNICATIONS.

Rapport final

ETUDE COMPAREE DE DEUX TECHNIQUES RADIOGONIOMETRIQUES  
DE TRAITEMENTS DE SIGNAUX POUR L'ANTENNE-SPIRALE

par

Jules A. Cummins, Gilles Y. Delisle, John Ahern

pour

Gouvernement du Canada  
Ministère des Communications, Ottawa

sous

Contrat OSU80-00188 du Ministère  
des Approvisionnements et Services

Période du 5 septembre 1980 au 31 mars 1981

Juin 1981

Rapport n° LT-81-8282

**UNIVERSITÉ LAVAL,  
Faculté des Sciences et de Génie,  
Département de Génie Électrique,  
LABORATOIRE de TÉLÉCOMMUNICATIONS.**

Rapport final

ETUDE COMPAREE DE DEUX TECHNIQUES RADIOGONIOMETRIQUES  
DE TRAITEMENTS DE SIGNAUX POUR L'ANTENNE-SPIRALE ;

par

Jules A. Cummins, Gilles Y. Delisle, John Ahern

pour

Gouvernement du Canada  
Ministère des Communications, Ottawa

sous

Contrat OSU80-00188 du Ministère  
des Approvisionnements et Services

Période du 5 septembre 1980 au 31 mars 1981

Juin 1981

Rapport n° LT-81-8282

Industry Canada  
Library Queen

JUL 20 1998

Industrie Canada  
Bibliothèque Queen

COMMUNICATIONS CANADA

FEB 9 1984

LIBRARY - BIBLIOTHÈQUE

RAPPORT FINAL

ETUDE COMPAREE DE DEUX TECHNIQUES RADIOGONIOMETRIQUES  
DE TRAITEMENTS DE SIGNAUX POUR L'ANTENNE-SPIRALE  
(Phase III)

Par : Dr Jules A. Cummins, Chercheur principal  
Dr Gilles Y. Delisle, Collaborateur  
M. John Ahern, Etudiant gradué

Laboratoire de Télécommunications  
Département de Génie Electrique  
Université Laval, Québec, Canada G1K 7P4

Pour : Ministère des Communications, Ottawa  
  
Contrat OSU80-00188 du Ministère des  
Approvisionnement et Services

Durée : 5 septembre 1980 au 31 mars 1981

Juin 1981

Rapport n° LT-81-8282

## Table des Matières

Chapitre 1	INTRODUCTION . . . . .	1
1.1	La première phase. . . . .	1
1.2	La deuxième phase. . . . .	2
1.3	La troisième phase . . . . .	3
1.4	Plan du rapport . . . . .	3
Chapitre 2	TRAITEMENT DES SIGNAUX D'ANTENNES A DES FINS RADIOGONIOMETRIQUES . . . . .	5
2.1	Description du système proposé . . . . .	5
2.2	Calcul de la direction d'arrivée d'une onde électromagnétique	7
2.2.1	Radiogoniométrie par comparaison d'amplitudes . . . . .	8
2.2.2	Radiogoniométrie par "Monopulse" . . . . .	11
2.3	Evaluation comparée de deux systèmes à quatre ou à six antennes, respectivement . . . . .	13
2.4	Sensibilité angulaire du système . . . . .	16
2.5	Conclusions . . . . .	17
Chapitre 3	REALISATION ET VERIFICATION EXPERIMENTALE . . . . .	18
3.1	L'antenne-spirale . . . . .	18
3.1.1	Détails de construction . . . . .	19
3.2	Cavité de l'antenne-spirale . . . . .	20
3.2.1	Détails de construction . . . . .	20
3.3	Le "BALUN" . . . . .	29
3.4	Commutateurs à diodes et circuits de contrôle. . . . .	31
3.4.1	Fonctionnement du circuit de contrôle . . . . .	33
3.5	Caractéristiques du récepteur et du détecteur d'amplitude. . . . .	33
3.5.1	Le récepteur . . . . .	33
3.5.2	Le détecteur d'amplitude . . . . .	34
3.6	Conversion A/D des données . . . . .	40
3.7	Affichage des résultats. . . . .	42
3.8	Conclusions. . . . .	42
Chapitre 4	RESULTATS EXPERIMENTAUX PRELIMINAIRES. . . . .	44
4.1	Introduction . . . . .	44
4.2	Techniques de mesure. Arrangement physique . . . . .	44
4.3	Fréquences utilisées . . . . .	45

Chapitre 4.4	Résultats expérimentaux. Antenne spirale . . . . .	52
4.4.1	Cavité de 14". Pas d'absorbant. . . . .	52
4.4.2	Cavité de 7". Pas d'absorbant. . . . .	52
4.4.3	Cavité de 4" avec absorbant . . . . .	58
4.4.4	Cavité de 5" avec absorbant . . . . .	58
4.5	Performance du "BALUN" . . . . .	76
4.6	Conclusions. . . . .	79
Chapitre 5	LOGICIEL DU SYSTEME . . . . .	80
5.1	Introduction . . . . .	80
5.2	Description des programmes . . . . .	80
5.3	Listing des programmes . . . . .	84
5.4	Conclusions . . . . .	109
Chapitre 6	CONCLUSIONS . . . . .	110
	Bibliographie . . . . .	111
Appendice A	Entrée-sortie du microprocesseur . . . . .	112
Appendice B	Documentation technique . . . . .	115

## Chapitre I

### Introduction

Cette étude constitue la troisième phase d'un projet qui vise à réaliser un système complet de radiogoniométrie basé sur les propriétés de l'antenne-spirale et dont les principaux composants feront intervenir les techniques électroniques les plus modernes de traitement de signaux. Les travaux réalisés au cours de cette étape montrent, hors de tout doute, que le système sera bientôt opérationnel et que les résultats espérés seront atteints compte tenu de la performance offerte par chacune des composantes du prototype actuel.

Dans ce chapitre, on fera un rappel des travaux et résultats obtenus au cours des phases précédentes et l'on identifiera les progrès réalisés au cours de la dernière étape.

#### 1.1 LA PREMIERE PHASE

L'objectif fondamental des travaux de recherche en cours dans le cadre de ce contrat est la conception d'un système de radiogoniométrie capable d'indiquer la direction d'arrivée de signaux électromagnétiques situés dans la portion du spectre comprise entre 138 et 900 MHz. Au cours de la première phase [1], nous avons cherché à définir et étudier le système d'antennes le plus approprié à la réalisation de notre objectif, en tenant compte des contraintes particulières suivantes:

- a) obtenir un diagramme de rayonnement qui possède une symétrie de révolution autour d'un axe perpendiculaire au plan de l'antenne;
- b) la largeur du lobe principal ne doit varier que très légèrement sur toute la plage de fréquences à l'étude, soit 138 à 900 MHz;
- c) caractériser les variations du lobe de façon à ce qu'il soit possible d'en tenir compte dans le calcul de la direction d'arrivée du signal;

d) garder l'impédance d'entrée de l'antenne à peu près constante sur la plage de fréquences à l'étude.

Nous avons donc procédé à une étude exhaustive des propriétés de l'antenne spirale qui a été retenue comme étant celle qui devrait normalement permettre d'approcher le plus idéalement possible les caractéristiques exigées par le système.

Les étapes ont été les suivantes:

1<sup>o</sup>) étude bibliographique sur les antennes spirales et sur les méthodes utilisées pour convertir un circuit d'alimentation non symétrique en un circuit symétrique;

2<sup>o</sup>) conception et fabrication d'une antenne spirale à deux brins sous forme de circuit imprimé dont les caractéristiques pouvaient satisfaire les exigences requises;

3<sup>o</sup>) choix motivé, conception et fabrication d'un circuit d'alimentation balancée à large bande et caractérisation expérimentale des performances;

4<sup>o</sup>) conception et fabrication d'une cavité métallique dont les parois intérieures sont recouvertes d'un matériel capable d'absorber les champs émis par la face interne de la spirale éliminant ainsi le lobe arrière de l'antenne;

5<sup>o</sup>) programme systématique de mesures ayant pour but de vérifier la forme des diagrammes de rayonnement, le taux d'ondes stationnaires et le gain du système.

## 1.2 LA DEUXIEME PHASE

Compte tenu des résultats obtenus au cours de la première phase, les objectifs poursuivis au cours de la seconde étape [2] visaient à aboutir à un choix motivé de la méthode à utiliser pour le traitement des signaux.

Cependant, à cause des deux raisons suivantes:

1) faciliter la manutention des antennes et leur vérification à l'intérieur de la chambre anéchoïque,

2) bénéficier de l'appareillage disponible au laboratoire et utiliser les antennes déjà construites au cours de la phase initiale,

il fut décidé de multiplier la gamme de fréquence par un facteur quatre pour les fins de l'expérimentation.

Cette seconde étape a permis de déterminer les caractéristiques de l'antenne-spirale, à savoir son impédance, son diagramme de rayonnement, le gain et le rapport d'excentricité. Les techniques de mesure qui ont été utilisées pour obtenir les résultats y ont également été discutées. Dans l'ensemble, les travaux exécutés ont démontré l'excellente performance que l'on peut tirer de l'antenne-spirale à deux brins, en utilisant les méthodes de circuits imprimés tant pour la fabrication de l'antenne proprement dite que pour le circuit d'alimentation balancée.

Les diagrammes de rayonnement enregistrés en coordonnées polaires sur une vaste plage de fréquences allant de 0,6 GHz à 3 GHz sont suffisamment uniformes pour fins de radiogoniométrie.

### 1.3 LA TROISIEME PHASE

Tel que nous l'avions proposé dans notre demande de renouvellement de contrat, les objectifs principaux de cette troisième étape étaient:

- 1<sup>o</sup>) évaluation de la méthode "monopulse" comme alternative à la comparaison des amplitudes pour la détermination de la direction d'arrivée des signaux;
- 2<sup>o</sup>) évaluation systématique de la méthode de comparaison d'amplitudes;
- 3<sup>o</sup>) fabrication d'une partie du système à l'aide du matériel retenu.

Ces objectifs ont été très largement excédés et les nombreux résultats présentés dans ce rapport le démontrent très facilement.

### 1.4 PLAN DU RAPPORT

Le chapitre suivant présente une analyse systématique des méthodes de

traitement des signaux à des fins radiogoniométriques et présente la technique retenue.

Au chapitre trois, on retrouvera l'ensemble des détails et techniques qui ont conduit à la réalisation et vérification expérimentale du système.

Au chapitre 4, les résultats expérimentaux préliminaires sont présentés et montrent jusqu'à quel point le système est déjà très avancé dans sa réalisation.

Le chapitre 5 permet de suivre le cheminement du logiciel utilisé pour rendre opérationnel le système et le chapitre 6 met en évidence les conclusions importantes qui se dégagent de nos travaux.

On retrouvera également une bibliographie et deux appendices donnant les détails techniques qu'il aurait été difficile de placer dans le corps du texte.

## Chapitre 2

### TRAITEMENT DES SIGNAUX D'ANTENNES A DES FINS RADIOGONIOMETRIQUES

Ce chapitre présente une analyse critique des diverses méthodes de traitement de signal qui s'offrent au concepteur d'un système de mesures radiogoniométriques, et parmi lesquelles il doit faire un choix motivé. Une telle analyse présuppose, cependant, l'existence de certains critères de performance lors de l'évaluation d'un système donné. Pour éviter toute ambiguïté, une définition précise des critères accompagne chaque évaluation. De plus, les considérations sur le traitement de signal doivent, tout d'abord, être précédées au moins d'une brève description de l'ensemble du système proposé pour recueillir les données, à partir desquelles s'effectuera le calcul de la direction d'arrivée des signaux. La section qui suit contient cette description.

#### 2.1 DESCRIPTION DU SYSTEME PROPOSE

Dans notre système radiogoniométrique, les signaux reçus de deux (ou plusieurs) antennes identiques, dont on connaît le diagramme de rayonnement, sont comparés et la direction d'arrivée du signal (DOA) est déterminée selon un algorithme propre à chaque système. Le schéma de principe de la figure 2-1 illustre les principales composantes du système radiogoniométrique que nous avons utilisé au laboratoire pour calculer la direction d'arrivée d'une onde porteuse modulée en fréquence et située dans la portion du spectre comprise entre 138 et 900 MHz.

Afin de déterminer cette direction d'arrivée, l'entrée du récepteur est reliée *séquentiellement* à chacune des antennes à l'aide d'un commutateur à diodes. Après démodulation, le signal est digitalisé à l'aide d'un microprocesseur qui gère toutes les opérations par une boucle de retour. Après avoir vérifié que les données étaient valides, les calculs sont effectués conformément à l'algorithme de calcul exposé à la section suivante. Le

## BLOC DIAGRAMME

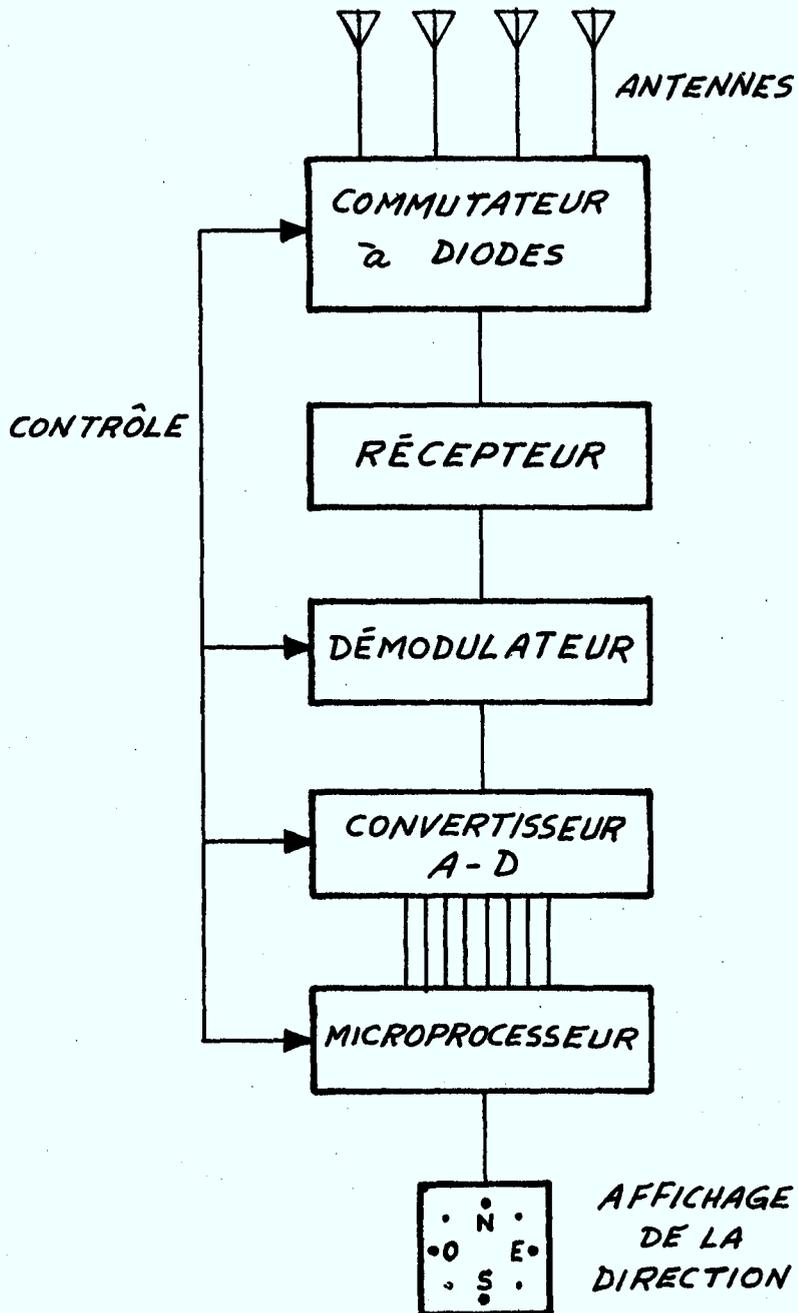


Figure 2-1. Schéma de principe du système radiogoniométrique.

résultat est ensuite affiché soit en fonction du point cardinal d'où provient le signal, soit directement en degrés par rapport à une direction de référence de  $0^\circ$ .

Il va sans dire que le schéma global de la figure 2.1 peut évidemment s'accommoder de plusieurs algorithmes de traitement des signaux reçus. Les principaux sont décrits à la section suivante.

## 2.2 CALCUL DE LA DIRECTION D'ARRIVEE D'UNE ONDE ELECTROMAGNETIQUE

---

Une onde électromagnétique, modulée en fréquence, dont la porteuse est une fonction harmonique, possède deux paramètres bien distincts: l'amplitude et la phase. Chacun d'eux peut servir au calcul de la direction d'arrivée d'un signal. Toutefois, la comparaison de phase présuppose un échantillonnage *simultané* des ondes captées par deux antennes différentes. Avec un système qui, comme le nôtre, ne dispose que d'un seul récepteur, cette forme de traitement de signal, en la supposant possible, ne se ferait pas sans de nombreuses complications, en particulier l'opération en temps réel. Aussi nos efforts se sont-ils plutôt dirigés vers les systèmes radiogoniométriques qui calculent la direction d'une onde en *comparant l'amplitude* des signaux reçus par les antennes. Ceux-ci se prêtent beaucoup mieux à un échantillonnage séquentiel et à la commande numérique.

De plus, on divise généralement en *deux classes* les systèmes qui, en dernière analyse, s'appuient sur l'amplitude des signaux reçus pour calculer leur direction. Dans l'une d'elles, on évalue directement le rapport d'intensité des ondes captées par chacune des antennes. C'est la méthode de "*comparaison d'amplitudes*" proprement dite. Dans l'autre, c'est plutôt le rapport qui existe entre la différence d'amplitude des signaux reçus et la somme des mêmes amplitudes qui est utilisée. La technique appelée "*monopulse*" est, sans doute, l'exemple le mieux connu de cette dernière méthode de traitement de signal. C'est aussi celle qui est couramment utilisée dans de nombreux appareils RADAR.

Une évaluation des mérites respectifs de chacune des deux méthodes de traitement de signal qui sont basées sur la comparaison d'amplitude a été entreprise. Celle qui nous a paru être la meilleure a, ensuite, été vérifiée

expérimentalement. Les pages qui suivent contiennent, à la fois, une brève description des considérations théoriques qui nous ont guidés et les résultats des mesures expérimentales effectuées aux laboratoires.

### 2.2.1 Radiogoniométrie par comparaison d'amplitudes

Avec cette méthode, on note

- a) qu'il existe une relation *non-linéaire* entre le rapport d'amplitudes des signaux reçus par deux antennes et l'angle d'arrivée du signal (cet angle est noté  $\theta$  et la direction choisie comme référence  $\theta_0$ ).
- b) qu'à une fréquence déterminée, cette relation non-linéaire varie avec la forme du diagramme de rayonnement.

A titre d'exemple des constatations précédentes, supposons que, dans le plan azimutal, le diagramme de rayonnement d'une antenne-spirale soit un cercle parfait. Cette hypothèse est une idéalisation mais, dans certains cas, elle se rapproche beaucoup de la réalité. Le système à quatre antennes de la figure 2-2 peut alors être utilisé pour dériver les caractéristiques de cette méthode.

En coordonnées polaires, on peut écrire les relations

$$A = E_0 \cos\theta \quad (2-1)$$

$$B = E_0 \sin\theta \quad (2-2)$$

où A et B représentent les tensions de sortie de l'antenne réceptrice et où le champ électrique incident est caractérisé par une constante  $E_0$ . Le rapport des amplitudes peut donc être exprimé comme

$$\theta = \tan^{-1}(B/A) \quad (2-3)$$

et cet exemple met en évidence les caractéristiques de la méthode mentionnée précédemment, à savoir que  $\theta$  est une fonction non-linéaire du rapport des amplitudes des signaux captés par les antennes et que, lorsque  $\theta$  varie, le rapport B/A varie lui aussi. En ce sens, il est permis de considérer que l'angle d'arrivée des signaux est une fonction du diagramme de rayonnement.

résultat est ensuite affiché soit en fonction du point cardinal d'où provient le signal, soit directement en degrés par rapport à une direction de référence de  $0^{\circ}$ .

Il va sans dire que le schéma global de la figure 2.1 peut évidemment s'accommoder de plusieurs algorithmes de traitement des signaux reçus. Les principaux sont décrits à la section suivante.

## 2.2 CALCUL DE LA DIRECTION D'ARRIVEE D'UNE ONDE ELECTROMAGNETIQUE

Une onde électromagnétique, modulée en fréquence, dont la porteuse est une fonction harmonique, possède deux paramètres bien distincts: l'amplitude et la phase. Chacun d'eux peut servir au calcul de la direction d'arrivée d'un signal. Toutefois, la comparaison de phase présuppose un échantillonnage *simultané* des ondes captées par deux antennes différentes. Avec un système qui, comme le nôtre, ne dispose que d'un seul récepteur, cette forme de traitement de signal, en la supposant possible, ne se ferait pas sans de nombreuses complications, en particulier l'opération en temps réel. Aussi nos efforts se sont-ils plutôt dirigés vers les systèmes radiogoniométriques qui calculent la direction d'une onde en *comparant l'amplitude* des signaux reçus par les antennes. Ceux-ci se prêtent beaucoup mieux à un échantillonnage séquentiel et à la commande numérique.

De plus, on divise généralement en *deux classes* les systèmes qui, en dernière analyse, s'appuient sur l'amplitude des signaux reçus pour calculer leur direction. Dans l'une d'elles, on évalue directement le rapport d'intensité des ondes captées par chacune des antennes. C'est la méthode de "*comparaison d'amplitudes*" proprement dite. Dans l'autre, c'est plutôt le rapport qui existe entre la différence d'amplitude des signaux reçus et la somme des mêmes amplitudes qui est utilisée. La technique appelée "*monopulse*" est, sans doute, l'exemple le mieux connu de cette dernière méthode de traitement de signal. C'est aussi celle qui est couramment utilisée dans de nombreux appareils RADAR.

Une évaluation des mérites respectifs de chacune des deux méthodes de traitement de signal qui sont basées sur la comparaison d'amplitude a été entreprise. Celle qui nous a paru être la meilleure a, ensuite, été vérifiée

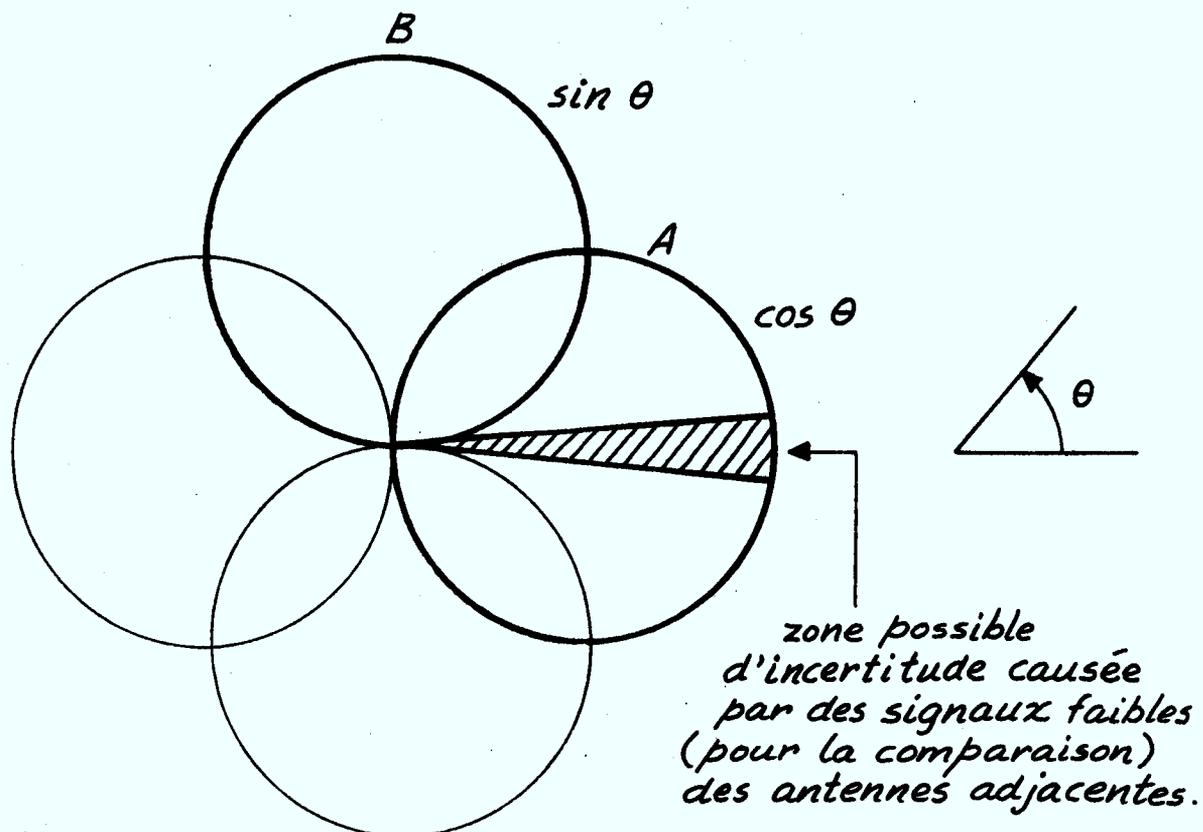


Figure 2-2. Système à quatre antennes (avec diagrammes de rayonnement circulaires) utilisé pour démontrer la radiogoniométrie par comparaison d'amplitudes.

On note cependant que pour obtenir  $\theta$ , on doit calculer une arc-tangente et que cela n'est pas facile à obtenir par programmation sur un ordinateur. En particulier, afin d'avoir suffisamment de rapidité d'exécution, la programmation doit être faite directement en langage machine, un langage plus évolué étant nécessairement trop lent.

Deux façons différentes pour le calcul de la  $\tan^{-1}$  requise ont été explorées et cela, en vue de déterminer la direction d'arrivée de l'onde incidente sur l'antenne.

Dans la première, une fonction quadratique de la forme

$$d = Ar^2 + Br + C \quad (2-4)$$

représente, de façon approchée, la forme du diagramme de rayonnement en fonction de  $\theta$ . Dans l'équation (2-4),  $d$  est la valeur de  $\tan^{-1}$  (en degrés),  $r$  le rapport des amplitudes et  $A$ ,  $B$  et  $C$  sont des constantes déterminées pour un lissage optimal par la méthode des moindres carrés. Cependant, à cause des erreurs jugées excessives dans beaucoup de résultats, cette approche n'a pas été retenue.

En revanche, la seconde méthode donne des résultats d'une précision vraiment remarquable. Cette façon de procéder est basée sur la relation univoque qui existe, à une fréquence donnée, entre le diagramme de rayonnement et la direction d'arrivée de l'onde. Pour l'appliquer, on enregistre d'abord dans la mémoire du microprocesseur le rapport d'amplitude des signaux reçus par une paire d'antennes identiques, mais orientées différemment, pour diverses directions d'arrivée de l'onde incidente et pour un groupe de fréquences, choisies à l'intérieur du spectre spécifié pour le fonctionnement de l'appareil. Pour une couverture azimutale complète, soit  $360^\circ$ , les maxima des diagrammes de rayonnement auront une orientation qui différera de  $90^\circ$  ou de  $60^\circ$ , selon le nombre total d'antennes utilisées, soit quatre ou six, respectivement.

Au tableau 2.1, on donne un exemple des valeurs des rapports d'amplitudes qui sont mis en mémoire pour diverses valeurs de la direction d'arrivée. Dans ce cas précis, ces valeurs sont prises à des intervalles réguliers de  $9^\circ$  et la précision obtenue, même avec un faible nombre de points s'avère satisfaisante en général.

<u>Direction d'arrivée</u>	<u>Rapport d'amplitude</u>
0°	0,0
9°	0,0255
18°	0,108
27°	0,253
36°	0,549
45°	1,0

Tableau 2-1. Tableau des valeurs mises en mémoire

Le calcul des directions d'arrivée (DOA) non-enregistrées en mémoire, i.e. les valeurs intermédiaires, est fait à l'aide de la formule d'interpolation linéaire suivante:

$$\text{DOA} = \left[ \frac{R - Y_{LI}}{Y_{LS} - Y_{LI}} \right] X_D + X_{LI} \quad (2-5)$$

dans laquelle:

- R = le rapport des signaux reçus,
- $Y_{LI}$  = le rapport immédiatement inférieur à R,
- $Y_{LS}$  = le rapport immédiatement supérieur à R,
- $X_D$  = la largeur d'un intervalle en degrés,
- $X_{LI}$  = l'angle correspondant à  $Y_{LI}$ .

Cette formule comporte une erreur systématique dont la valeur absolue est inférieure à 1°, jugée suffisante pour le système actuel. Une précision plus grande est toujours possible, à l'aide d'une table plus complète, enregistrée en mémoire.

### 2.2.2 Radiogoniométrie par "Monopulse"

La méthode "Monopulse" (i.e. somme et différence) est bien connue, grâce à l'emploi général qui en est fait pour repérer une cible à l'aide d'un appareil radar.

Pour utiliser cette technique, on forme deux diagrammes de rayonnement: le premier étant la somme de deux diagrammes individuels, l'autre leur différence.

Le principal avantage du "Monopulse" est, d'après Rhodes [3], une très grande stabilité du point de visée (boresight). Toutefois, pour l'application qui nous intéresse, cette stabilité n'est pas d'une importance primordiale. En ce qui concerne la stabilité de l'indication angulaire, elle dépend de l'amplitude reçue. Cependant, celle-ci ne s'avère en rien supérieure à celle qu'il nous est possible de réaliser avec la méthode de "comparaison d'amplitudes" proprement dite, comme le démontrent les résultats décrits ci-après.

Le tableau 2-2 qui suit fut formé d'après les diagrammes de rayonnement de l'antenne-spirale à la fréquence de 438 MHz:

Angle (en °)	Somme	Diff.	Diff./Somme
0	40	40	1.00
10	40	38	.95
20	39	32	.82
30	37	21	.56
40	36.5	7.5	.2
45	36	0	.0

Tableau 2-2. Résultats comparatifs des deux méthodes de traitement possibles

Comme il est facile de le vérifier à l'aide du tableau 2-2, l'interpolation linéaire entre les valeurs successives enregistrées en mémoire donnera la même précision pour la mesure de la direction d'arrivée d'une onde, quelle que soit la méthode utilisée: monopulse ou comparaison d'amplitudes.

### 2.3 EVALUATION COMPAREE DE DEUX SYSTEMES A QUATRE OU A SIX ANTENNES, RESPECTIVEMENT.

Cette section évalue les avantages éventuels qu'il y aurait, pour un appareil de radiogoniométrie à comparaison d'amplitudes à utiliser six antennes, plutôt que le minimum absolu de quatre seulement.

Les considérations de l'espace disponible et de l'encombrement d'un plus grand nombre d'antennes seront omises pour l'instant.

Un avantage évident au départ est que des antennes avec diagramme plus étroit, donc de gain plus élevé, pourraient couvrir une zone plus étendue. De même, un plus grand nombre d'antennes permet d'obtenir une plage dynamique plus étendue. Cela est facilement vérifiable avec l'exemple ci-dessous.

Dans le cas du système à quatre antennes (Figure 2-2), si l'on ajuste le gain du convertisseur A/D pour une sortie maximale de  $255_{10}$  (convertisseur 8 bits) à partir de l'antenne A, la sortie de l'antenne B pour de petits angles ( $\theta < 10^{\circ}$ ) sera telle qu'indiquée au tableau 2-3 ci-dessous.

$\theta$ (deg.)	entrée du convertisseur (ant b) ( $\sin \theta$ )	sortie du convertisseur (base 10) ( $\sin \theta \times 256_{10}$ )
$1^{\circ}$	$1,74 \times 10^{-2}$	4,5
$2^{\circ}$	$3,49 \times 10^{-2}$	9
$3^{\circ}$	$5,24 \times 10^{-2}$	13,4
$4^{\circ}$	$6,9 \times 10^{-2}$	17,6
$5^{\circ}$	$8,7 \times 10^{-2}$	22,3
$6^{\circ}$	0,10	25,6
$7^{\circ}$	0,12	30,7
$8^{\circ}$	0,14	35,0
$9^{\circ}$	0,15	38,0
$10^{\circ}$	0,17	43,5

Tableau 2-3. Sortie du convertisseur pour une entrée à l'antenne B, lorsque le gain du convertisseur est ajusté au maximum - Système à quatre antennes.

On note que, dans le cas de quatre antennes, le convertisseur donne une lecture de 4,5 (i.e. supérieure à 4 LSB - least significant bit) pour  $\theta = 1^\circ$  lorsque le gain est ajusté de telle sorte que l'antenne A lise 255. Ces résultats supposent toujours que le diagramme de rayonnement de l'antenne est un cercle parfait.

Dans l'hypothèse que le minimum absolu de signal requis par le système soit tel que le convertisseur A/D lise 1 LSB, on pourra définir, pour fins de comparaison, la "plage dynamique" du système comme suit:

$$\text{Plage dynamique} = 10 \log_{10} \frac{\text{Lecture pour } 1^\circ \text{ en LSB}}{1 \text{ LSB}} \quad (2-6)$$

$$\approx 12 \text{ dB pour système à quatre antennes}$$

Le tableau 2-4 ci-dessous donne, pour un système à six antennes (figure 2-3) les valeurs correspondant à celles qui furent déjà citées au tableau 2-3 pour quatre antennes.

$\theta$ (deg.)	entrée du convertisseur (ant. B) $\cos (\theta - 60^\circ)$	sortie du convertisseur (base 10)
$1^\circ$	0,51	130
$2^\circ$	0,52	133
$3^\circ$	0,54	138
$4^\circ$	0,56	143
$5^\circ$	0,57	146
$6^\circ$	0,59	151
$7^\circ$	0,60	154
$8^\circ$	0,62	159
$9^\circ$	0,63	161
$10^\circ$	0,64	164

Tableau 2-4. Sortie du convertisseur pour une entrée à l'antenne B lorsque le gain du convertisseur est ajusté au maximum - Système à six antennes (figure 2-3.)

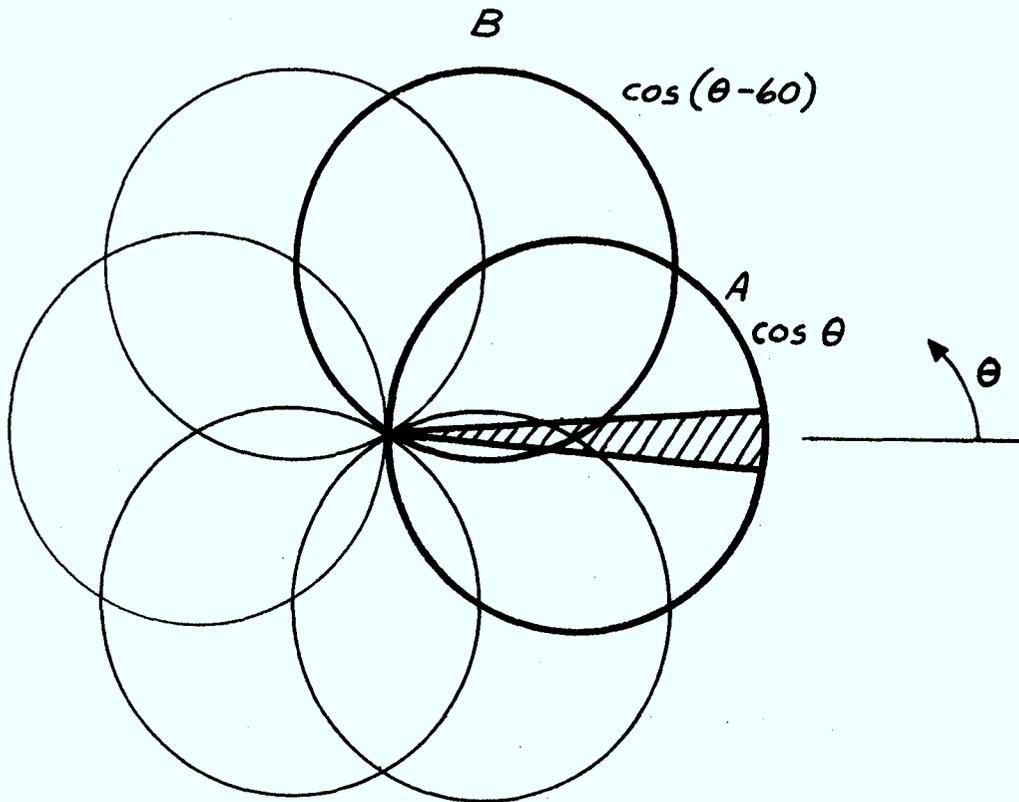


Figure 2-3. Système à six antennes avec diagrammes de rayonnement circulaires.

Les valeurs du tableau 2-4 donnent le résultat suivant pour un système à six antennes:

$$\begin{aligned} \text{Plage dynamique} &= 10 \log_{10} \frac{130 \text{ LSB}}{1 \text{ LSB}} && (2-7) \\ &\approx 42 \text{ dB} \end{aligned}$$

La comparaison précédente permet d'affirmer, qu'avec un système à six antennes, à la limite, le rapport signal à bruit (S/N) pourrait être de 30 dB supérieur à celui qui utilise quatre antennes, le niveau de bruit incident sur l'antenne étant le même dans chaque cas.

Toutefois, en dépit des calculs précédents qui prédisent, pour le système à quatre antennes, une performance inférieure à l'autre sous l'aspect du rapport S/N, d'autres considérations militent en sa faveur: il occupe beaucoup moins d'espace, est moins encombrant, et est plus simple à concevoir et à opérer, tout en étant moins coûteux. Ces derniers facteurs ont fait pencher la balance en sa faveur, pour l'instant, dans le système actuel.

#### 2.4 SENSIBILITE ANGULAIRE DU SYSTEME

Afin de caractériser complètement le système, nous avons procédé à une étude numérique de la sensibilité angulaire du système. On définit la sensibilité angulaire comme la variation d'angle requise pour produire un changement d'une bit (1 LSB) à la sortie du convertisseur analogique-numérique. Il va sans dire que cette étude doit être effectuée en fonction de l'angle d'arrivée de l'onde et le tableau 2-5 ci-après résume les résultats numériques obtenus.

Comme on peut le constater à l'aide du tableau 2-5, la sensibilité angulaire est grande dans les petits angles. Ceci pourrait d'ailleurs créer des instabilités à la sortie pour ces faibles valeurs et l'on ne pourra vérifier cet aspect que lorsque le système sera entièrement opérationnel.

Angle d'arrivée $\theta$	Sensibilité $\Delta = \sin^{-1}(\sin(\theta) \pm \frac{1}{256})$
$0^{\circ}$	$0,22^{\circ}$
$10^{\circ}$	$0,22^{\circ}$
$20^{\circ}$	$0,24^{\circ}$
$30^{\circ}$	$0,26^{\circ}$
$45^{\circ}$	$0,32^{\circ}$
$60^{\circ}$	$0,45^{\circ}$
$70^{\circ}$	$0,66^{\circ}$
$80^{\circ}$	$1,38^{\circ}$
$90^{\circ}$	$-5,1^{\circ}$

Tableau 2-5. Sensibilité angulaire du système en fonction de l'angle d'arrivée du signal.

## 2.5 CONCLUSIONS

Dans ce chapitre, nous avons procédé à une analyse systématique des méthodes possibles pour la détermination de l'angle d'arrivée d'un signal. Après avoir comparé ces techniques, nous avons retenu celle qui se prêtait le mieux à l'élaboration du système faisant l'objet du présent contrat. La section suivante décrira en détails les caractéristiques physiques du système proposé.

## Chapitre 3

### REALISATION ET VERIFICATION EXPERIMENTALE

Ce chapitre présente l'ensemble des considérations pertinentes à la réalisation et à la vérification du système élaboré au chapitre précédent. On y retrouve donc un exposé complet du système proposé avec les schémas explicatifs de sa réalisation physique et une description des vérifications expérimentales en laboratoire et à l'extérieur auxquelles il fut soumis. Les détails des divers circuits électroniques requis pour traiter le signal de sortie des antennes jusqu'à l'affichage des résultats y sont également présentés et discutés.

#### 3.1 L'ANTENNE-SPIRALE

La réalisation d'une antenne-spirale de faibles dimensions ne crée généralement pas de problème car les méthodes photographiques utilisées pour les circuits imprimés conventionnels sont accessibles facilement. Cette technique a d'ailleurs été utilisée dans nos travaux précédents [1,2]. Tel n'était pas le cas cependant dans ce contrat car les limites inférieures et supérieures de fréquence spécifiées pour le fonctionnement du système, soit respectivement 138 MHz et 900 MHz, imposaient des contraintes considérables sur les dimensions de la spirale à réaliser. Afin de réaliser ce point plus facilement, le tableau 3.1 présente, en fonction de la fréquence (en MHz), les valeurs de la longueur d'onde et du quart de celle-ci (en m et en  $\pi$ ) et le diamètre de la spirale résultante (en m et en  $\pi$ ).

Fréquence f MHz	Longueur d'onde $\lambda$		Quart de longueur d'onde $\lambda/4$		Diamètre de la spirale $d = \lambda/\pi$	
	m	pi	m	pi	m	pi
	110	2,72	8,92	0,68	2,23	0,86
138	2,17	7,12	0,54	1,77	0,69	2,26
590	0,51	1,67	0,13	0,42	0,16	0,52
900	0,33	1,08	0,08	0,26	0,10	0,33
1400	0,21	0,69	0,05	0,16	0,07	0,23

Tableau 3-1. Dimensions impliquées pour une couverture spécifiée en fréquence.

On notera que le tableau montre des dimensions qui excèdent la limite supérieure opérationnelle de 900 MHz. En effet, les dimensions de l'antenne proposée sont telles que la plage de fréquences couverte par une même antenne est légèrement plus étendue. Elle s'étend de 100 à 1400 MHz et ces limites correspondent aux fréquences pour lesquelles la spirale

- 1) est circonscrite à l'intérieur d'un cercle dont la circonférence est  $1\lambda$  (limite inférieure en fréquence);
- 2) se situe à l'extérieur d'un cercle dont la circonférence est aussi de  $1\lambda$  (limite supérieure en fréquence).

Cela a également l'avantage de diminuer les effets critiques aux extrémités des fréquences opérationnelles variant de 138 à 900 MHz.

### 3.1.1 Détails de construction

Afin de réaliser une spirale de dimensions aussi impressionnantes, il a fallu développer une technique de fabrication mécanique originale (la technique photographique eut été possible à un coût absolument prohibitif). Essentiellement, cette technique utilise une toupie et un système d'engrenage qui permet d'enlever directement, avec toute la précision requise, le cuivre d'une plaque de circuit imprimé (un côté) de format commercial (48" x 48").

La figure 3-1 montre un schéma du montage réalisé et la figure 3-2 permet de visualiser physiquement le système en y incluant l'opérateur et concepteur de cette méthode, M. Yvon Chalifour. La technique est essentiellement un bel exemple de transformation de coordonnées cartésiennes en coordonnées polaires. Ainsi, la toupie, en tournant autour de l'engrenage de 16 dents (figure 3-1), se déplace radialement de 16 mm, ce qui produit une spirale de 16 mm de pas. Après avoir fait une première rainure (de 4 mm de large), on revient au point de référence qui est le centre. La toupie est alors changée de position en tournant la tige filetée de 8 tours, ce qui la place à la bonne position pour la seconde rainure. Le processus est répété par la suite pour construire entièrement la spirale. La figure 3-3 illustre le détail de la construction mécanique et la figure 3-4 montre en gros plan la qualité du travail réalisé. La figure 3-5 nous permet de visualiser la spirale une fois complétée.

## 3.2 CAVITE DE L'ANTENNE-SPIRALE

Une antenne-spirale irradie non seulement vers l'avant mais également vers l'arrière. Dans un projet comme celui qui nous préoccupe, il faut absolument éliminer la puissance irradiée vers l'arrière tout en altérant le moins possible le lobe principal de la radiation émise vers l'avant.

Une façon à la fois simple et efficace de réaliser l'effet désiré est de recouvrir la face arrière de l'antenne-spirale d'une cavité métallique remplie de matériel absorbant.

### 3.2.1 Détails de construction

Les dimensions de la cavité réalisée en aluminium sont données à la figure 3-6 ci-après.

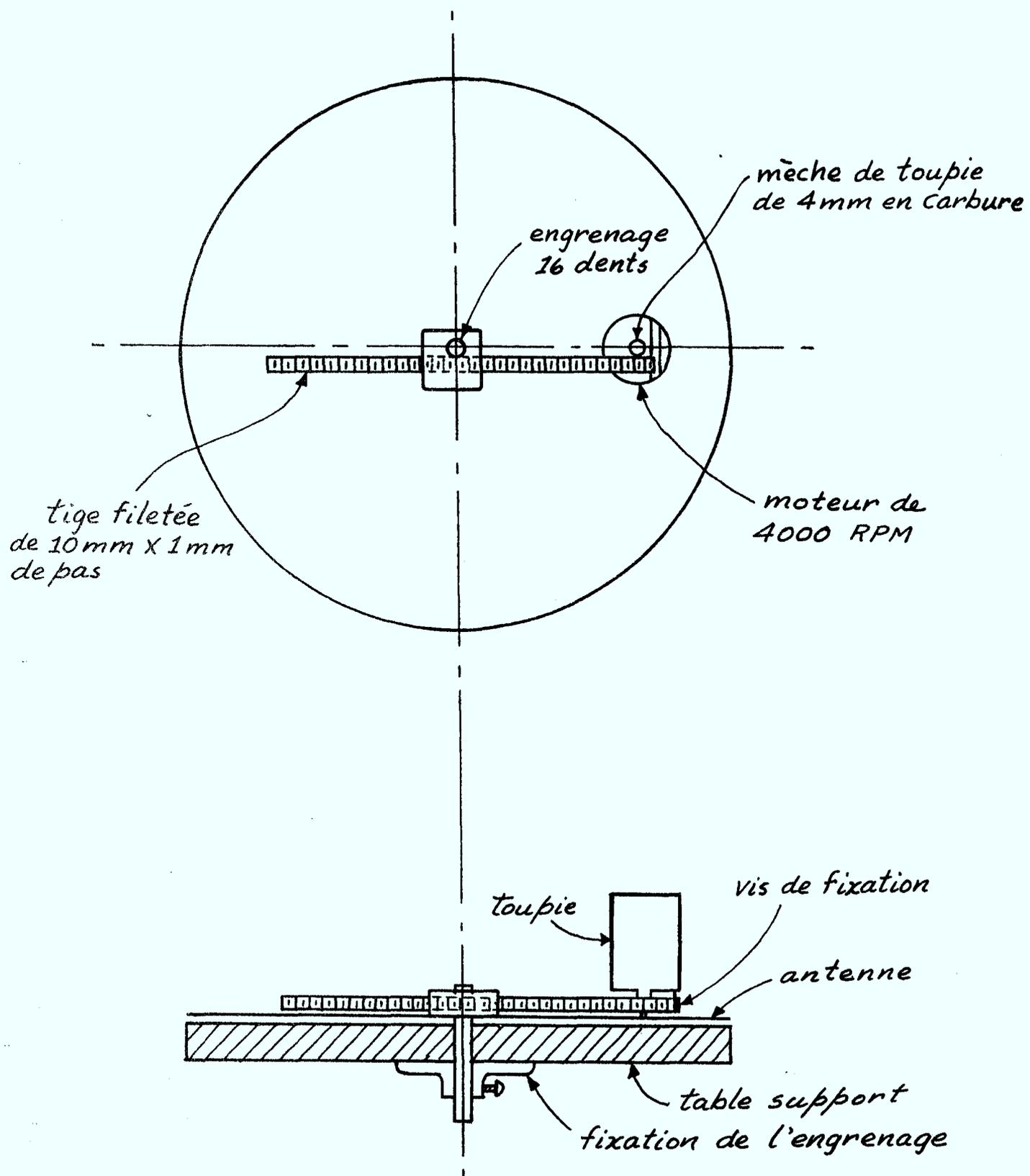


Figure 3-1. Schéma du montage réalisé pour construire l'antenne-spirale.



Figure 3-2. Photographie du montage physique servant à réaliser l'antenne-spirale avec l'opérateur et concepteur de la méthode, M. Yvon Chalifour.

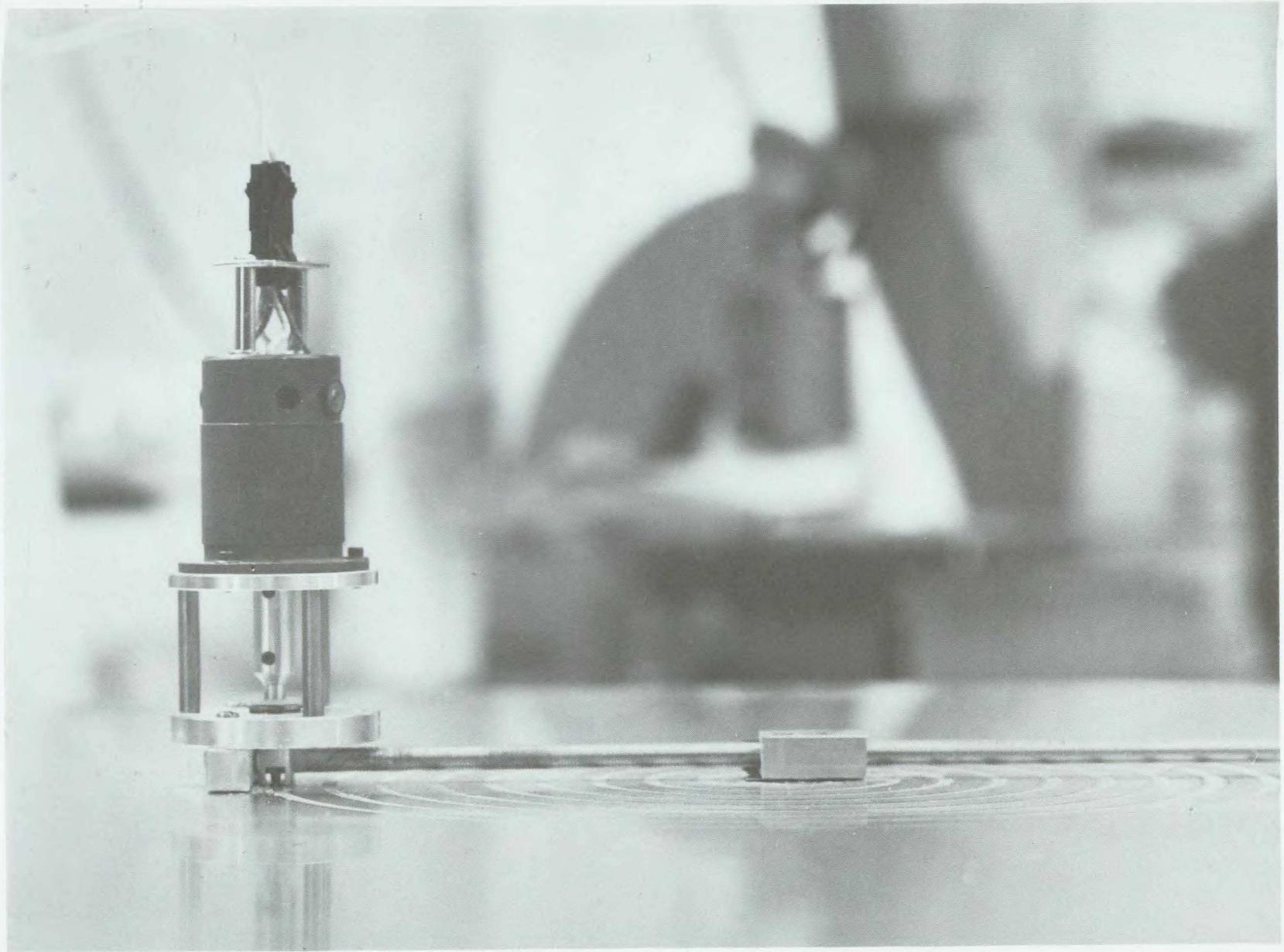


Figure 3-3. Détails de la construction mécanique de la spirale.

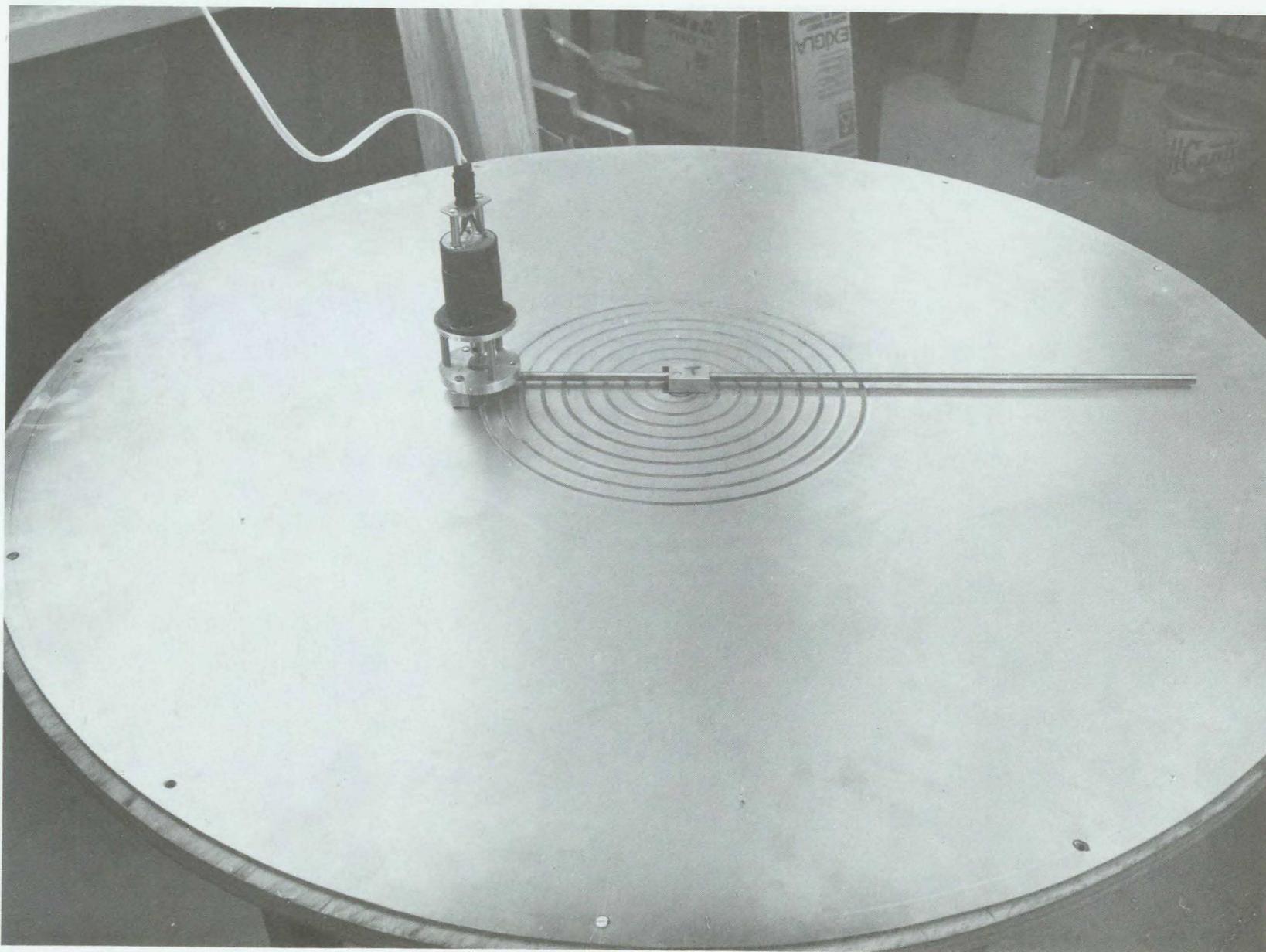


Figure 3-4. Gros plan illustrant la qualité de la spirale réalisée.

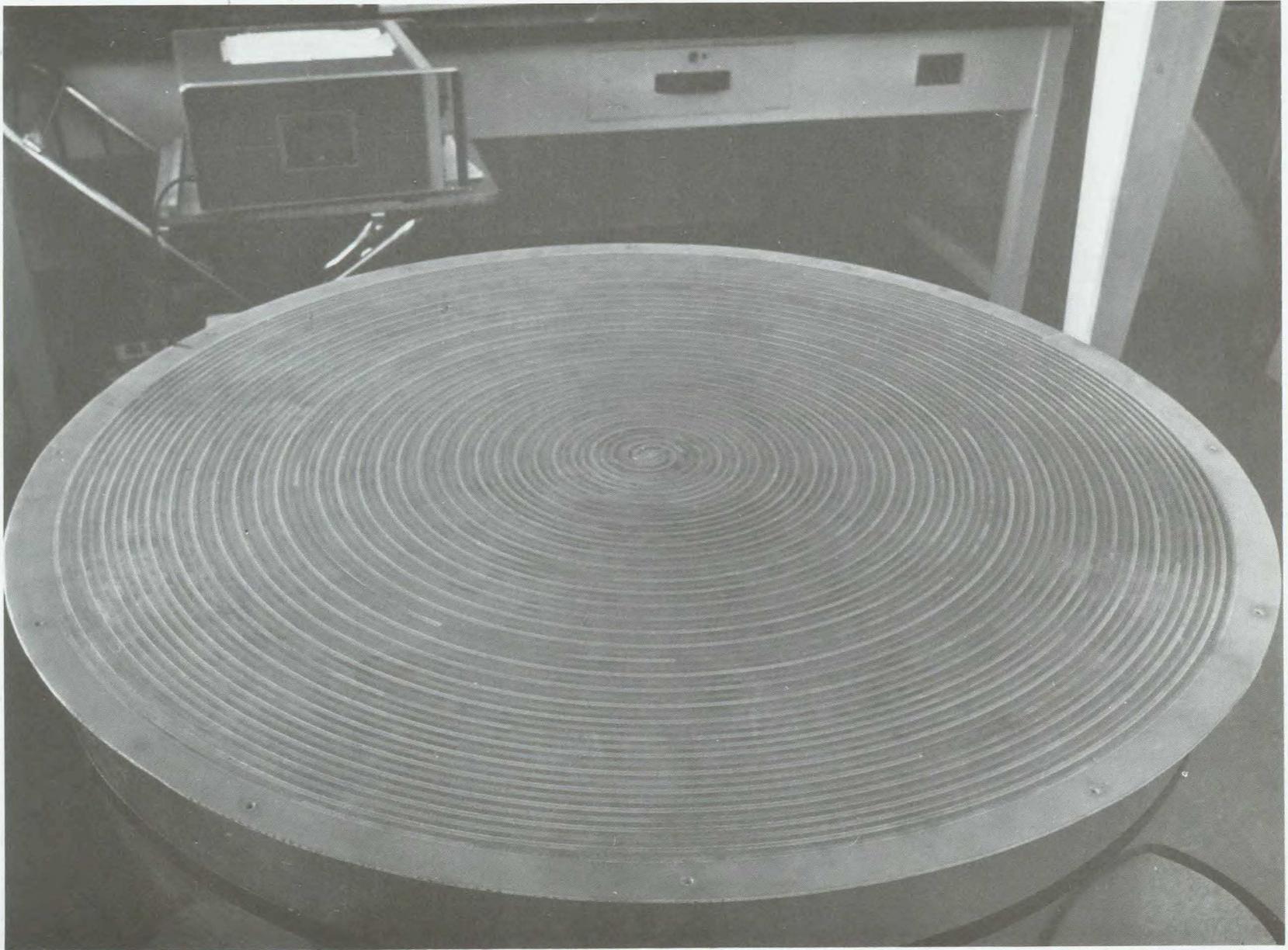


Figure 3-5. Photographie de la spirale complète.

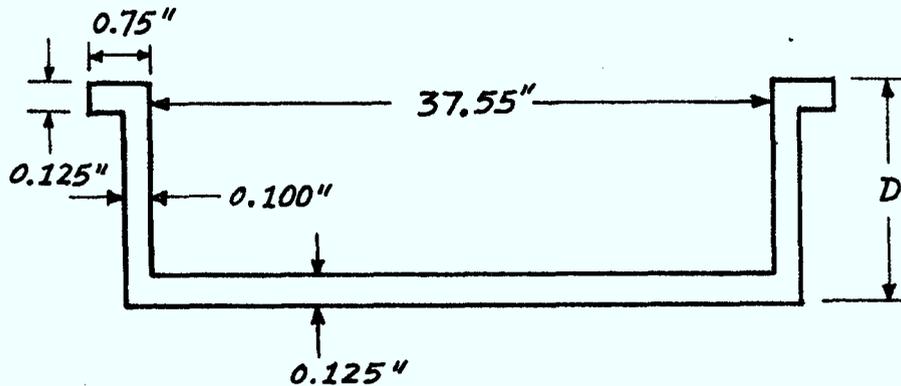


Figure 3-6. Détails des dimensions de la cavité (en pouces)

Plusieurs essais ont été effectués en vue de déterminer la profondeur optimale  $D$  (figure 3-6) qu'il fallait donner à cette cavité. Comme on pourra le constater ultérieurement (chapitre 4), il semble que les meilleurs résultats sont obtenus pour une profondeur de 5" qui n'est pas nécessairement un optimum mais, en tout cas, un point où l'on pouvait se satisfaire des performances, compte tenu des coûts additionnels et surtout du poids excédentaire qu'il aurait fallu supporter pour aller au-delà de cette dimension.

L'intérieur de cette cavité doit être rempli d'un matériel absorbant pour obtenir des résultats satisfaisants. On donne, au chapitre 4, les diagrammes de rayonnement expérimentaux obtenus avec une cavité vide et une remplie d'absorbant non nécessairement conçu pour cette gamme de fréquence et les résultats parlent néanmoins par eux-mêmes. Nous avons, par ailleurs, déterminé que l'absorbant ECCOSORB AN-79 semble être celui qui conviendrait le mieux à notre application et nous proposons qu'il soit celui retenu. Nous expérimentons d'ailleurs avec cet absorbant dès qu'il sera disponible afin de produire les résultats définitifs du système.

La figure 3-7 illustre une cavité remplie de matériel absorbant (conçu pour une chambre anéchoïque) et la figure 3-8 montre une antenne et sa cavité sur le site d'essai à l'extérieur de notre laboratoire. On

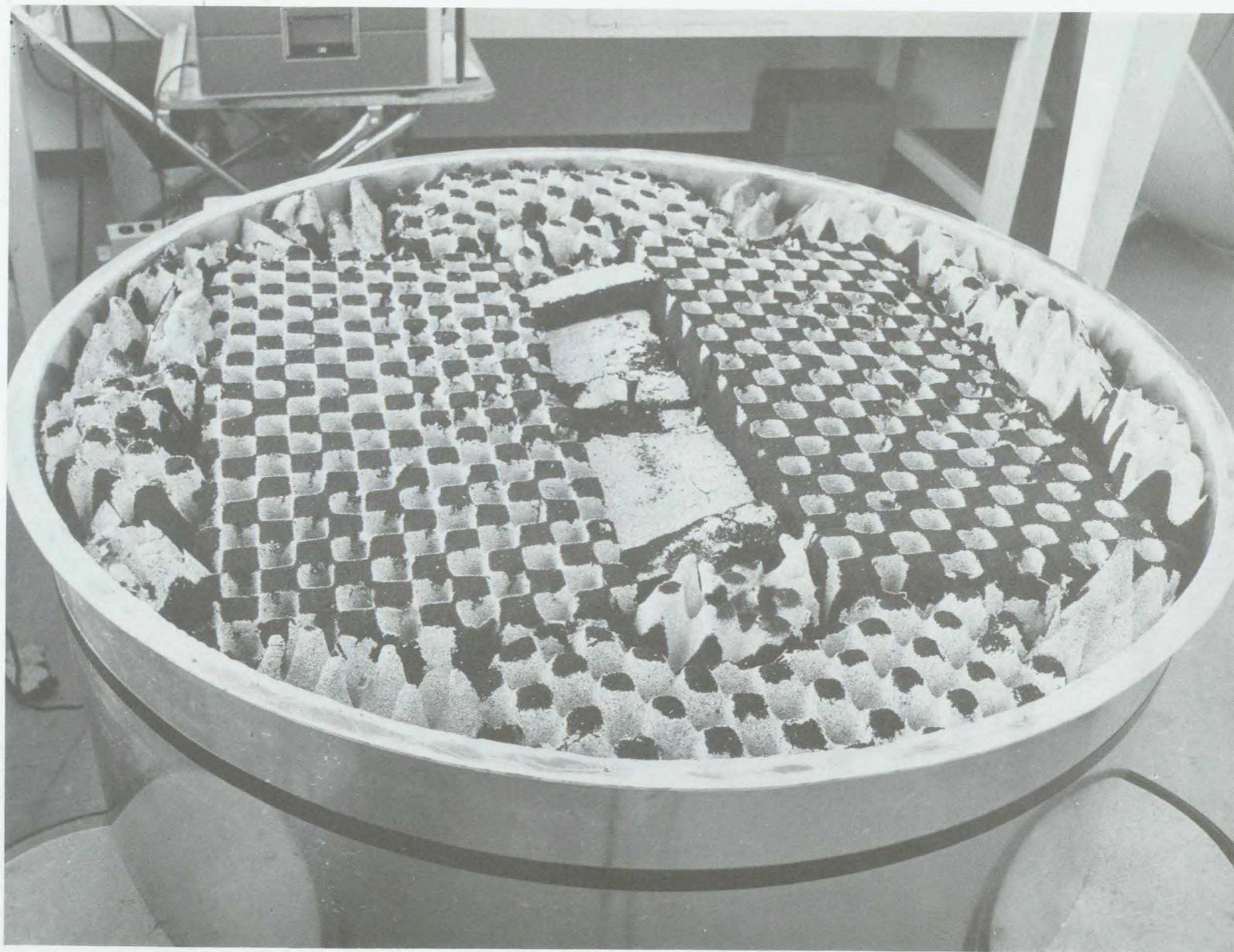


Figure 3-7. Photographie de la cavité remplie d'absorbant HPY.

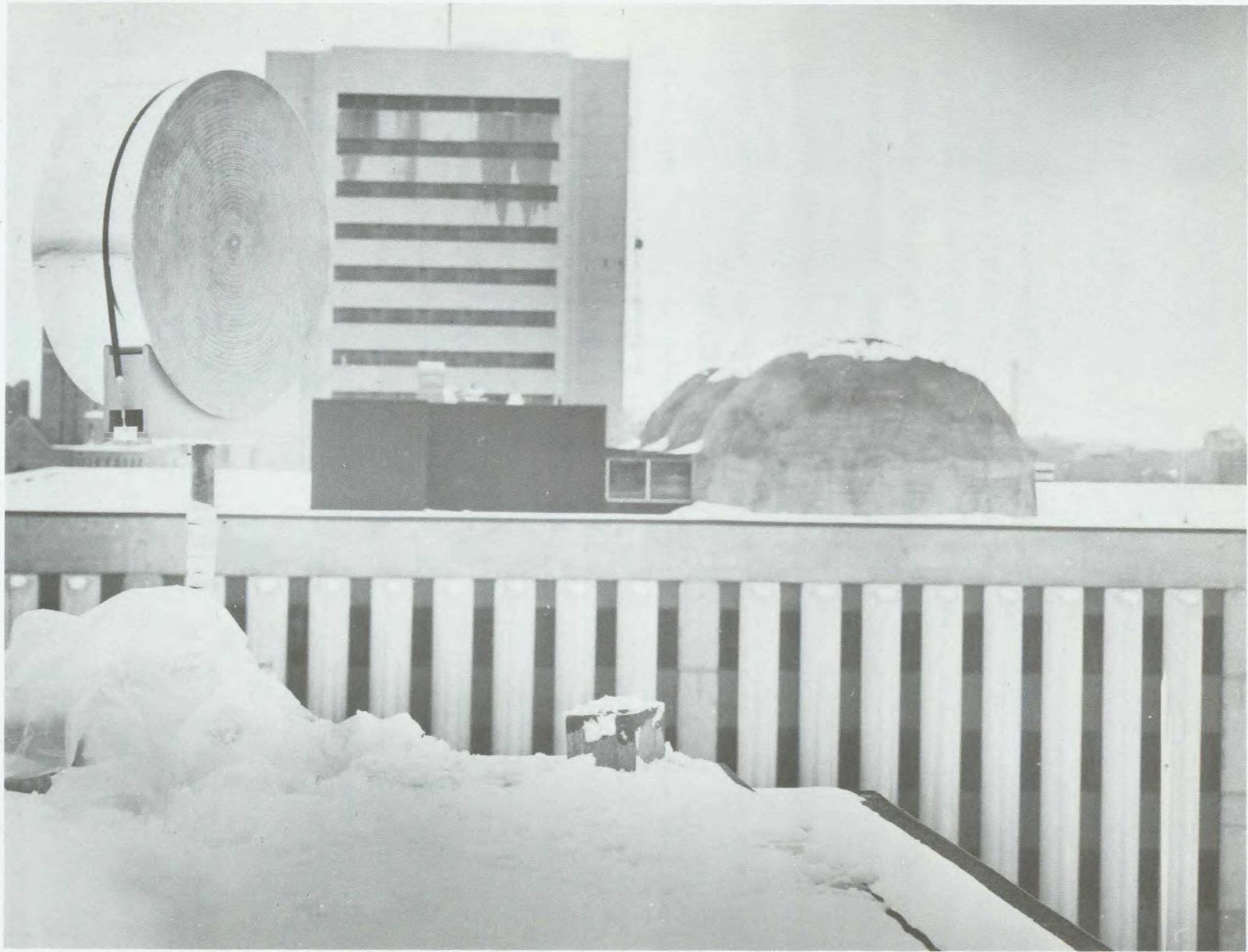


Figure 3-8. Photographie de l'antenne-spirale et de la cavité installées sur le site d'essai à l'extérieur.

notera que dans ce cas, toutefois, la profondeur de cavité était expérimentale et qu'elle excédait largement le 5" retenu comme profondeur définitive.

### 3.3 LE "BALUN"

L'antenne-spirale étant une structure à symétrie plane, il est impératif de l'alimenter par une tension qui soit équilibrée par rapport au potentiel de référence dont la position devra coïncider avec le centre de symétrie. En effet, une antenne-spirale, qui serait alimentée par une tension asymétrique, aurait un diagramme de rayonnement qui serait asymétrique lui aussi, en dépit de la structure symétrique de l'antenne.

Or, comme la tension fournie par un câble coaxial est nécessairement asymétrique, il devient nécessaire d'insérer un transformateur appelé "balun" (balanced to unbalanced) entre le coaxial et l'antenne-spirale. Plusieurs "baluns" de conceptions diverses sont décrits dans les rapports précédents [1,2]. Il est à la fois surprenant et encourageant de constater que, dans le domaine de fréquences situées entre 138 et 900 MHz, d'excellents résultats (c.f. chapitre 4) furent obtenus avec un "balun" des plus simples, utilisé couramment en télévision, et qui est construit sous forme de transformateur à enroulement toroïdal.

Toutefois, sa performance se détériore rapidement aux fréquences supérieures à 1 GHz. De plus, ces "baluns" donnent la transformation d'impédance 4:1 qui est requise pour passer d'une impédance de 50  $\Omega$  à l'impédance nominale de 200  $\Omega$  présentée par l'antenne-spirale.

La figure 3-9 ci-après reproduit le circuit du "balun" à transformateur toroïdal utilisé et la figure 3-10 nous montre les détails de sa réalisation.

Finalement, la figure 3-11 présente un schéma global du système constitué par l'antenne, la cavité, le balun et donne le détail des connecteurs et câbles utilisés pour relier l'ensemble au commutateur à diodes dont il sera question à la section suivante.

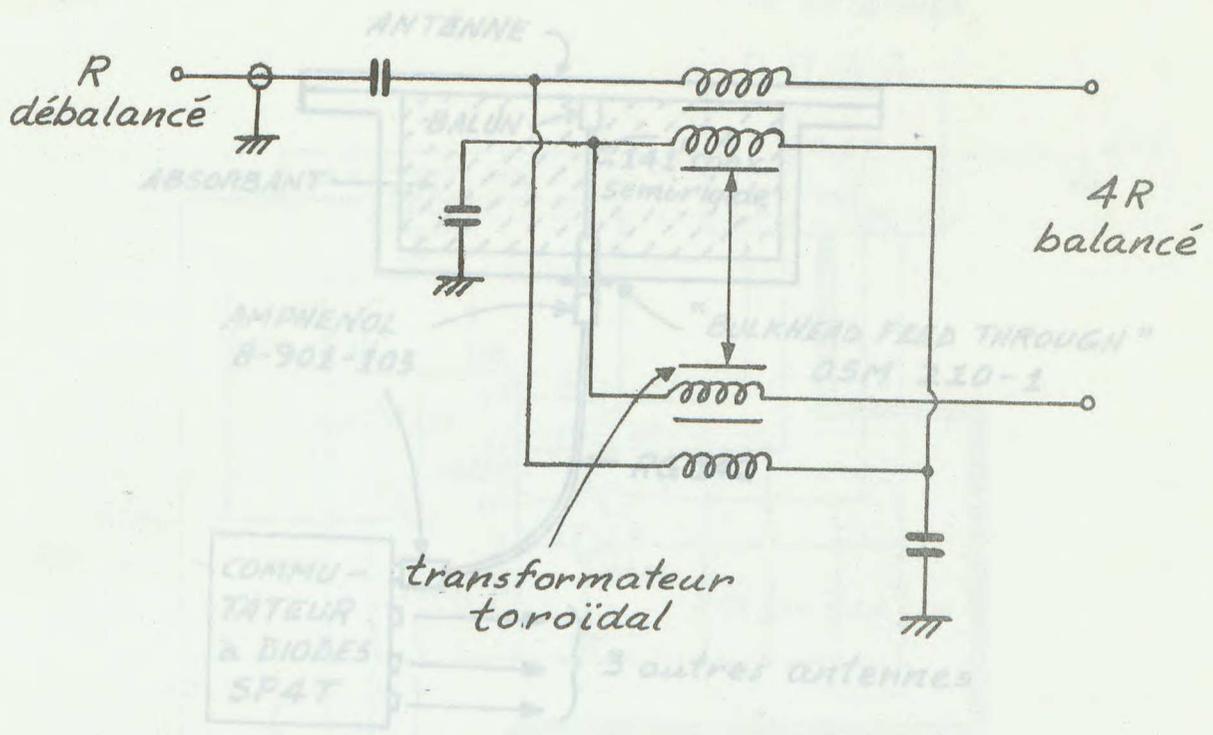


Figure 3-9. Circuit du balun à transformateur toroïdal.

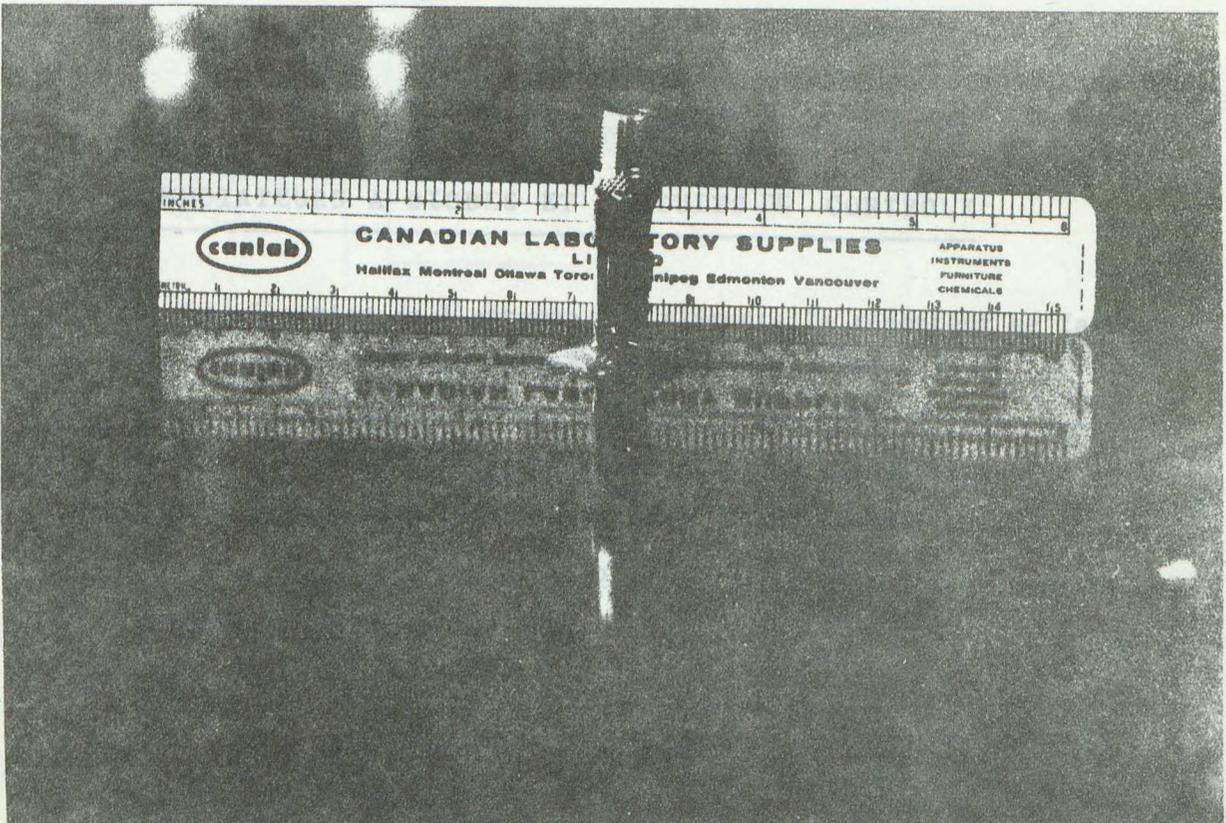


Figure 3-10. Photographie illustrant les détails du balun réalisé.

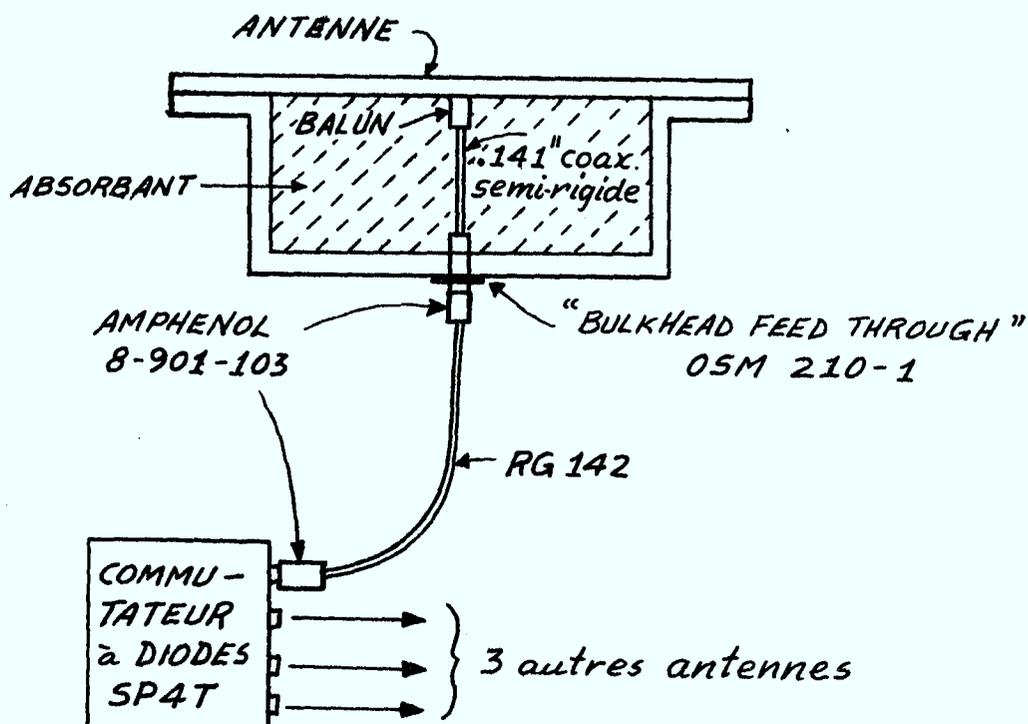


Figure 3-11. Détails des interconnexions du système complet.

### 3.4 COMMUTATEURS A DIODES ET CIRCUITS DE CONTROLE

La sélection de l'antenne qui alimente le récepteur se fait au moyen d'un commutateur à diodes très rapide noté SP4T à la figure 3-12. Cette rapidité est très importante pour ne pas ralentir le processus d'échantillonnage. Un temps de commutation d'une durée approximative de 1  $\mu$ s semble adéquat pour l'application envisagée de ce travail.

Le schéma de la figure 3-12 illustre également les circuits de contrôle reliés au commutateur SP4T.

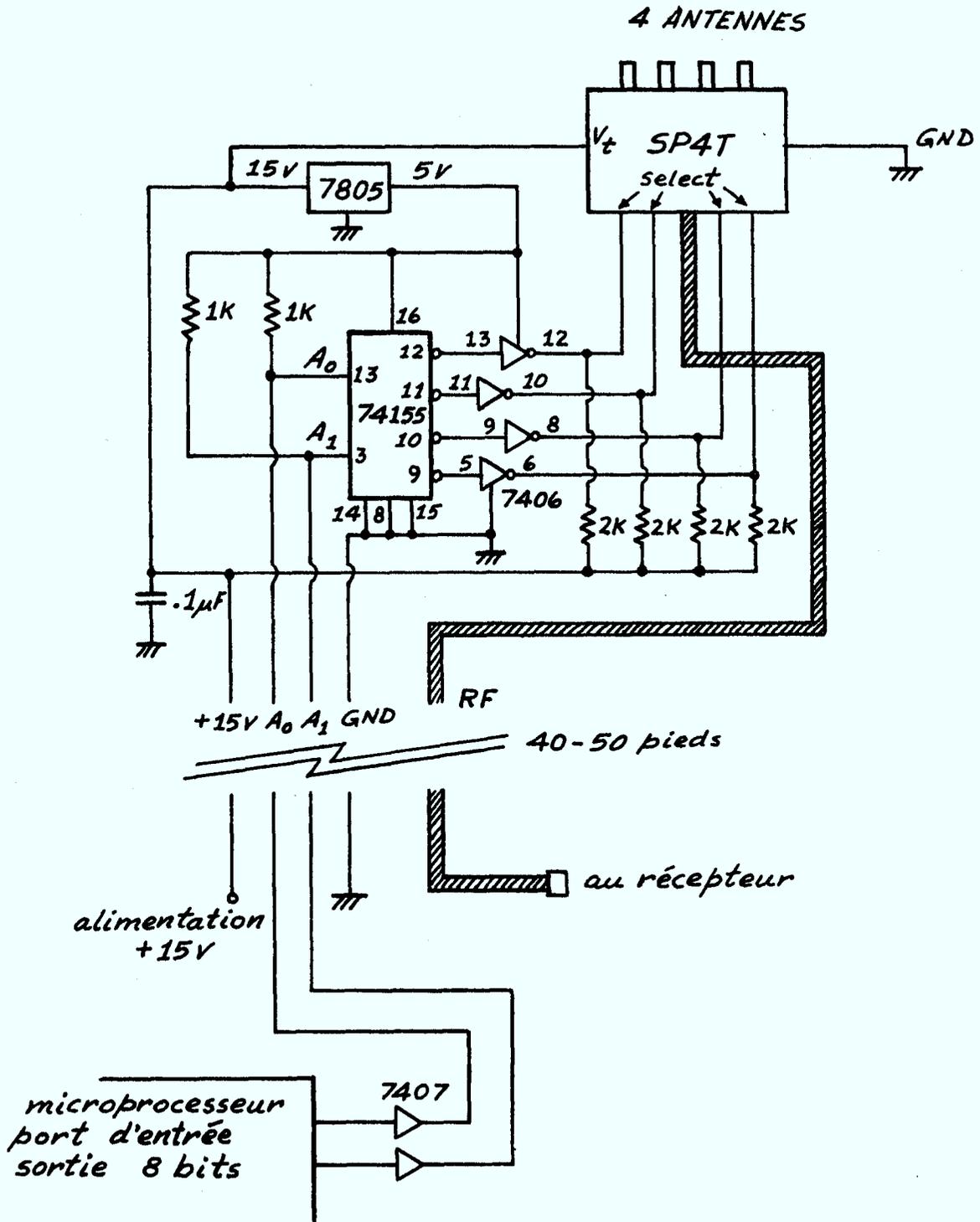


Figure 3-12. Détails des circuits de contrôle.

### 3.4.1 Fonctionnement du circuit de contrôle

Le microprocesseur AIM-65 accomplit la sélection des antennes en transmettant, via des amplificateurs d'isolation (7407), un code à deux bits (i.e. 00, 01, 10, 11). La sélection encodée des antennes permet de réduire le nombre de fils et de câbles coaxiaux qui doivent être amenés aux antennes mais elle requiert cependant un circuit de décodage pour activer le commutateur SP4T.

Le circuit de décodage deux entrées à quatre sorties (74155) présente des sorties inversées et il faut donc les inverser à nouveau pour obtenir la condition d'exclusion mutuelle nécessaire au bon fonctionnement du commutateur. La tension d'alimentation de + 5 volts nécessaire au décodeur et aux inverseurs est produite localement à l'aide d'un régulateur 7805 à partir du + 15 V déjà disponible.

En plaçant ainsi le décodeur et le commutateur près des antennes, seulement un câble coaxial et quatre conducteurs sont nécessaires pour franchir la distance qui sépare les antennes de l'unité centrale de traitement. Les détails sont d'ailleurs indiqués à la figure 3-12.

## 3.5 CARACTERISTIQUES DU RECEPTEUR ET DU DETECTEUR D'AMPLITUDE

### 3.5.1 Le récepteur

De toute évidence, le récepteur doit couvrir les bandes de fréquences requises, en plus de posséder une vaste plage dynamique d'amplification des signaux. La sortie de l'amplificateur IF doit être linéaire, avec la conséquence immédiate que l'absence de tout circuit AGC est rigoureusement nécessaire. De plus, la sélectivité du récepteur doit être excellente, non seulement pour assurer le rejet des canaux adjacents, mais aussi pour ne pas moduler en amplitude les signaux à modulation de fréquence.

Le récepteur utilisé, le Aikens SR2090, dont la sortie I.F. est de 21 MHz, possède une plage dynamique d'amplification qui est satisfaisante. La largeur de bande est variable et laissée au choix de l'opérateur. Les

figures 3-13 et 3-14, en provenance du C.R.C., reproduisent les courbes qui donnent, pour les fréquences indiquées, l'amplitude des signaux à la sortie I.F. du récepteur, en fonction de leur valeur à l'entrée R.F. Ces courbes indiquent qu'un début de non-linéarité, dû à la saturation de l'amplificateur, apparaît à la sortie I.F., pour des signaux d'entrée dont la valeur approchée est de 0.15mV(rms). Les signaux de sortie ont alors environ 3 V d'amplitude crête-à-crête.

### 3.5.2 Le détecteur d'amplitude

Le détecteur d'amplitude, dont le schéma apparaît à la figure 3-15, comprend un démodulateur conventionnel, i.e. une diode suivie d'un condensateur de sortie, le tout précédé d'un amplificateur-tampon ( $A_1$ ) dont le rôle est de rendre plus constante l'impédance vue par la section I.F. du récepteur. Un autre amplificateur-tampon ( $A_2$ ) a pour fonction de présenter au détecteur une charge dont l'impédance est élevée. Le transistor  $Q_1$  permet au calculateur d'effectuer, en un temps très court, la mise à zéro du condensateur en court-circuitant  $R_2$ . On augmente ainsi de beaucoup la vitesse possible d'échantillonnage. En effet, la décharge de  $C_1$  dans  $R_2$  serait relativement très lente, ce qui ne manquerait pas de fausser les lectures pour des échantillonnages successifs. Quant à l'amplificateur  $A_3$ , il joue un rôle d'une très grande importance. Son gain doit être ajusté de façon à fournir une tension de sortie,  $V_o = 10$  volts pour une entrée  $V_i = 1.5$  volts.

D'après les courbes des figures 3-13 et 3-14 et grâce à l'ajustement qui vient d'être mentionné, on sait que le convertisseur A/D saturera avant l'amplificateur I.F. du récepteur. Le programme de contrôle, dès qu'il décèlera la saturation du convertisseur A/D, aura l'information nécessaire pour choisir parmi les données du récepteur, uniquement celles qui ne sont pas faussées par une saturation. Le choix de valeurs non-saturées est essentiel à la fiabilité des calculs de radiogoniométrie exécutés par l'appareil.

Afin de caractériser complètement la performance du récepteur et du détecteur d'amplitude, nous avons pris un ensemble de mesures sous différentes conditions et les photos ci-après illustrent les résultats obtenus.

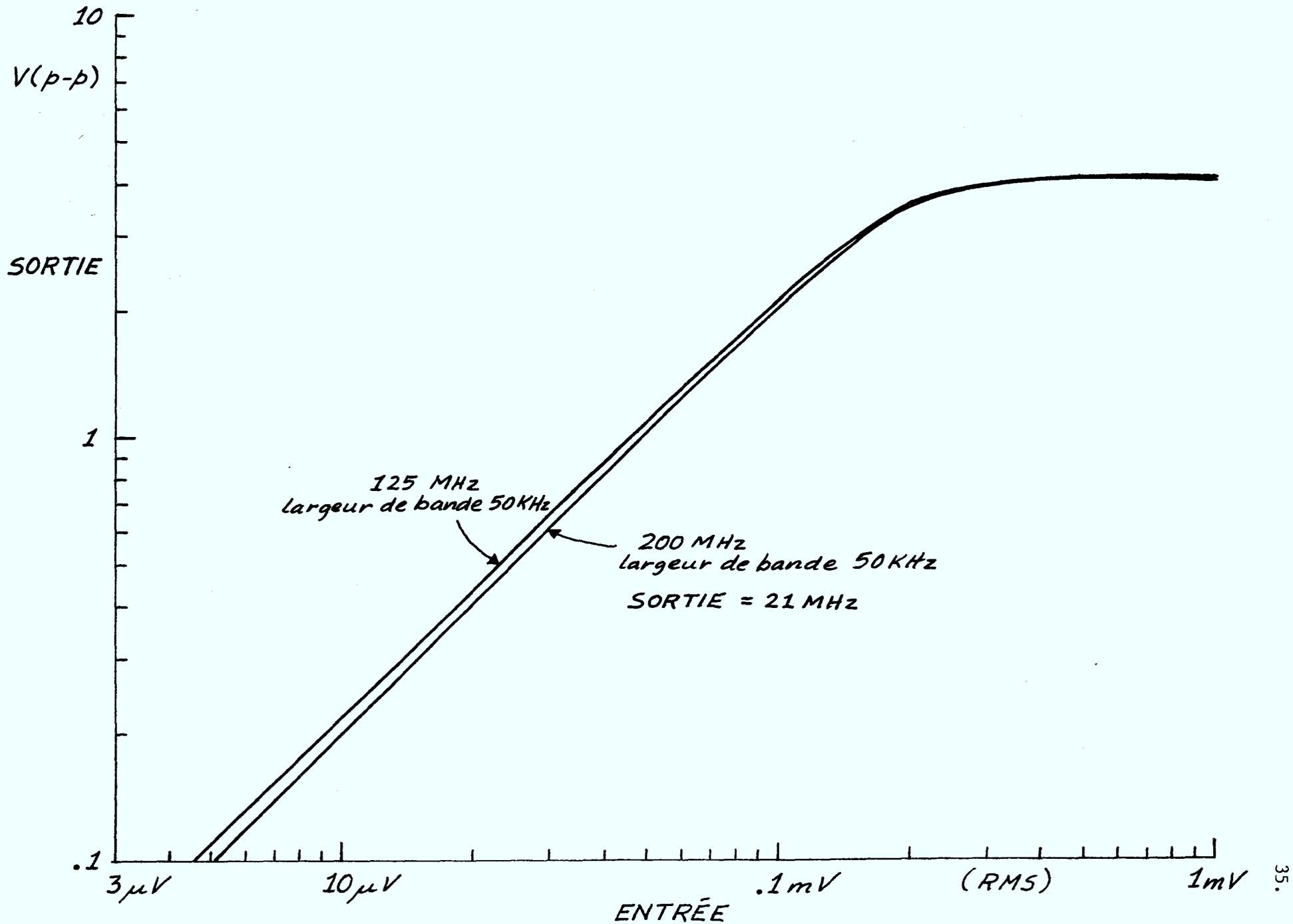


Figure 3-13. Sortie I.F. du récepteur Aikens en fonction du signal d'entrée avec les paramètres spécifiés (Source CRC)

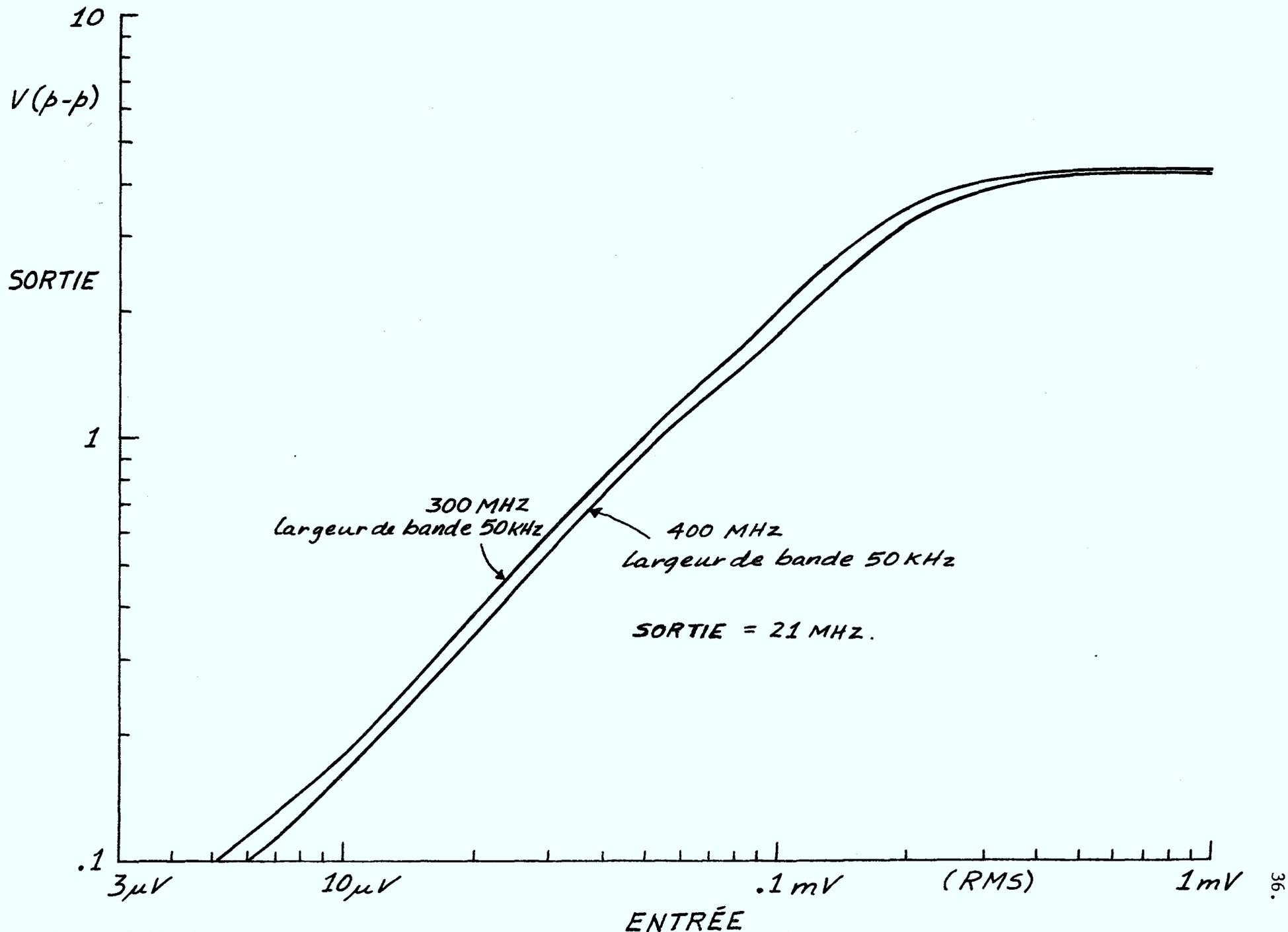
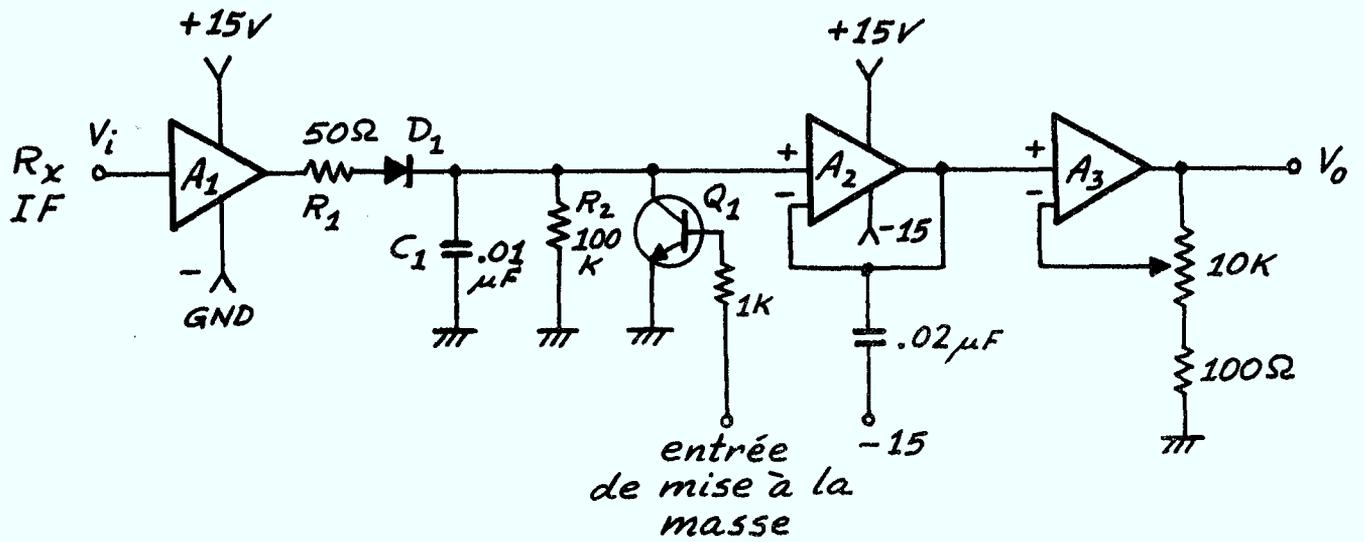


Figure 3-14. Sortie I.F. du récepteur Aikens en fonction du signal d'entrée avec les paramètres spécifiés (Source CRC)

## DÉTECTEUR



$A_1 = \text{ANZAC AM-107}$

$A_2 = 3140$

$A_3 = 3140$

$Q_1 = 2N4123$

Figure 3-15. Réalisation du détecteur d'amplitude.

Figure 3-16: Avec une entrée de commutation de 5 V (venant de l'ordinateur), la figure 3-16 illustre la sortie du démodulateur sans mise à la masse au travers du transistor  $Q_1$  (figure 3-15).

Axe Y (a) 5V/div

(b) 10V/div

Axe X (a) et (b) 5ms/div

a)

b)

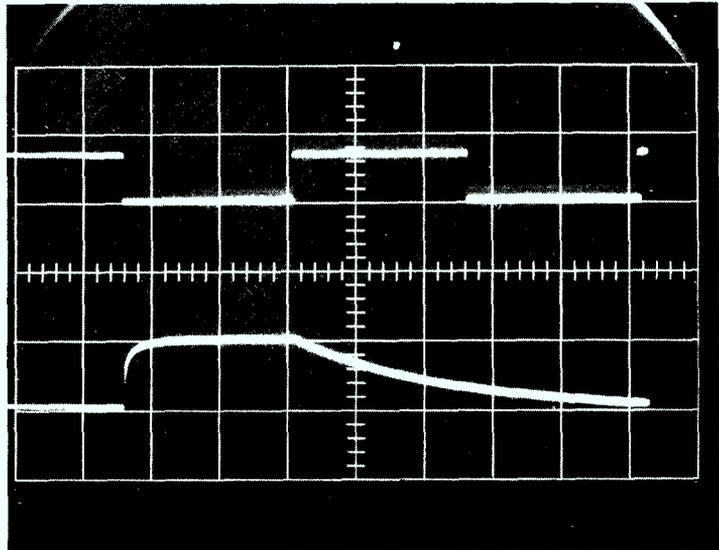


Figure 3-17: Avec une entrée de commutation de 5 V, la figure 3-17 illustre la sortie du démodulateur avec mise à la masse au travers de  $Q_1$ . On notera dans ce cas le temps de descente très rapide de la réponse.

Axe Y (a) 5V/div

(b) 10V/div

Axe X (a) et (b) 5ms/div

a)

b)

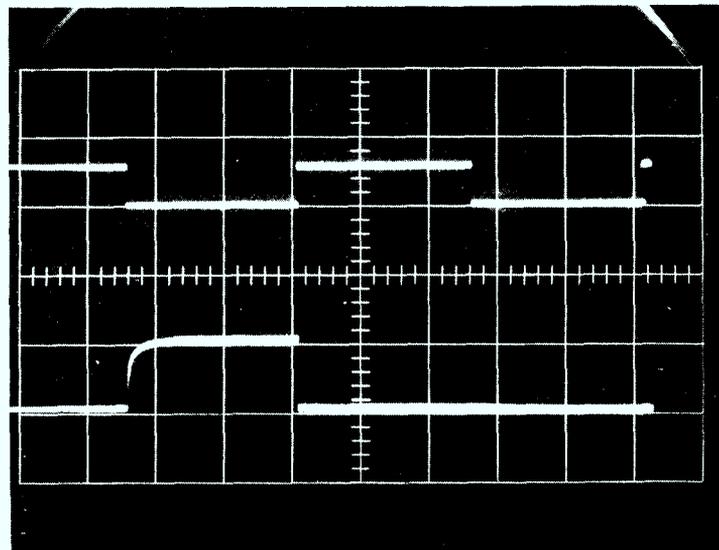


Figure 3-18: Avec une  
entrée de commutation  
de 2 V venant de l'or-  
dinateur, la figure  
3-18 montre la sortie  
IF du récepteur.

Axe Y (a) 2V/div

(b) 0,5V/div

Axe X (a) et (b) 50 $\mu$ s/div

a)

b)

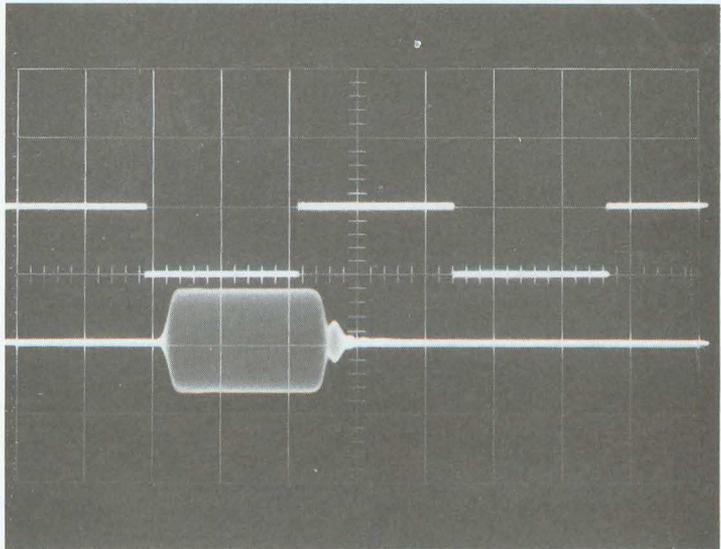


Figure 3-19: Avec une  
entrée de commutation  
de 2 V, la figure 3-19  
illustre la sortie de  
l'amplificateur tampon  
A1 du circuit détec-  
teur de la figure 3-15.

Axe Y (a) 2V/div

(b) 0,5V/div

Axe X (a) et (b) 50 $\mu$ s/div

a)

b)

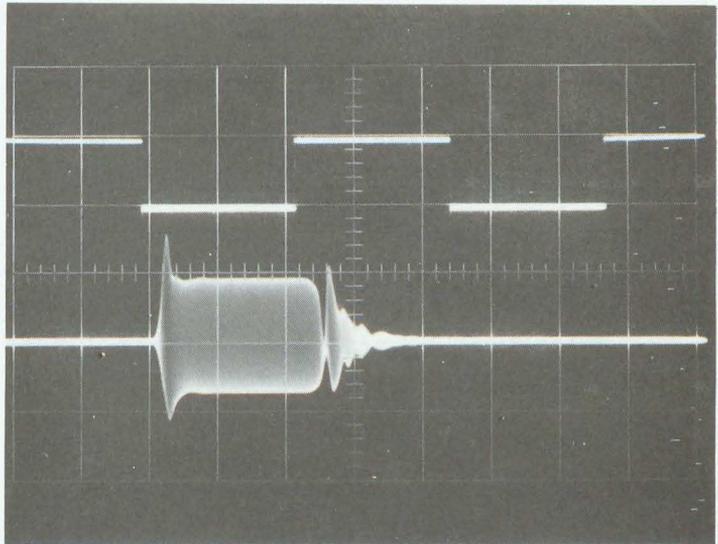
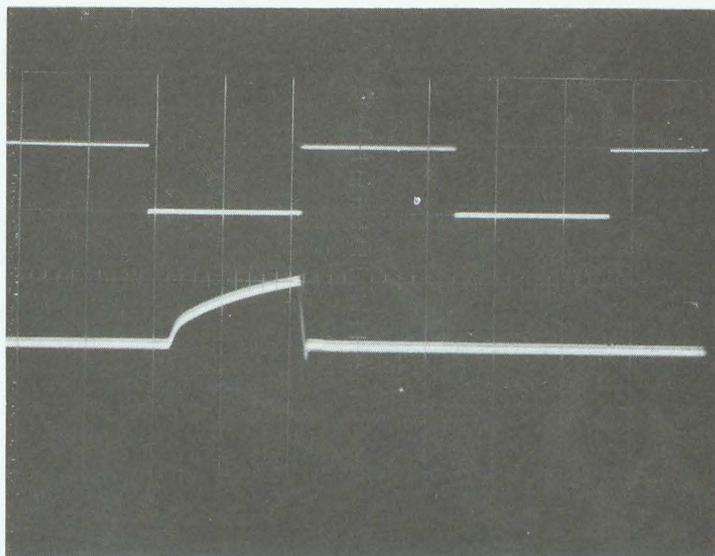


Figure 3-20: Avec une entrée de commutation de 2V, la figure 3-20 montre la sortie du démodulateur de la figure 3-15. Il est facile de voir que les transitoires présents à la sortie de A1 sont maintenant rejetés.

a)

b)



Axe Y (a) 2V/div

(b) 0,5V/div

Axe X (a) et (b) 50 $\mu$ s/div

### 3.6 CONVERSION A/D DES DONNEES

La conversion des données analogues sous forme numérique (conversion A/D) utilise une tension de référence de - 5 volts et un circuit d'échantillonnage dont on trouvera les détails à la figure 3-21. La référence de - 5 volts s'obtient à partir d'une source de tension de - 15 volts et du circuit de référence AD 584. Bien qu'une explication plus détaillée du fonctionnement soit donnée plus loin avec la description des programmes, il est utile de noter ici que, sous la commande d'un ordinateur central, le circuit AD 582 échantillonne et garde disponible, sous forme analogue, la tension de sortie du démodulateur.

Le même ordinateur émet l'ordre d'effectuer la conversion A/D et attend la réponse du convertisseur pour savoir si la conversion est terminée et que les résultats apparaissent sur le "data bus", donc prêts à être utilisés. Le ordinateur lit alors les résultats et les garde en mémoire en vue des calculs ultérieurs qu'il aura à effectuer.

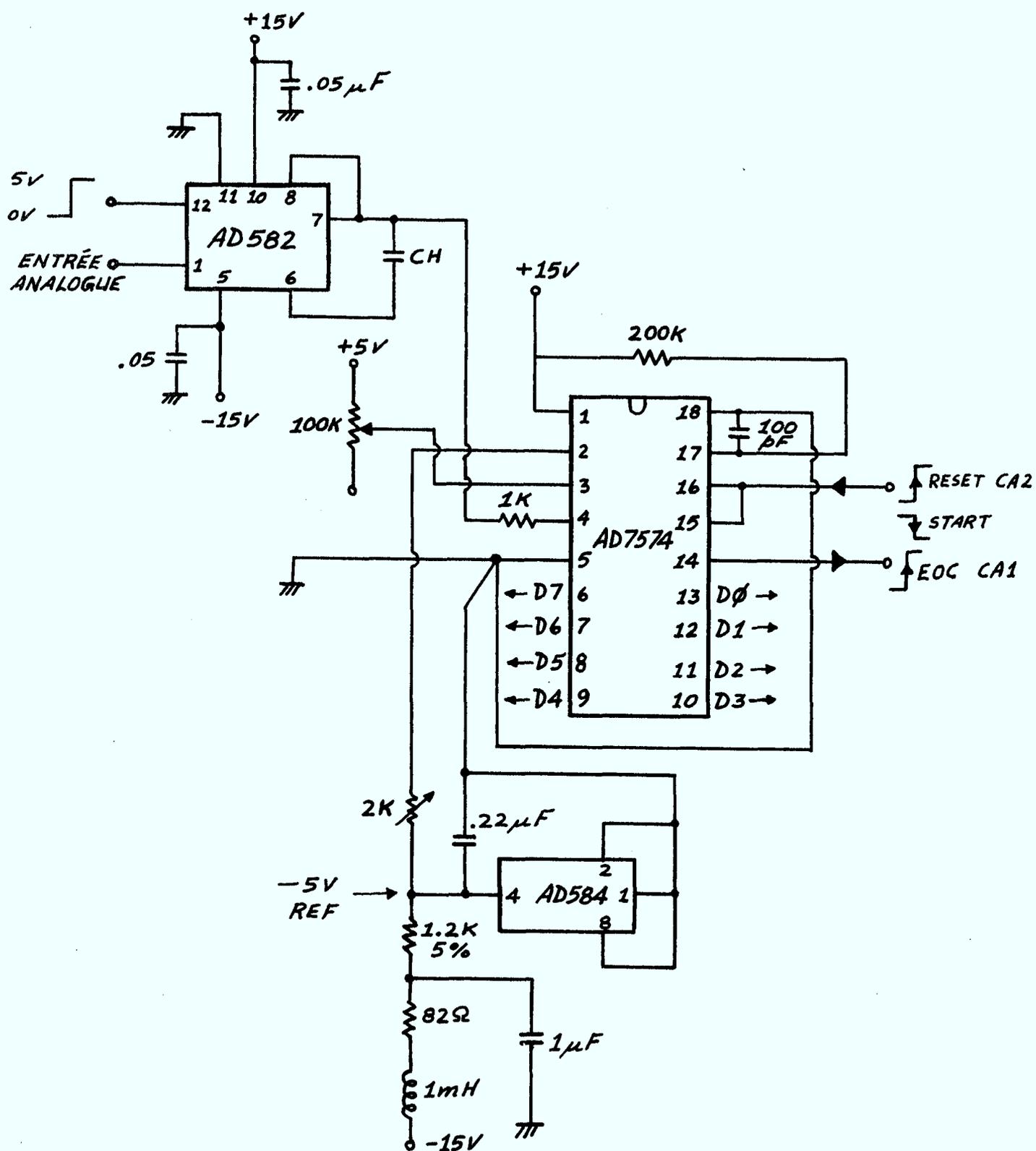


Figure 3-21. Détails des circuits de conversion analogue-numérique et du circuit d'échantillonnage.

### 3.7 AFFICHAGE DES RESULTATS

L'affichage visuel des résultats est effectué avec un cercle de 256 diodes électroluminescentes (LED) d'un diamètre approximatif de 1 pied (30 cm) branchées en une matrice  $16 \times 16$ . Les deux décodeurs 4 à 16 (74154 et 74159) alimentent la matrice à partir des données fournies par l'ordinateur. La figure 3-22 donne le détail de l'interconnection entre l'affichage visuel et le microprocesseur qui le commande. Les adresses d'entrée et de sortie du circuit d'interface 6522 et le détail des interconnections avec le AIM-65 sont fournis à l'appendice A afin de ne pas surcharger inutilement le texte. Il est à noter cependant que la programmation offre la possibilité de travailler en mode unique (single step) i.e. une antenne à la fois ou en mode balayage (single scan) i.e. quatre antennes successivement et arrêt par la suite.

### 3.8 CONCLUSIONS

Dans ce chapitre nous avons présenté les détails de la réalisation physique d'une partie du système complet de radiogoniométrie impliquant l'antenne spirale, la cavité, le balun, les commutateurs à diodes, les circuits de contrôle, le récepteur, le détecteur d'amplitude, la conversion analogique-numérique des données, l'affichage et la commande par micro-processeur.

De nombreux détails de construction ont également été fournis afin de faciliter la compréhension de chacune des parties composantes du système. Ces informations pourront être utilisées également pour la mise en opération du système complet lorsqu'il sera totalement fonctionnel.

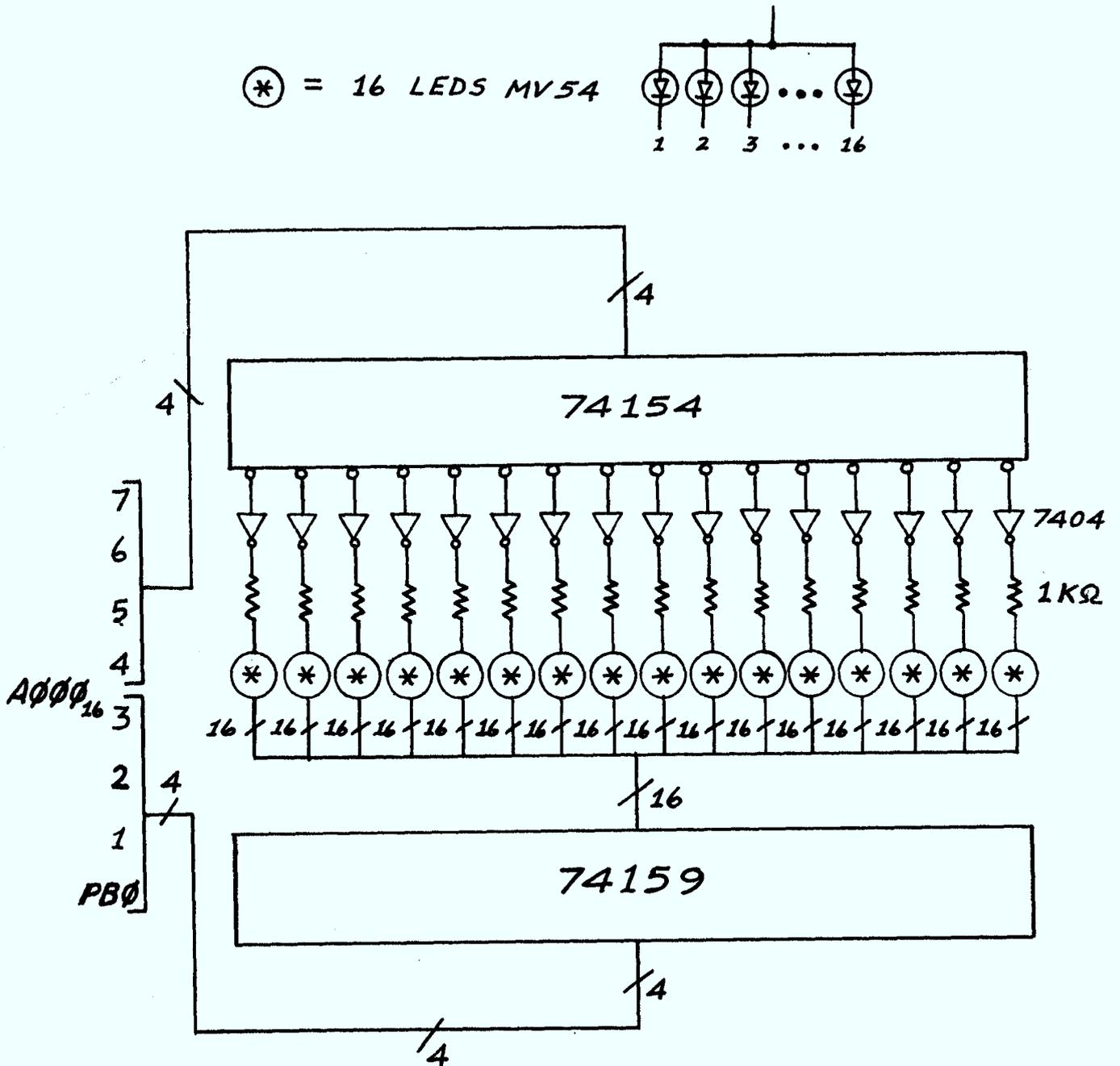


Figure 3-22. Détails de l'interconnection entre l'affichage visuel et le microprocesseur.

## Chapitre 4

### RESULTATS EXPERIMENTAUX PREMILINAIRES

#### 4.1 INTRODUCTION

Le système radiogoniométrique a été partiellement soumis à l'expérimentation afin, d'une part, de déterminer certains paramètres de construction (e.g. la profondeur de la cavité) de façon définitive et, d'autre part, de caractériser adéquatement certains éléments-clefs du système, à savoir l'antenne-spirale, la cavité et le balun.

Il s'agit de résultats expérimentaux préliminaires et ils ne constituent pas une fiche de spécifications des caractéristiques du système. En effet, les expériences ont été réalisées à l'aide de prototypes de la version définitive et nous n'avons pas en main, comme il l'a été mentionné au chapitre précédent, l'absorbant ECCOSORB AN-79 qui nous permettra de tracer les diagrammes de rayonnement définitifs. A titre de substitut temporaire, nous avons utilisé un absorbant de type HPY de la compagnie Emerson & Cuming Inc. qui est conçu pour la fabrication de chambre anéchoïque, donc pas très propice à l'usage que nous en avons fait.

Finalement, l'ensemble du système, y incluant le calcul et l'affichage de la direction d'arrivée sera mis à l'épreuve dès que tous les éléments auront été assemblés et que les antennes-spirales définitives, y incluant l'absorbant, seront disponibles.

#### 4.2 TECHNIQUES DE MESURE. ARRANGEMENT PHYSIQUE

Il fallait, en premier lieu, déterminer quels étaient les diagrammes de rayonnement des spirales sur la plage de fréquences d'intérêt. Cela nécessitait une expérimentation à l'extérieur car la chambre anéchoïque dont nous disposons n'est pas efficace en dessous de 500 MHz.

Nous avons opté pour une installation extérieure comprenant une antenne de transmission située sur le toit de la bibliothèque, un édifice adjacent au Pavillon Pouliot sur le toit duquel est située l'antenne de réception (i.e. la spirale à l'étude) et les distances physiques approximatives impliquées sont indiquées à la figure 4-1. (La figure 3-8 donne, par ailleurs, une vue assez exacte de la réalisation).

L'antenne de transmission est illustrée à la figure 4-2 et la spirale de réception est montrée à la figure 4-3, photographiée à partir du toit de la bibliothèque.

Le système de mesure utilisé est assez conventionnel puisqu'il comporte, en plus des antennes d'émission et de réception, un récepteur à blocage de phase et un enregistreur polaire, tous deux de marque Scientific Atlanta. La figure 4-4a illustre d'ailleurs le système de mesure dans son entier et la figure 4-4b montre les appareils de mesure utilisés. L'antenne utilisée comme référence de phase est montrée à la figure 4-5.

### 4.3 FREQUENCES UTILISEES

Le choix des fréquences expérimentales s'est avéré assez difficile compte tenu de l'encombrement du spectre dans certaines parties de la plage à l'étude. Il fallait donc trouver des fréquences telles que nous ne pouvions causer aucune interférence aux utilisateurs détenant les permis d'opération.

A l'aide de documents mis à notre disposition par M. T. Coyne du CRC, nous avons déterminé les fréquences libres dans les bandes radio-amateurs VHF et UHF et le tableau 4-1 ci-après résume les fréquences utilisées aux fins de l'expérimentation.

SYSTÈME DE MESURE  
VUE LATÉRALE

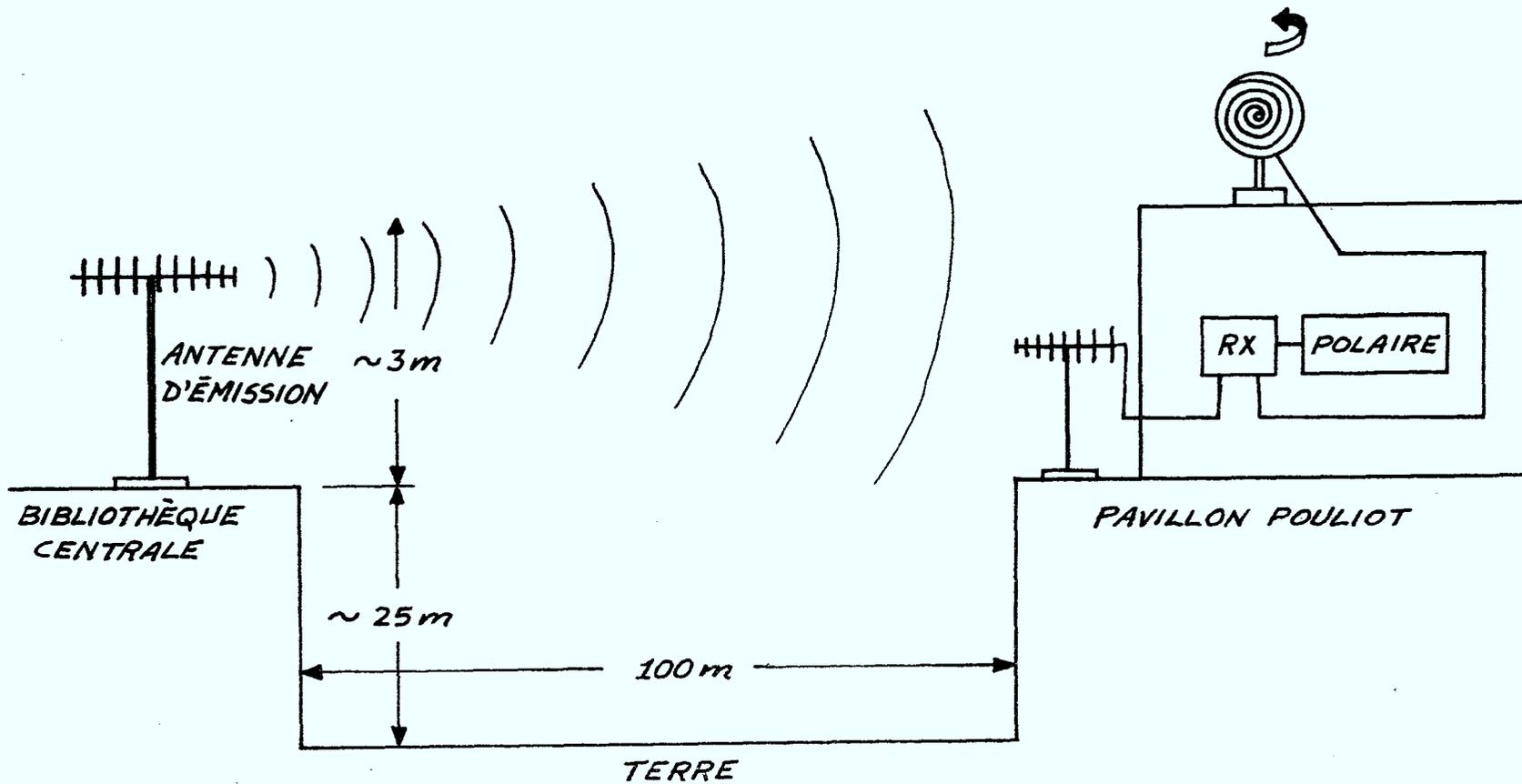


Figure 4-1. Schéma des l'installation physique extérieure pour les mesures expérimentales.

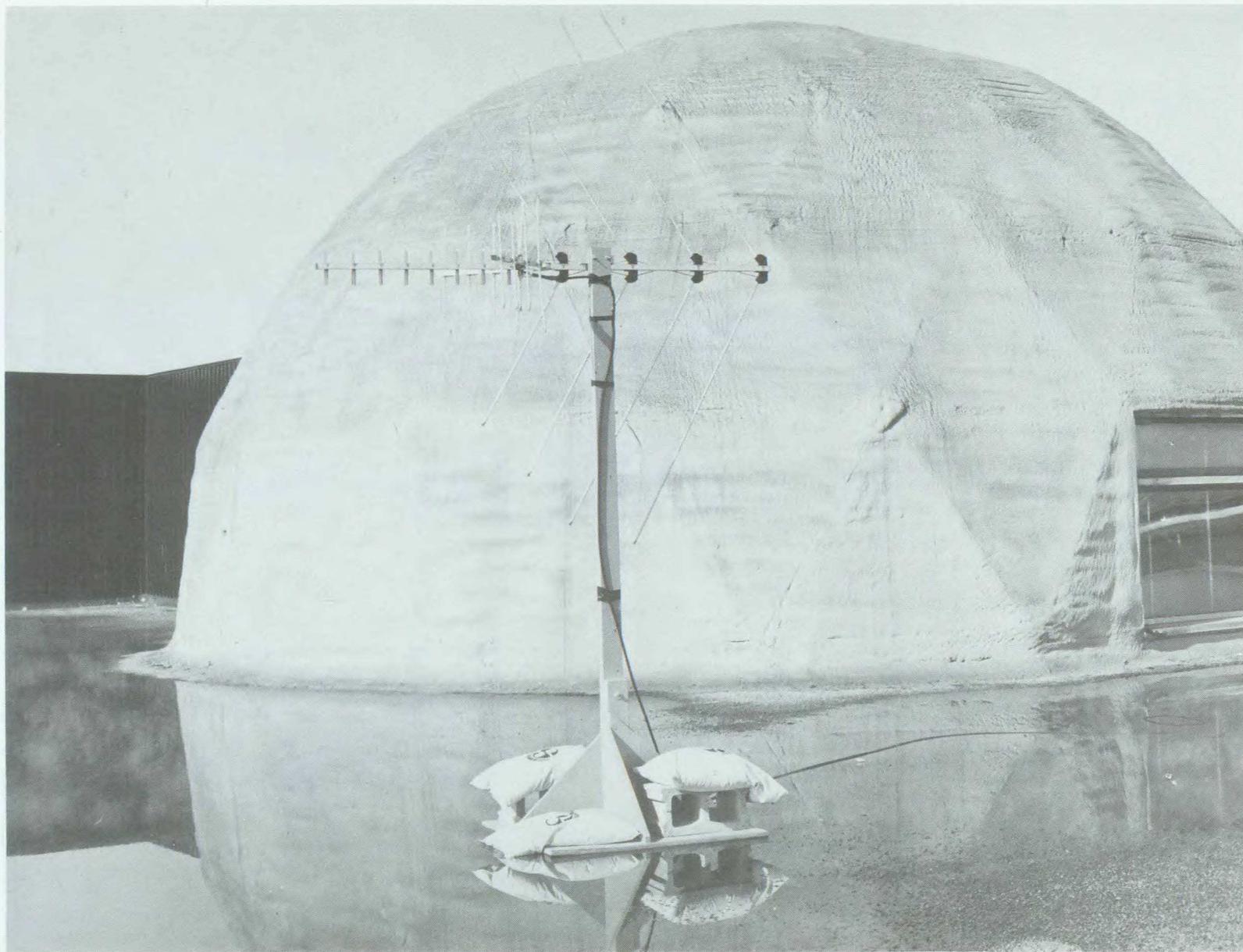


Figure 4-2. Photographie de l'antenne de transmission.

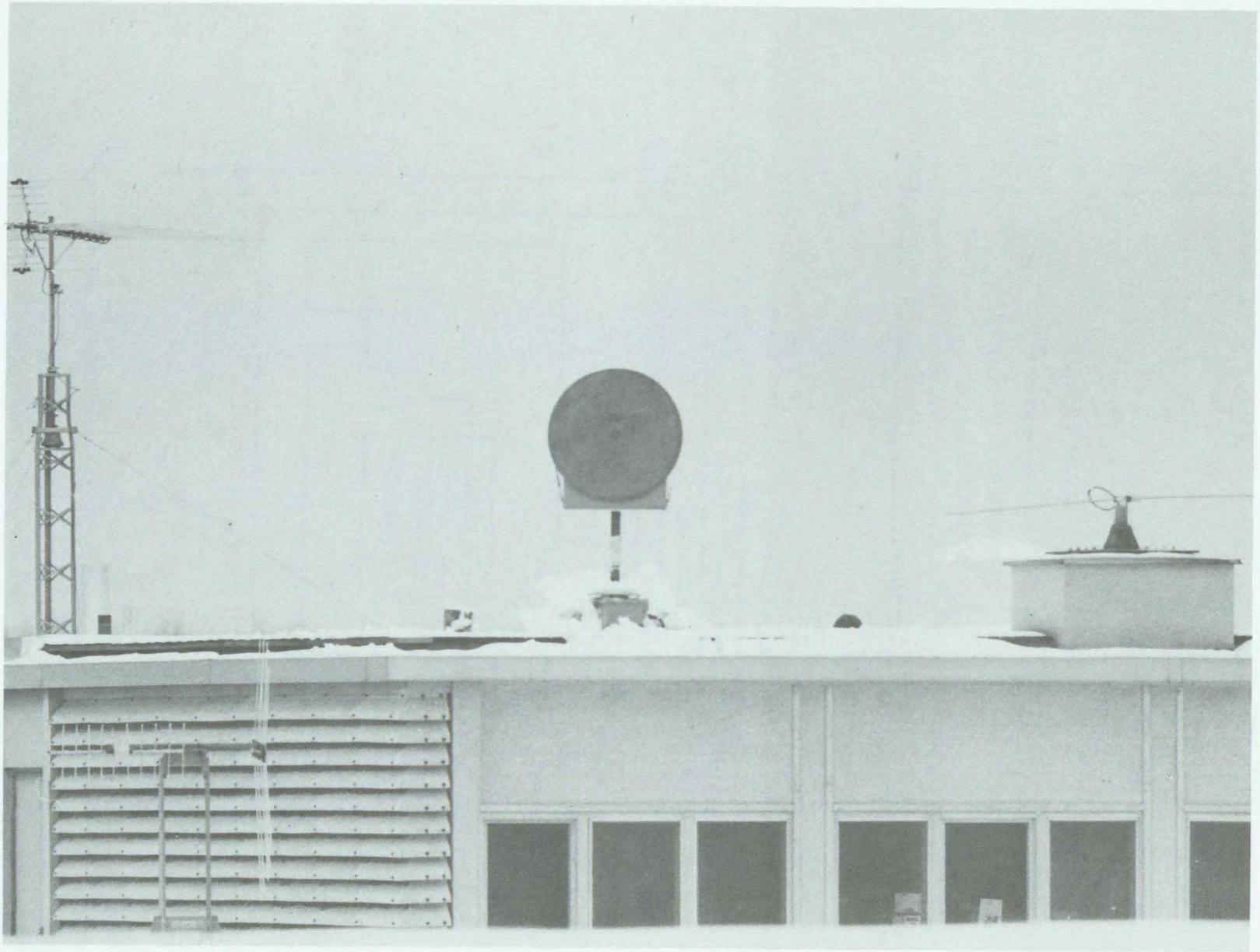


Figure 4-3. Photographie de la spirale de réception.

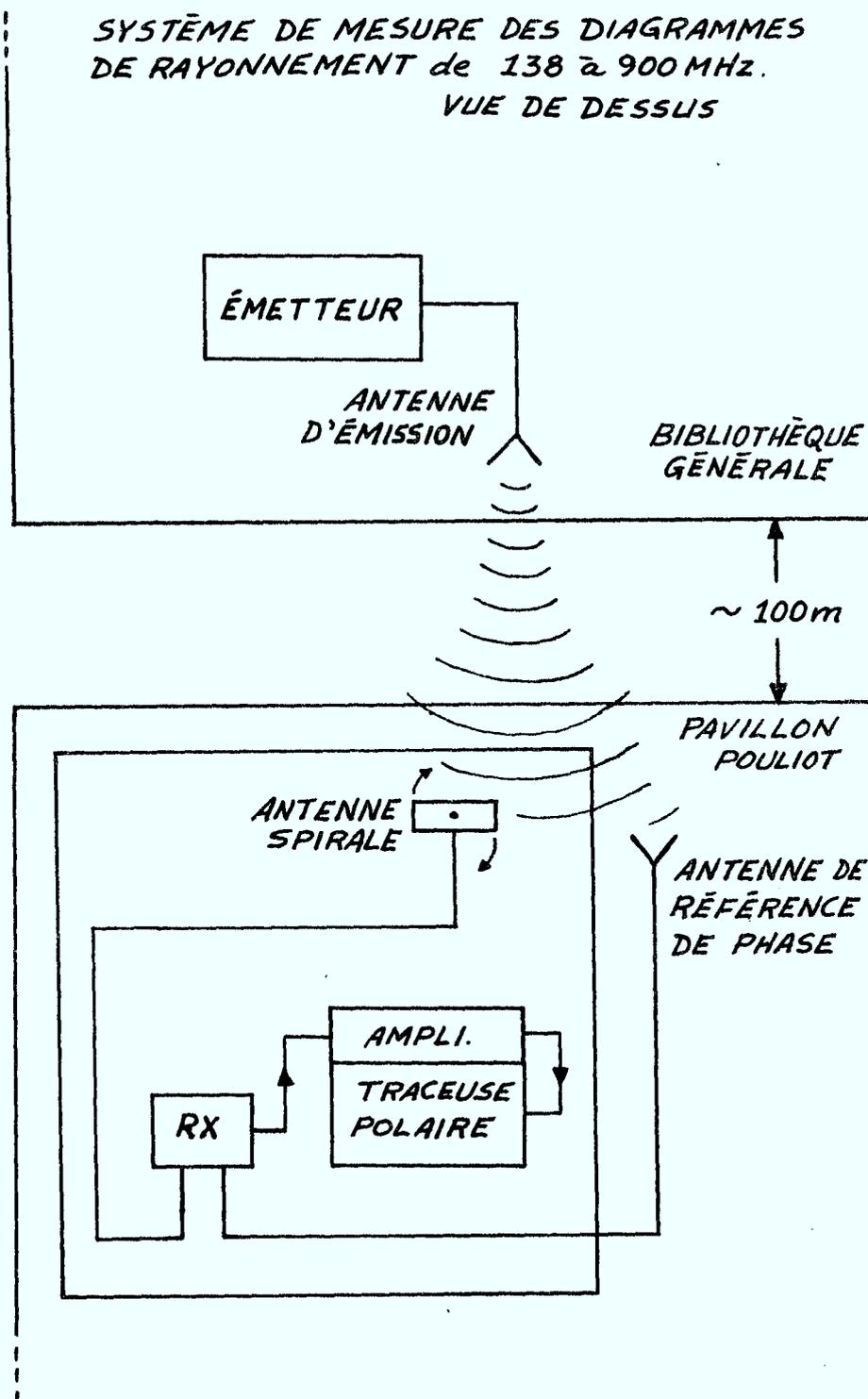


Figure 4-4a. Schéma complet du système de mesure.

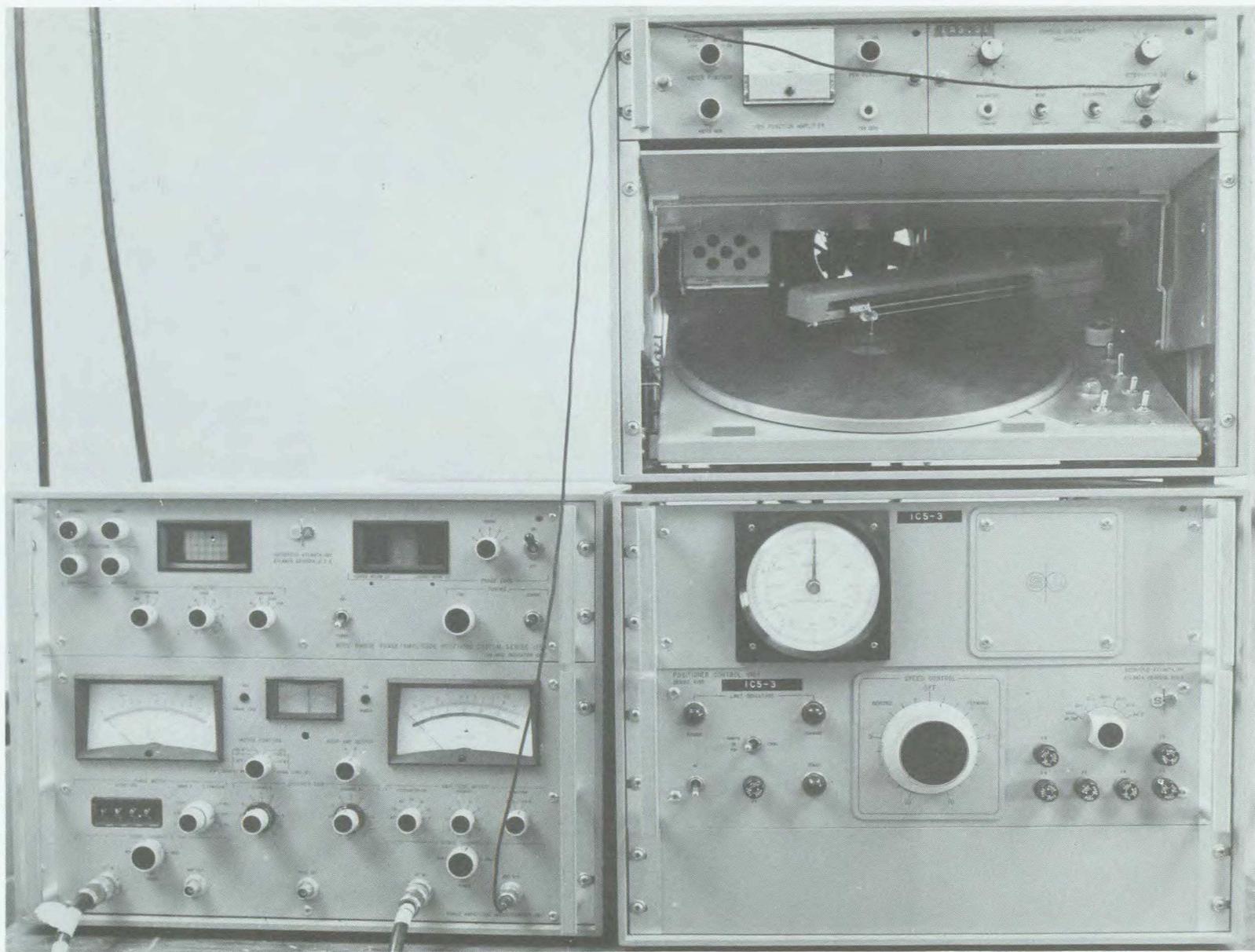


Figure 4-4b. Appareils utilisés pour la réception des signaux et l'enregistrement des diagrammes.

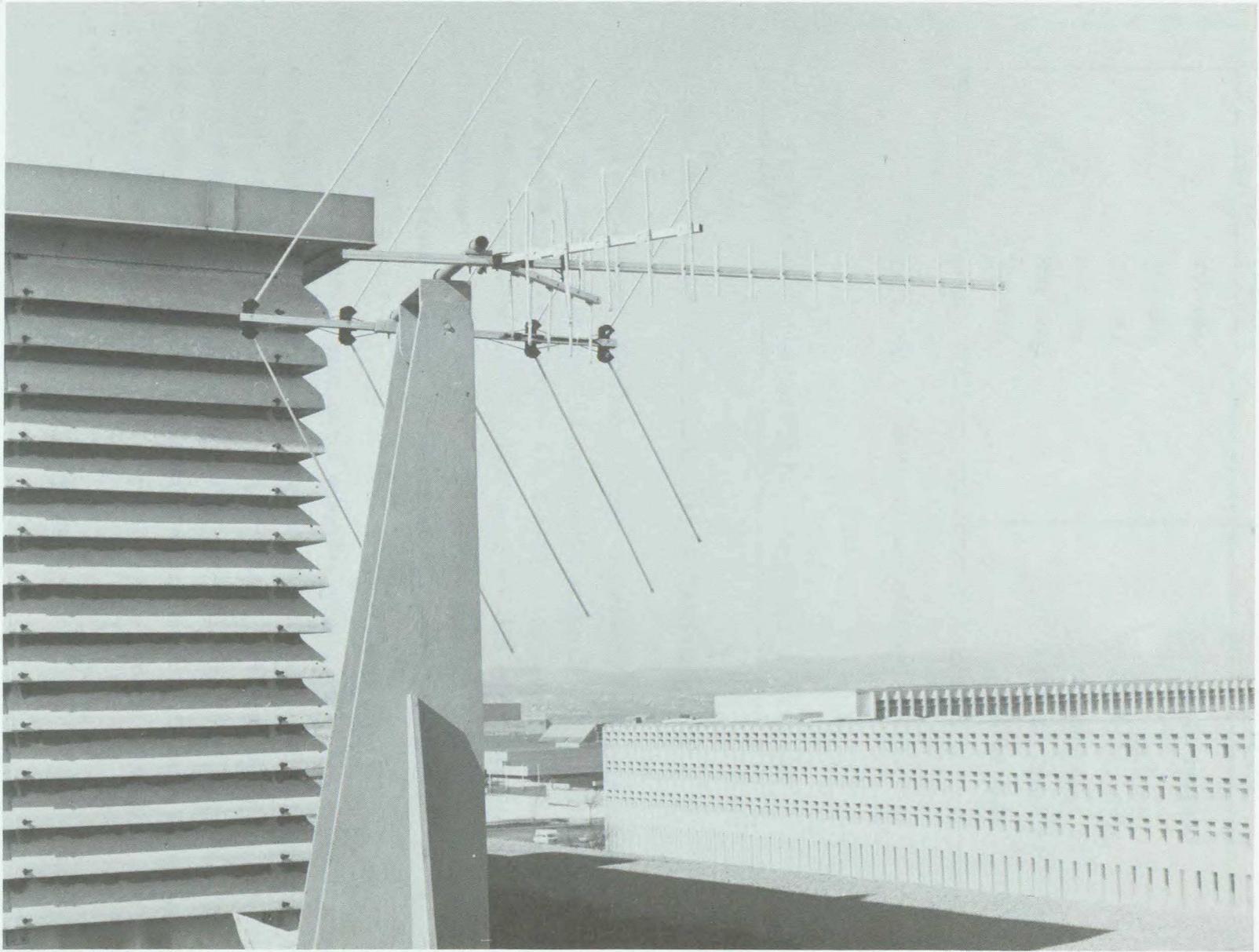


Figure 4-5. Antenne servant à la référence de phase.

Fréquence	Usage
145 MHz	Bande amateur
220 MHz	" "
438 MHz	" "
650 MHz	TV-UHF Canal 44
800 MHz	TV-UHF Canal 69
900 MHz	Non-allouée

Tableau 4-1. Fréquences expérimentales utilisées

#### 4.4 RESULTATS EXPERIMENTAUX. ANTENNE SPIRALE

##### 4.4.1 Cavité de 14". Pas d'absorbant.

En premier lieu, nous avons expérimenté avec une antenne-spirale montée sur une cavité dont la profondeur était de 14" et qui ne contenait pas d'absorbant. Les figures 4-6 à 4-10 illustrent les résultats obtenus aux fréquences du tableau 4-1 sauf pour  $f = 145$  MHz, fréquence à laquelle l'encombrement est maximum et où il était impossible de maintenir le récepteur bloqué en phase suffisamment longtemps pour obtenir un diagramme et ce, même la nuit.

On constate avec cette première série, qu'il y a rétrécissement du diagramme à mesure que l'on monte en fréquences, particulièrement vers 650 MHz et que par la suite il y a à nouveau un élargissement à 800 MHz suivi d'une déformation inacceptable vers 900 MHz. Ces phénomènes sont sans conteste le résultat d'une interaction non-négligeable entre la cavité et le rayonnement arrière de la spirale et ne peuvent donc être tolérés.

##### 4.4.2 Cavité de 7". Pas d'absorbant

Afin de vérifier l'influence de la profondeur de la cavité sur la déformation du diagramme de rayonnement, nous avons expérimenté à nouveau

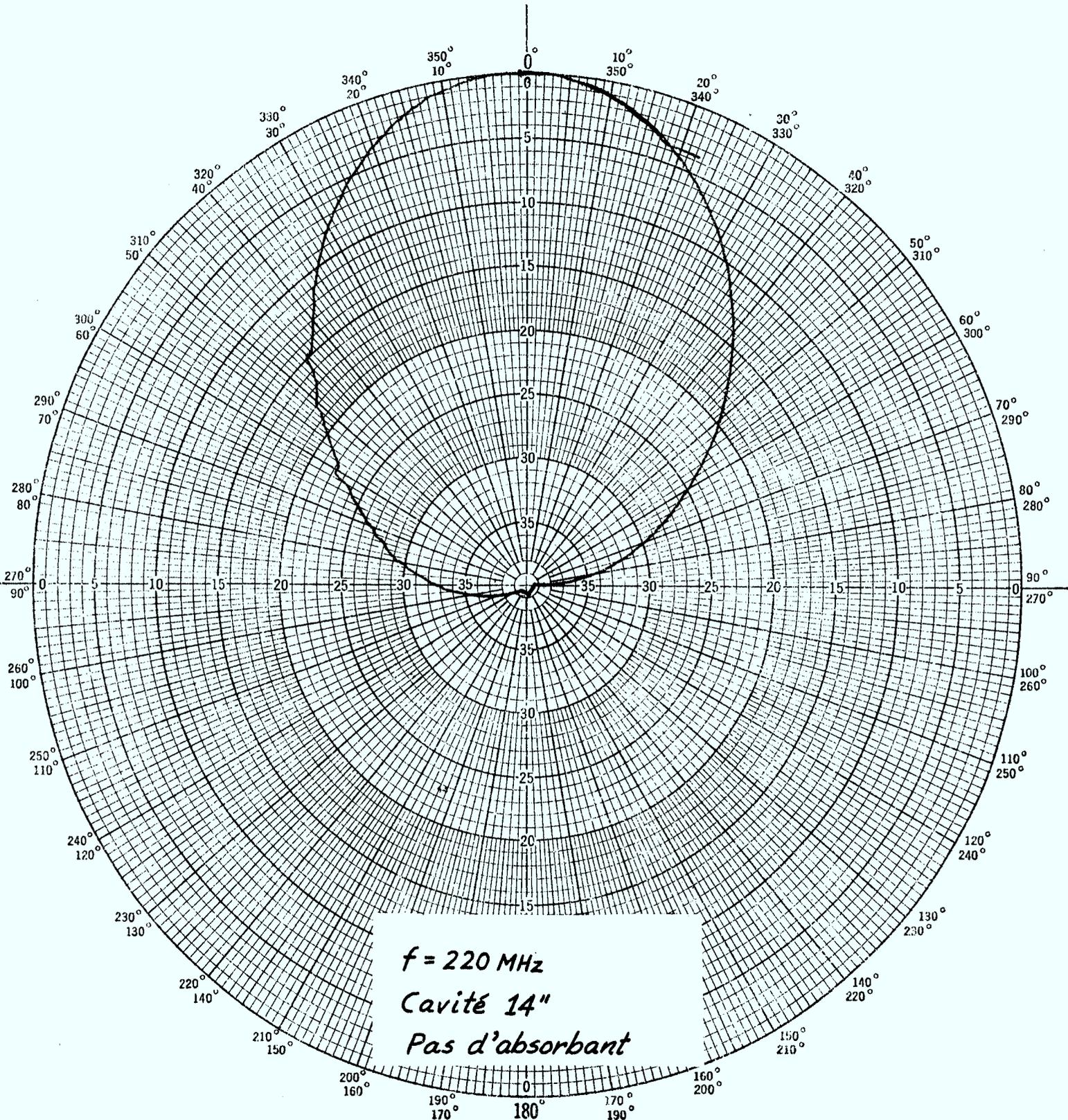


Figure 4-6. Diagramme de rayonnement de l'antenne-spirale avec une cavit  de 14" sans absorbant   la fr quence de 220 MHz.

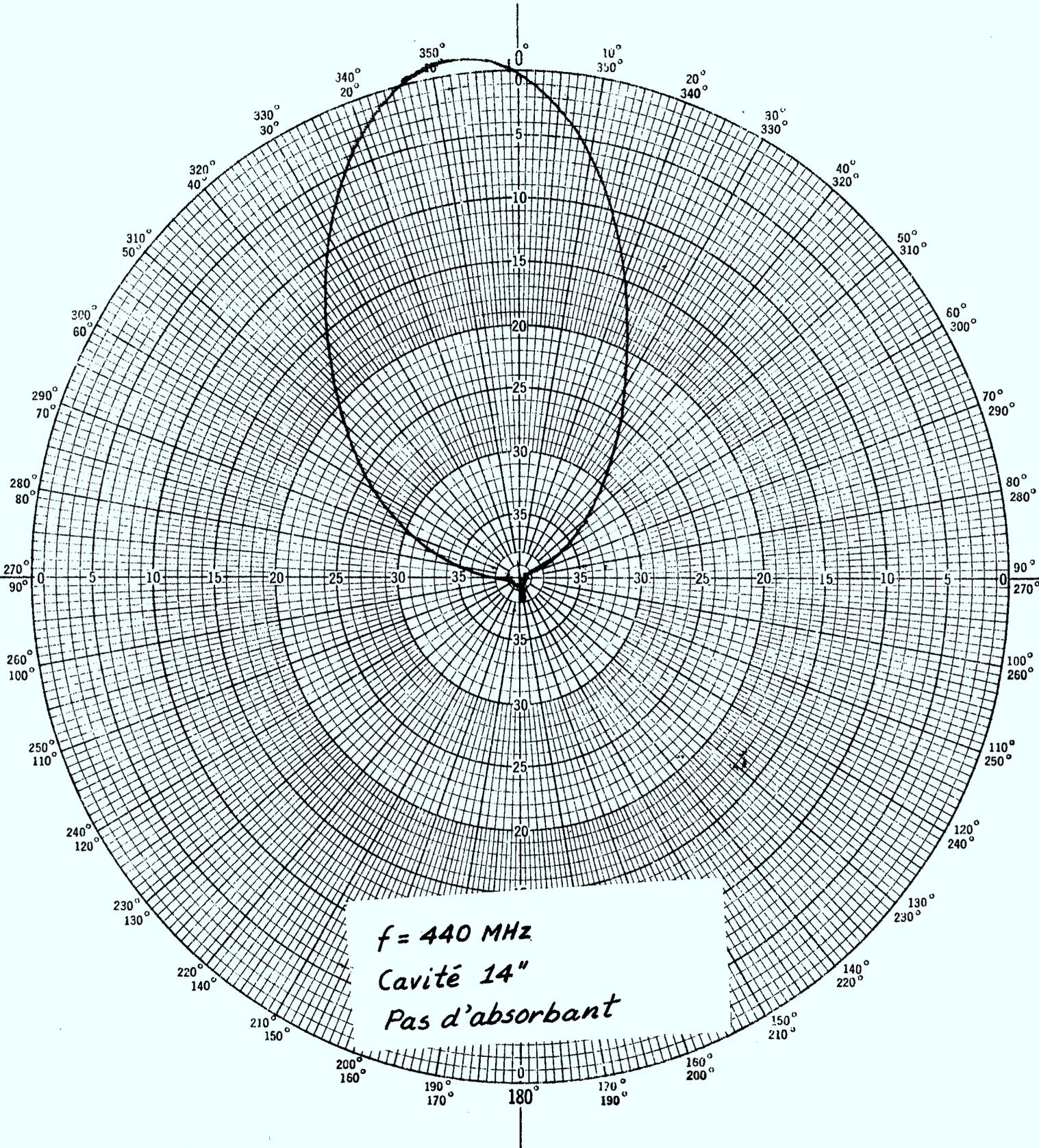


Figure 4-7. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 14" sans absorbant à la fréquence de 440 MHz.

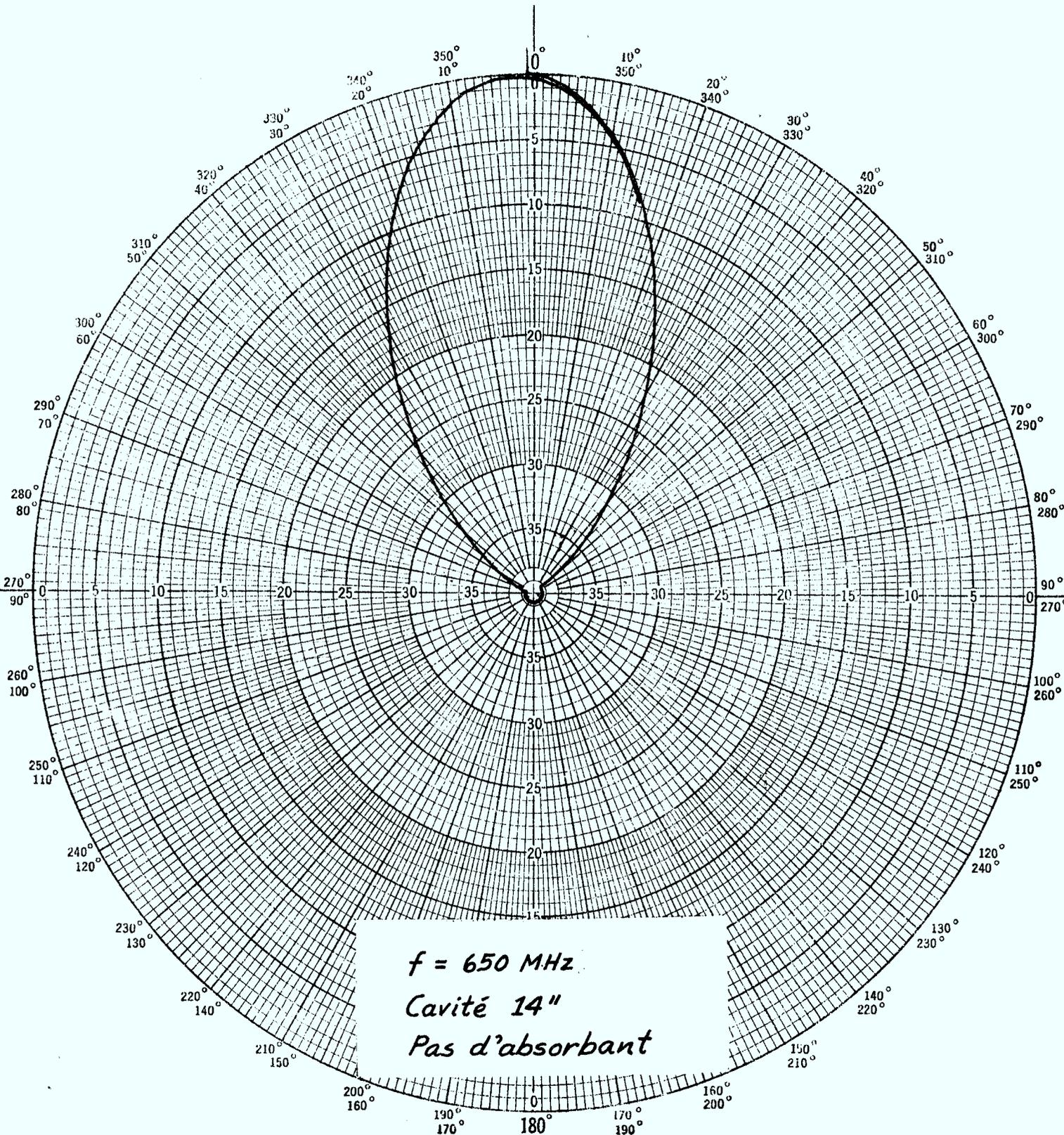


Figure 4-8. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 14" sans absorbant à la fréquence 650 MHz.

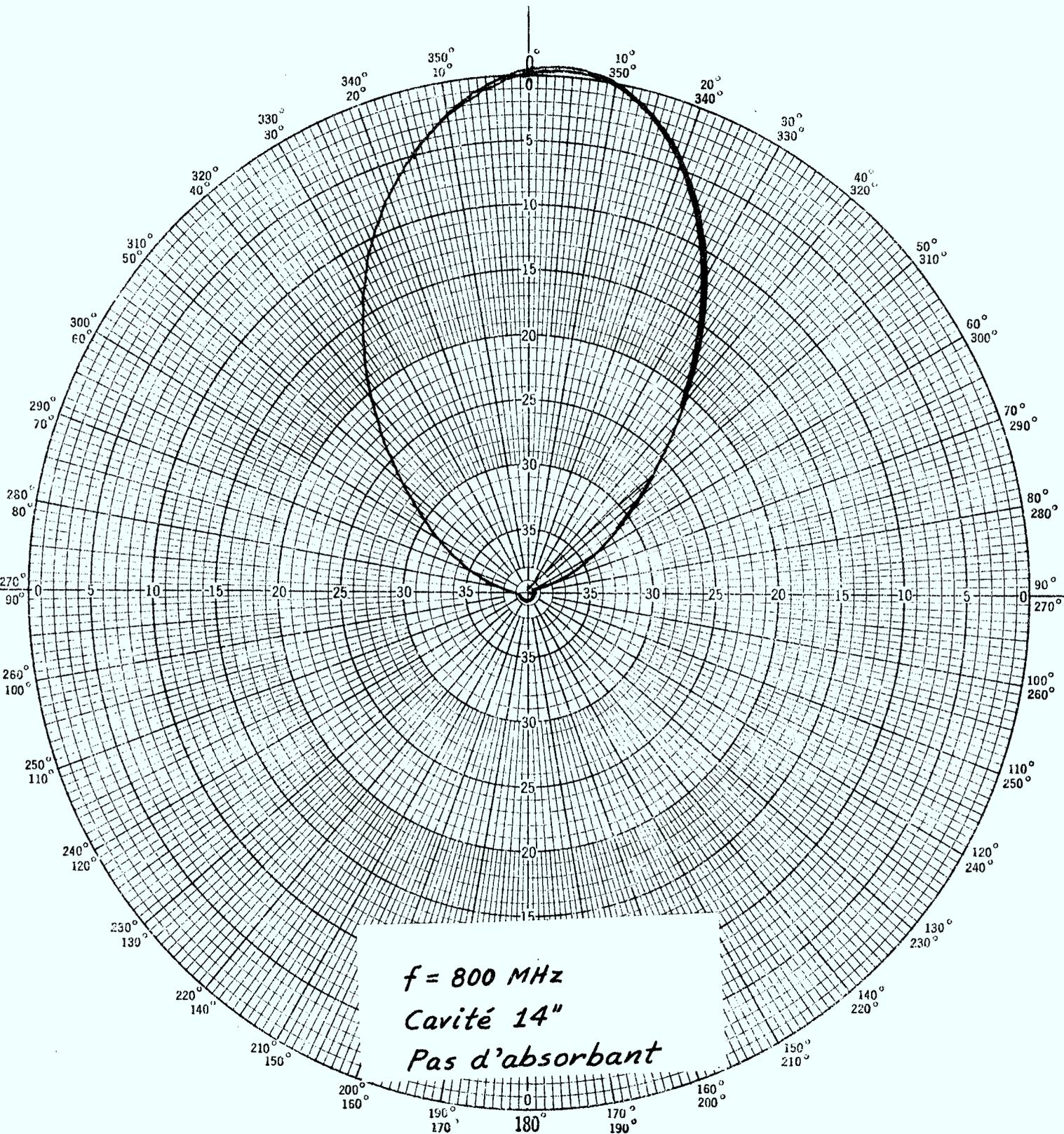


Figure 4-9. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 14" sans absorbant à la fréquence 800 MHz.

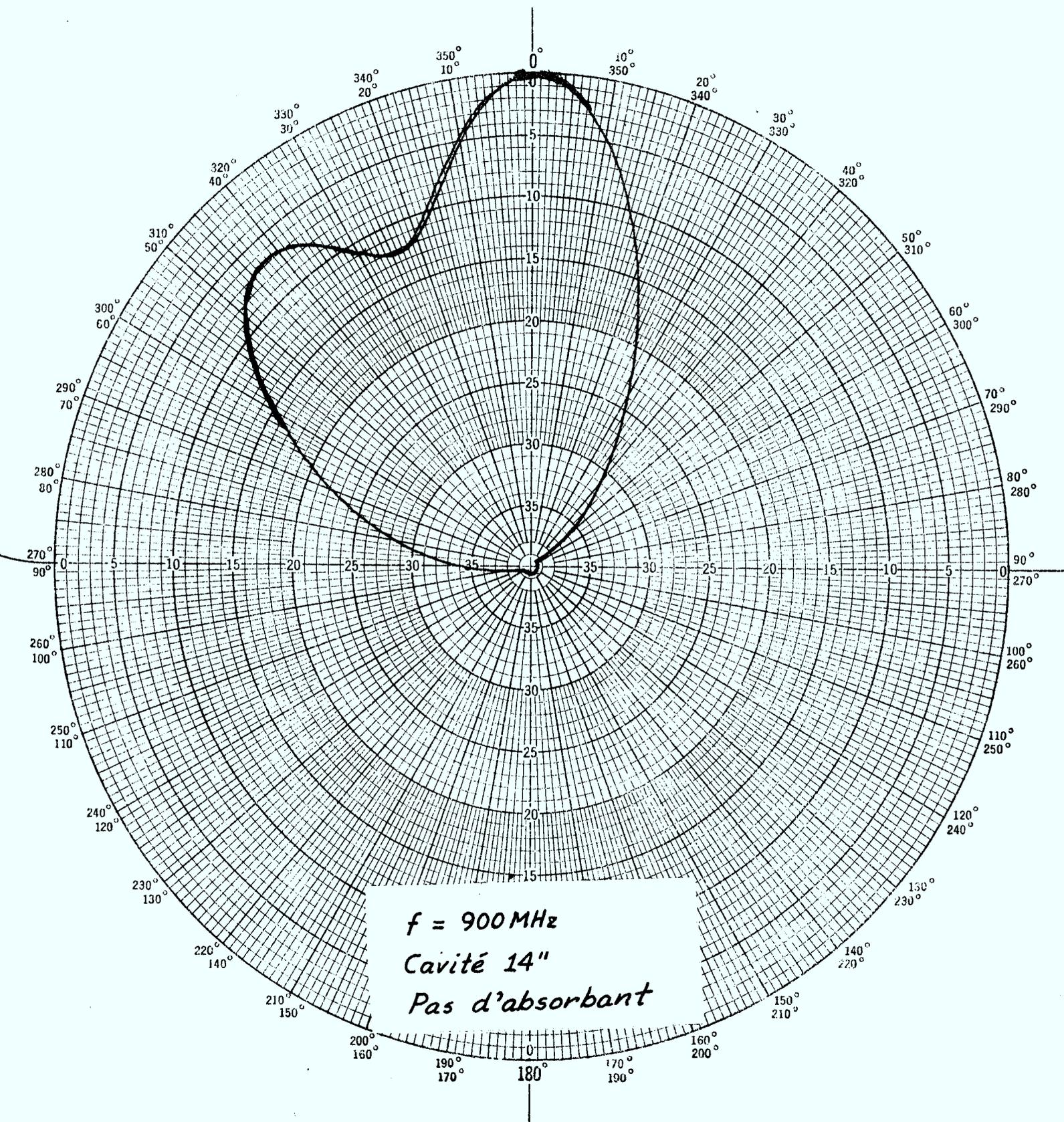


Figure 4-10. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 14" sans absorbant à la fréquence 900 MHz.

une cavité sans absorbant mais, cette fois, la profondeur de celle-ci était réduite à 7". Les figures 4-11 à 4-16 montrent les résultats obtenus.

Encore une fois, on constate un rétrécissement du diagramme de rayonnement qui débute cette fois-ci à plus basse fréquence (440 MHz) et des déformations qui commencent maintenant à 650 MHz et qui deviennent totalement inacceptables à 800 MHz.

Cela démontre hors de tout doute que la cavité influence très appréciablement le diagramme de rayonnement résultant et qu'il est absolument nécessaire de la remplir d'absorbant pour éliminer les effets interactifs cavité-lobe arrière de la spirale.

#### 4.4.3 Cavité de 4" avec absorbant

Même si l'on tient compte de la remarque sur l'absorbant de la section 4.1, il a été possible de confirmer la nécessité de l'absorbant en utilisant une cavité de 4" remplie d'absorbant type HPY. Les figures 4-17 à 4-21 illustrent les résultats obtenus et même si ceux-ci ne sont pas parfaits, on réalise qu'il y a une diminution très appréciable du rétrécissement du diagramme de rayonnement et que les déformations sont absentes.

Les difficultés d'enregistrement perceptibles sur les diagrammes sont évidemment dues à l'encombrement de ces bandes et cela est particulièrement évident à 222 MHz (figure 4-17). Compte tenu de l'amélioration plus que sensible introduite, il nous restait donc à déterminer qu'elle était la profondeur optimale pour la cavité.

#### 4.4.4 Cavité de 5" avec absorbant

Après quelques essais additionnels, il s'est avéré qu'une cavité profonde de 5" remplie d'absorbant représentait le meilleur compromis expérimental qu'il nous était possible de réaliser et, en conséquence, la profondeur de la cavité sera donc fixée à 5".

Les figures 4-22 à 4-27 montrent les résultats obtenus avec cet arrangement cavité/antenne-spirale et il est facile de réaliser que les diagrammes obtenus demeurent essentiellement constants sur toute la plage de fréquences à l'étude et qu'il n'y a pas de déformations appréciables de ceux-ci.

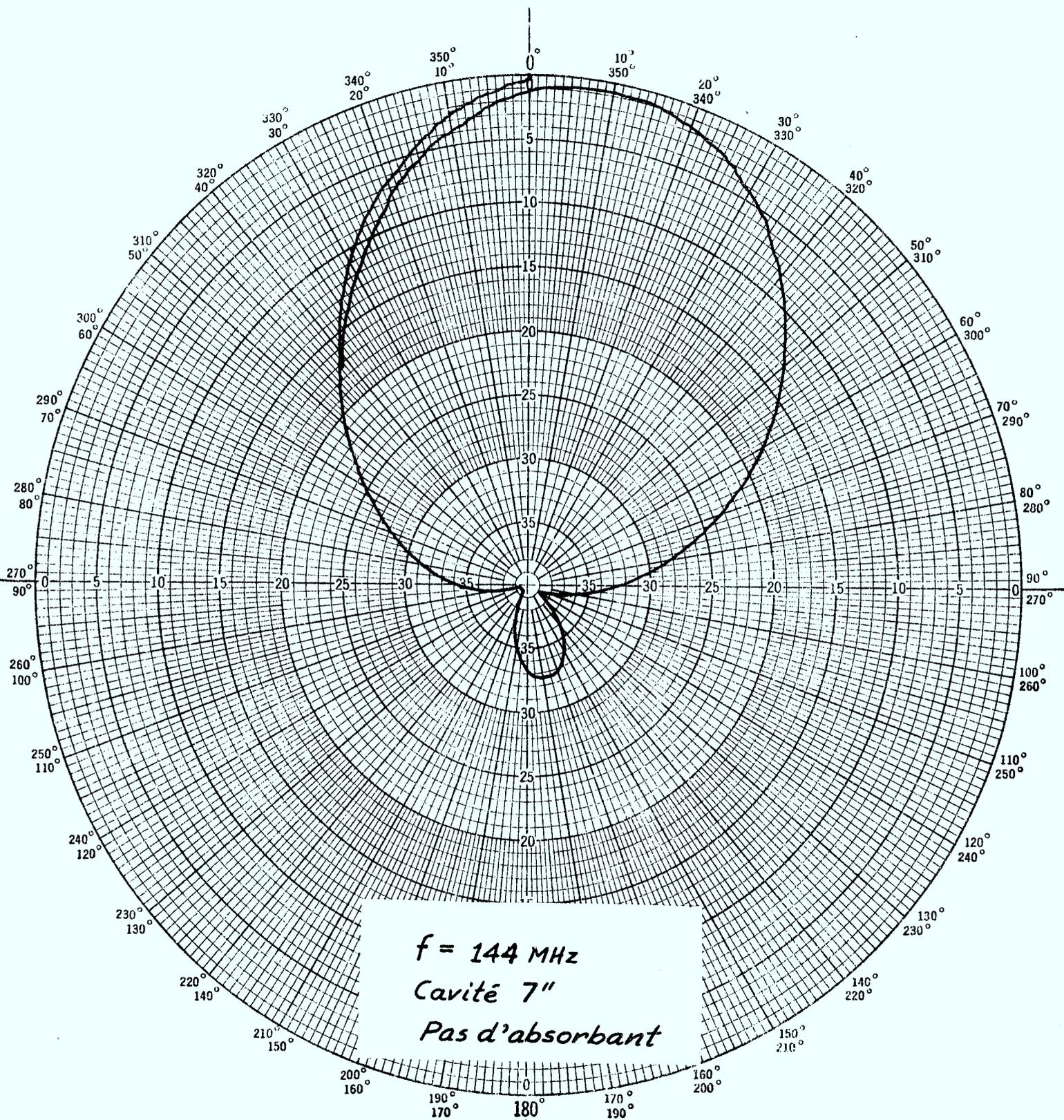


Figure 4-11. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 7" sans absorbant à la fréquence 144 MHz.

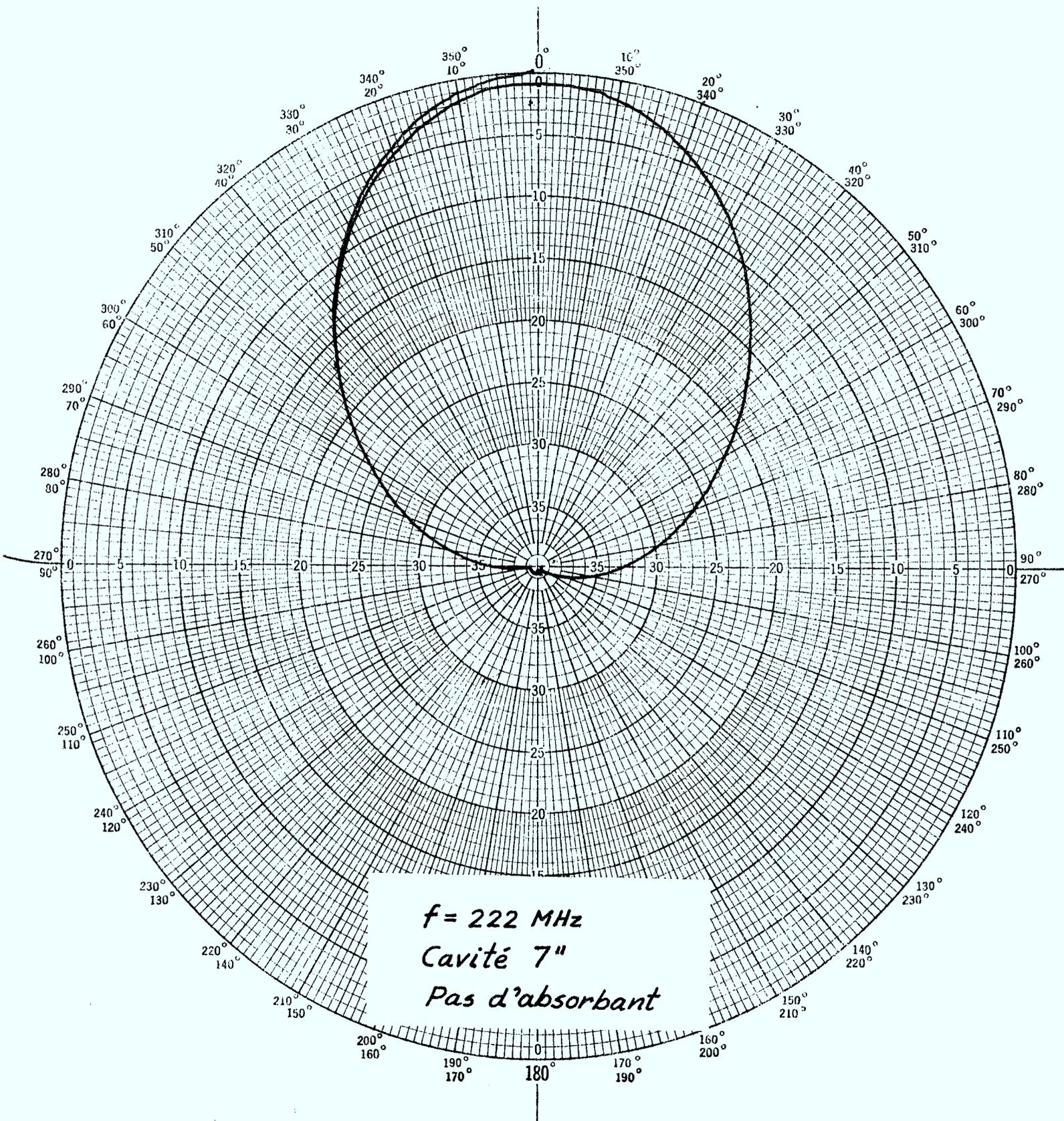


Figure 4-12. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 7" sans absorbant à la fréquence 222 MHz.

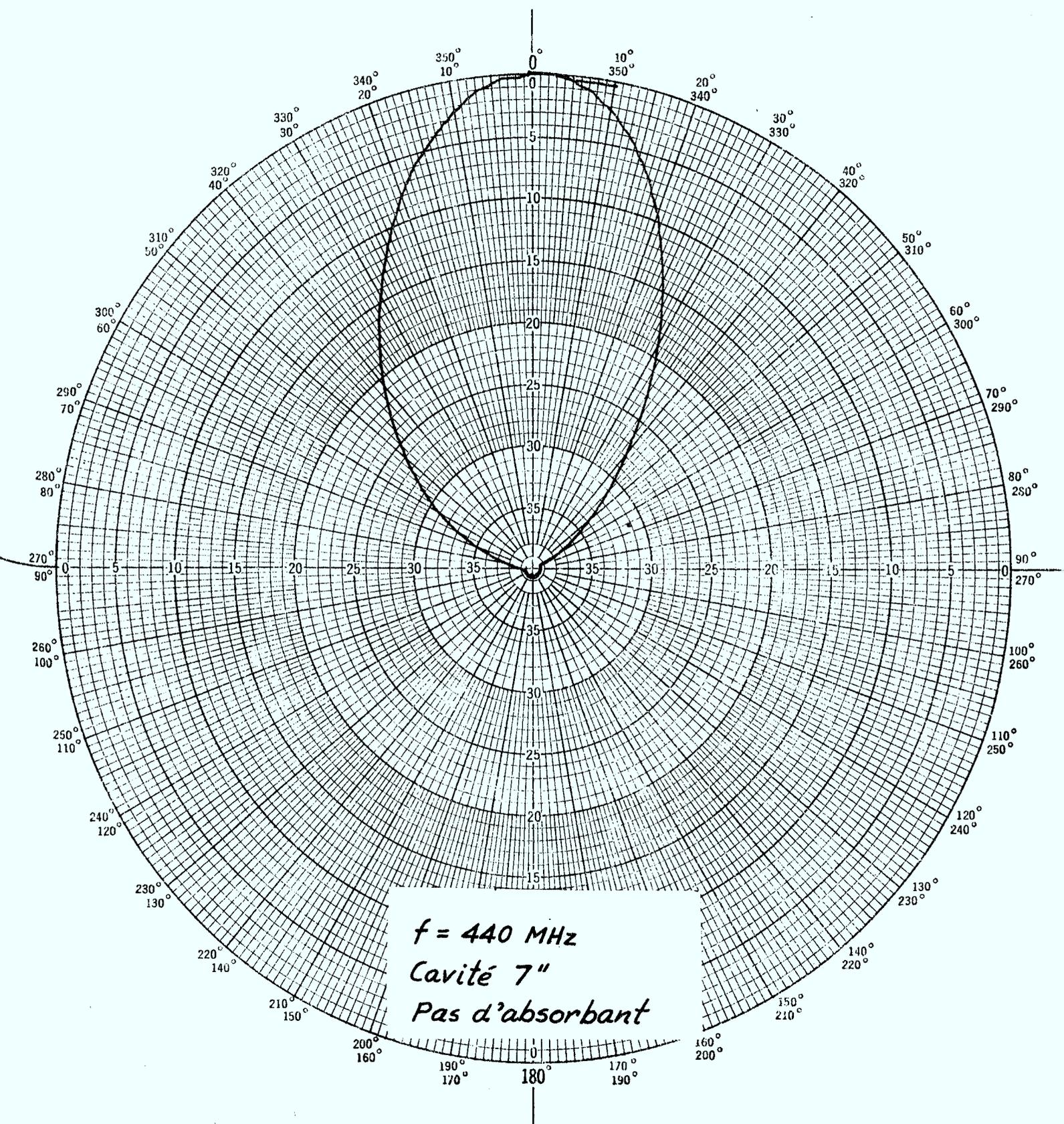


Figure 4-13. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 7" sans absorbant à la fréquence 440 MHz.

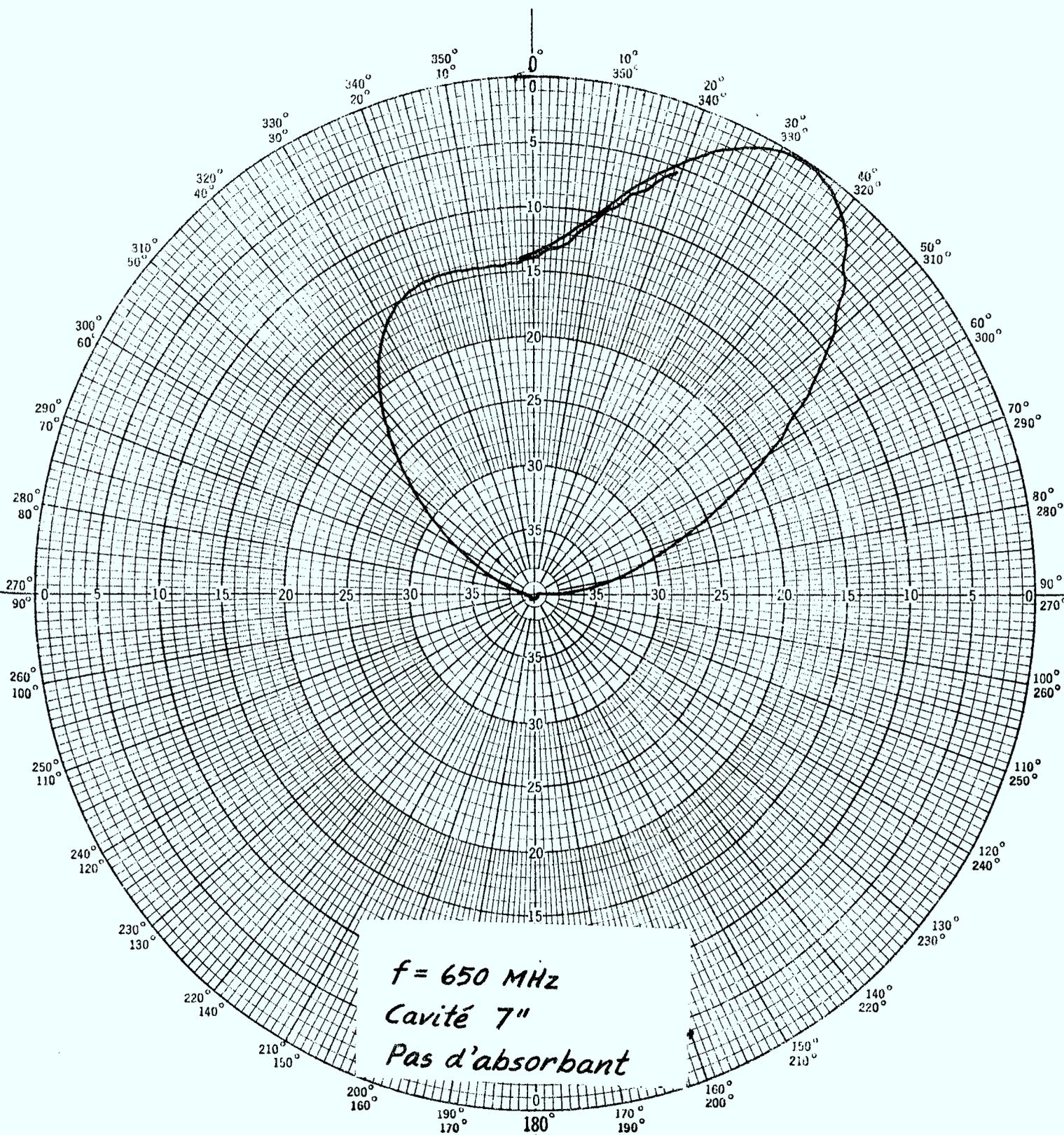


Figure 4-14. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 7" sans absorbant à la fréquence 650 MHz.

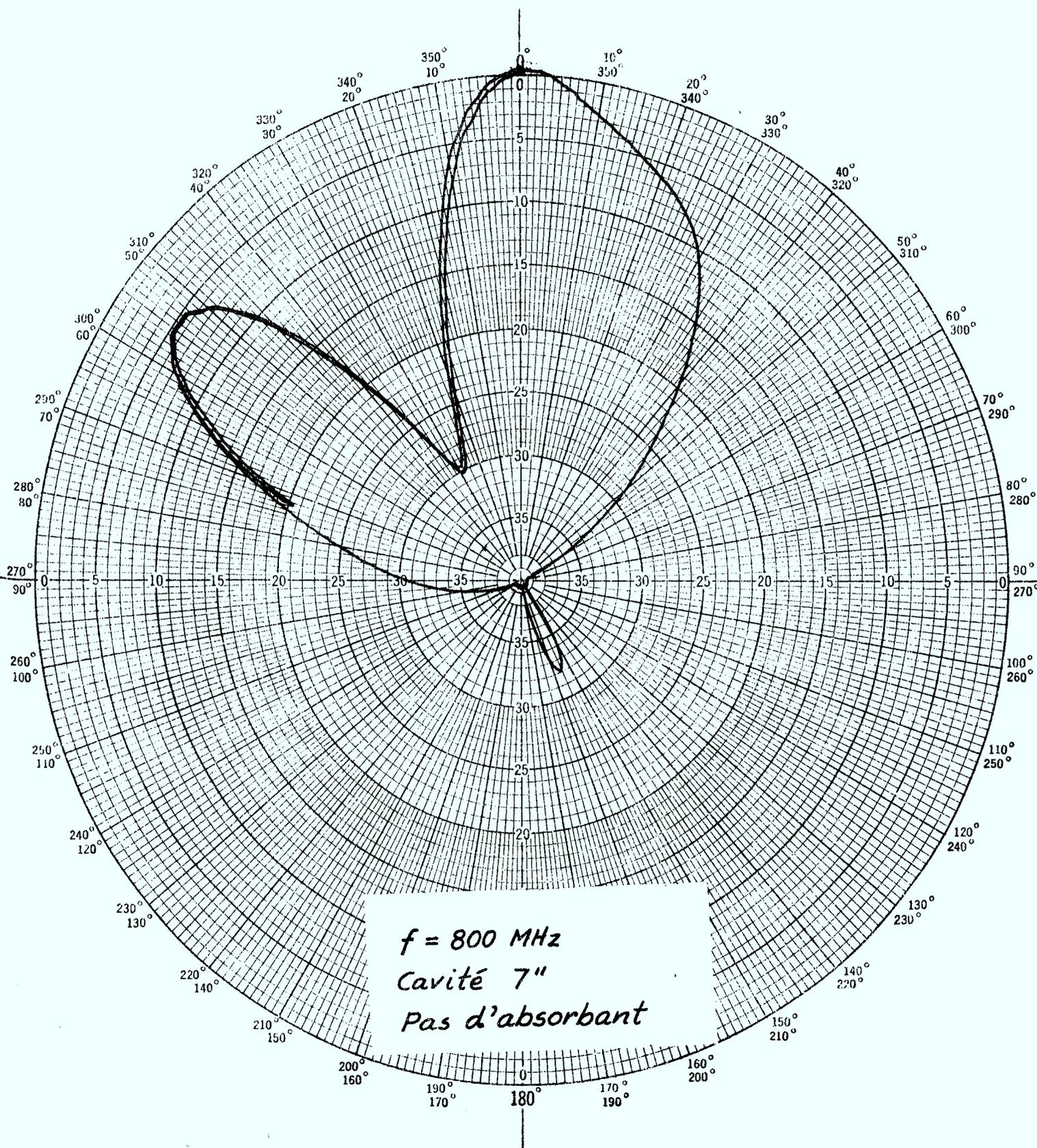


Figure 4-15. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 7" sans absorbant à la fréquence 800 MHz.

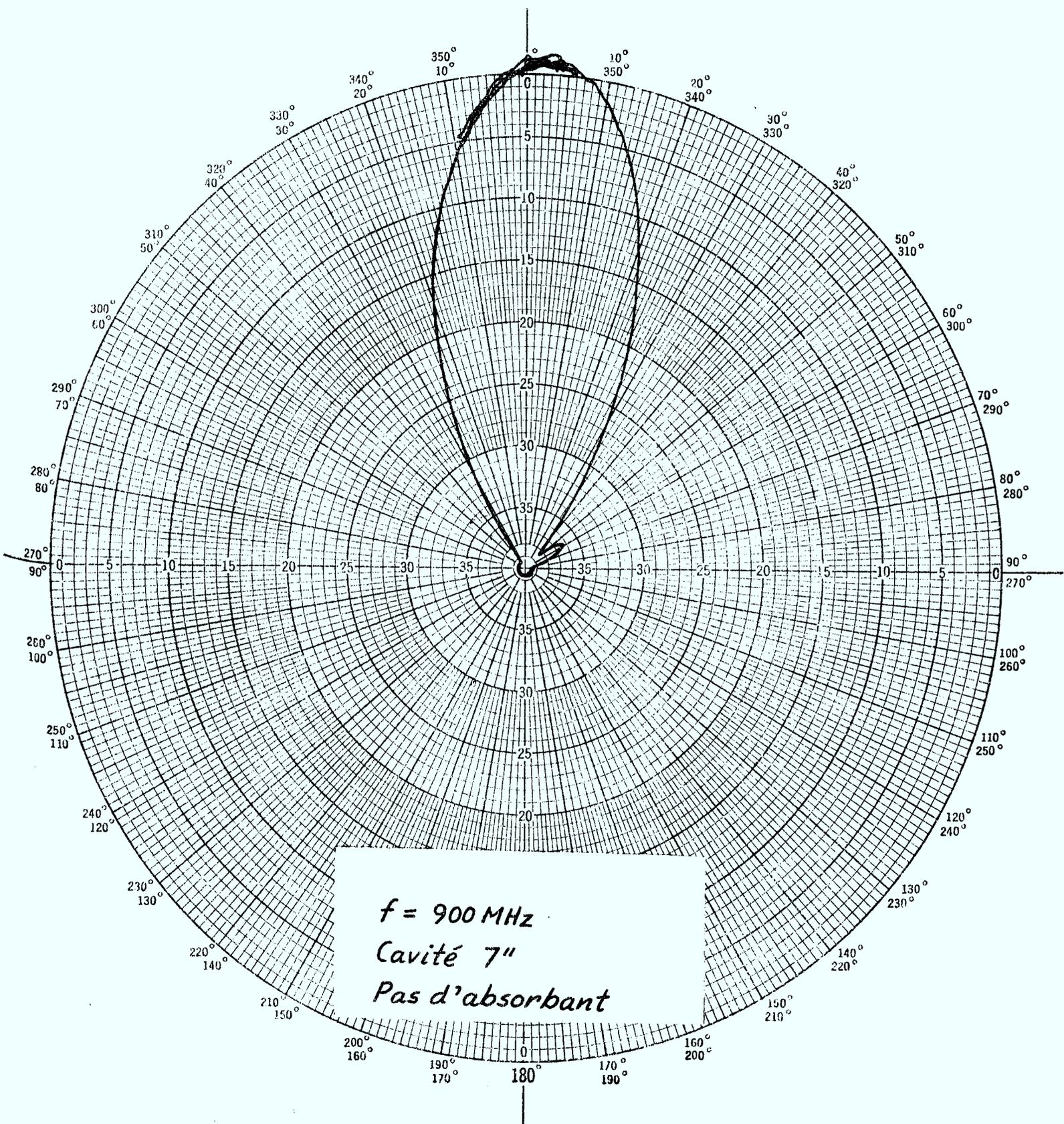


Figure 4-16. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 7" sans absorbant à la fréquence 900 MHz.

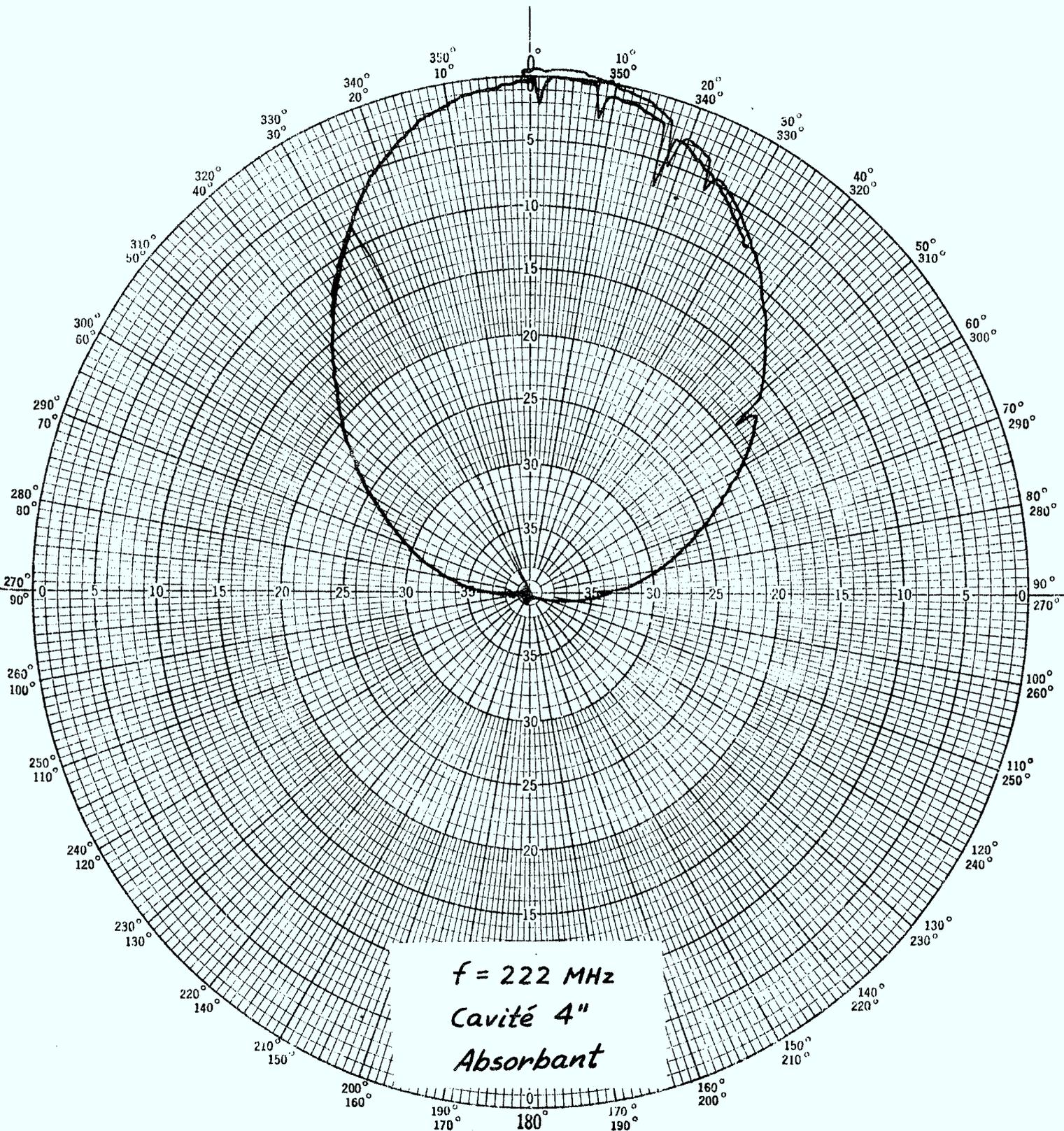


Figure 4-17. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 4" et de l'absorbant HPY à la fréquence 222 MHz.

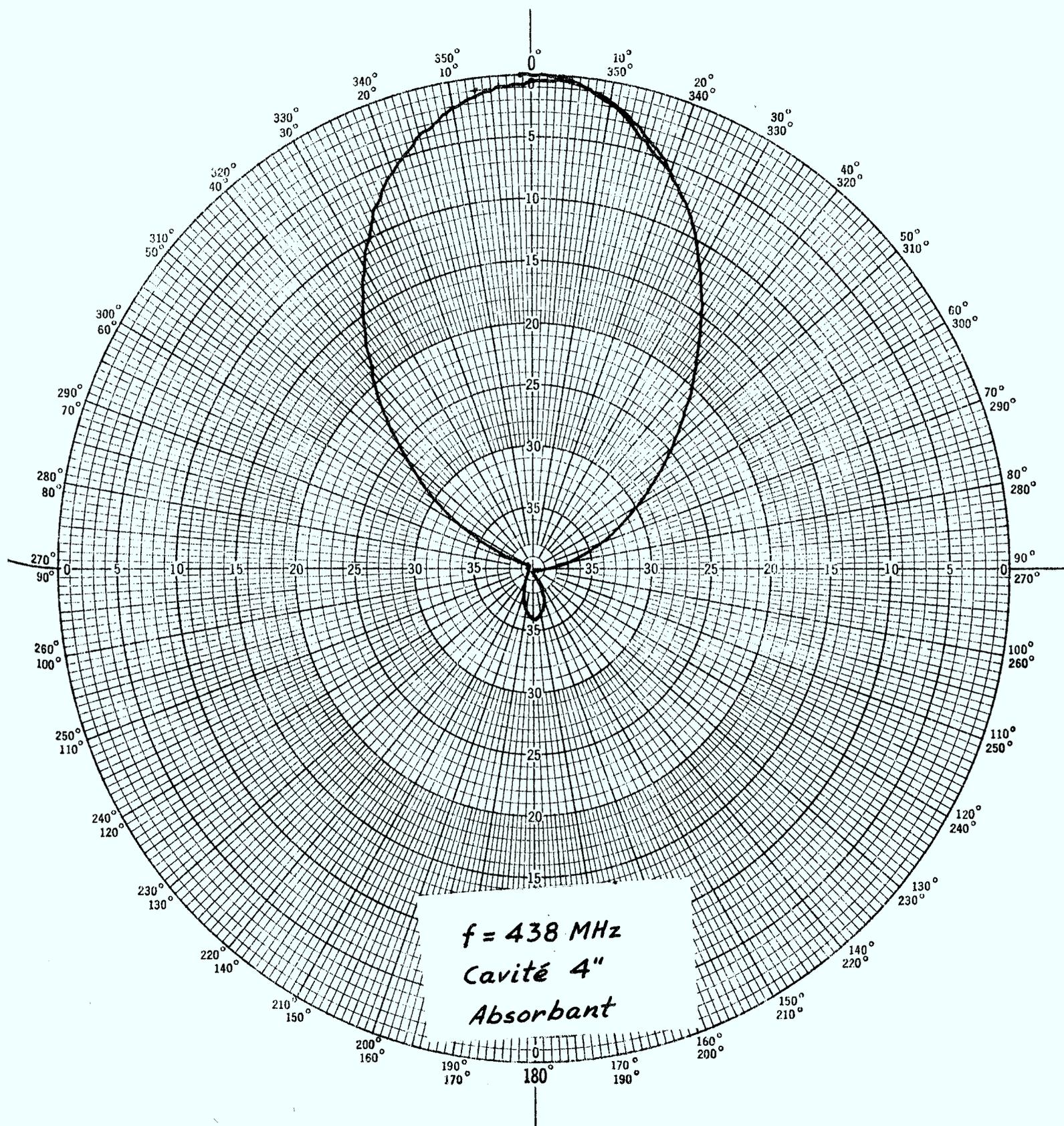


Figure 4-18. Diagramme de rayonnement de l'antenne-spirale avec une cavit  de 4" et de l'absorbant HPY   la fr quence 438 MHz.

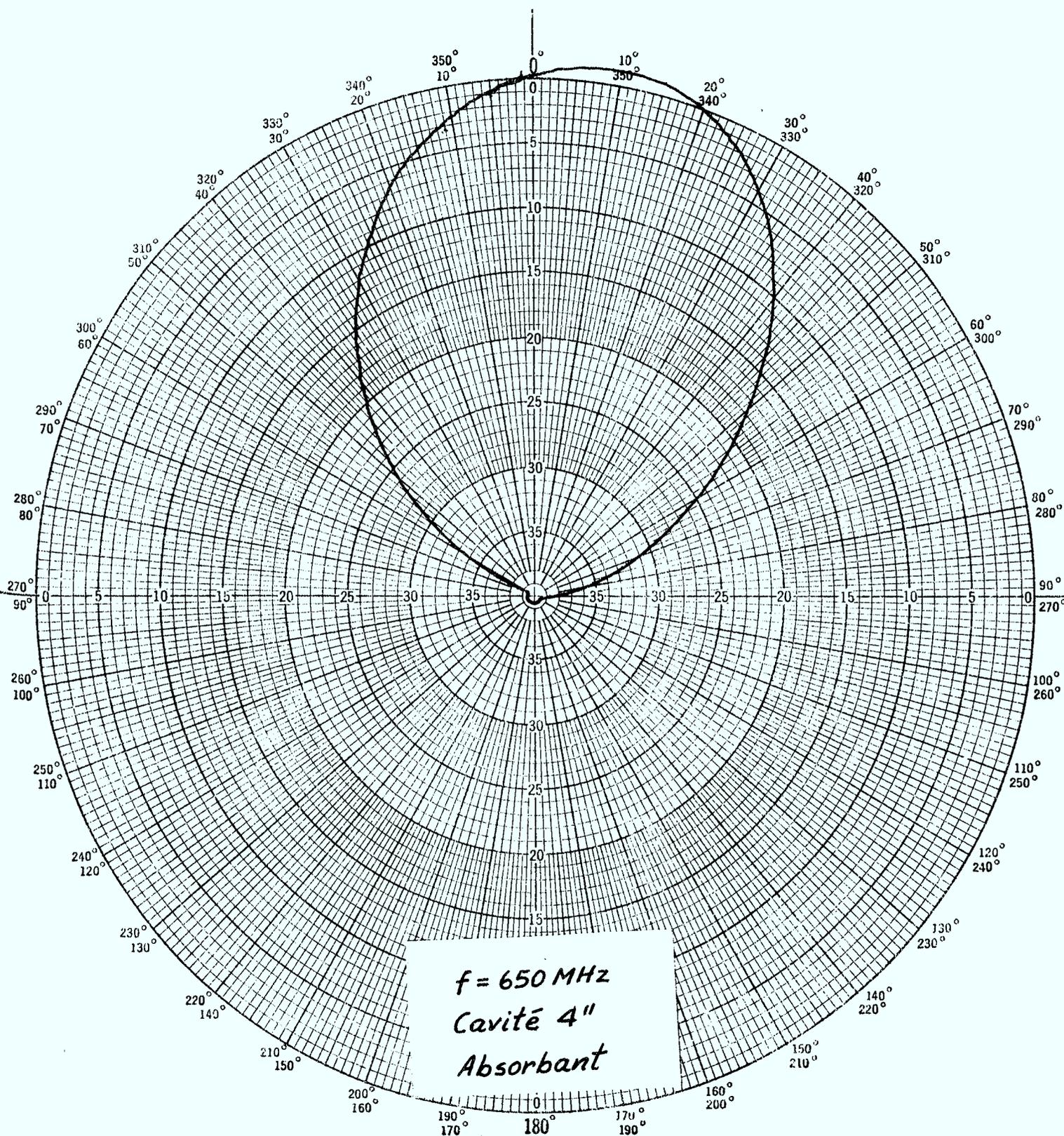


Figure 4-19. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 4" et de l'absorbant HPY à la fréquence 650 MHz.

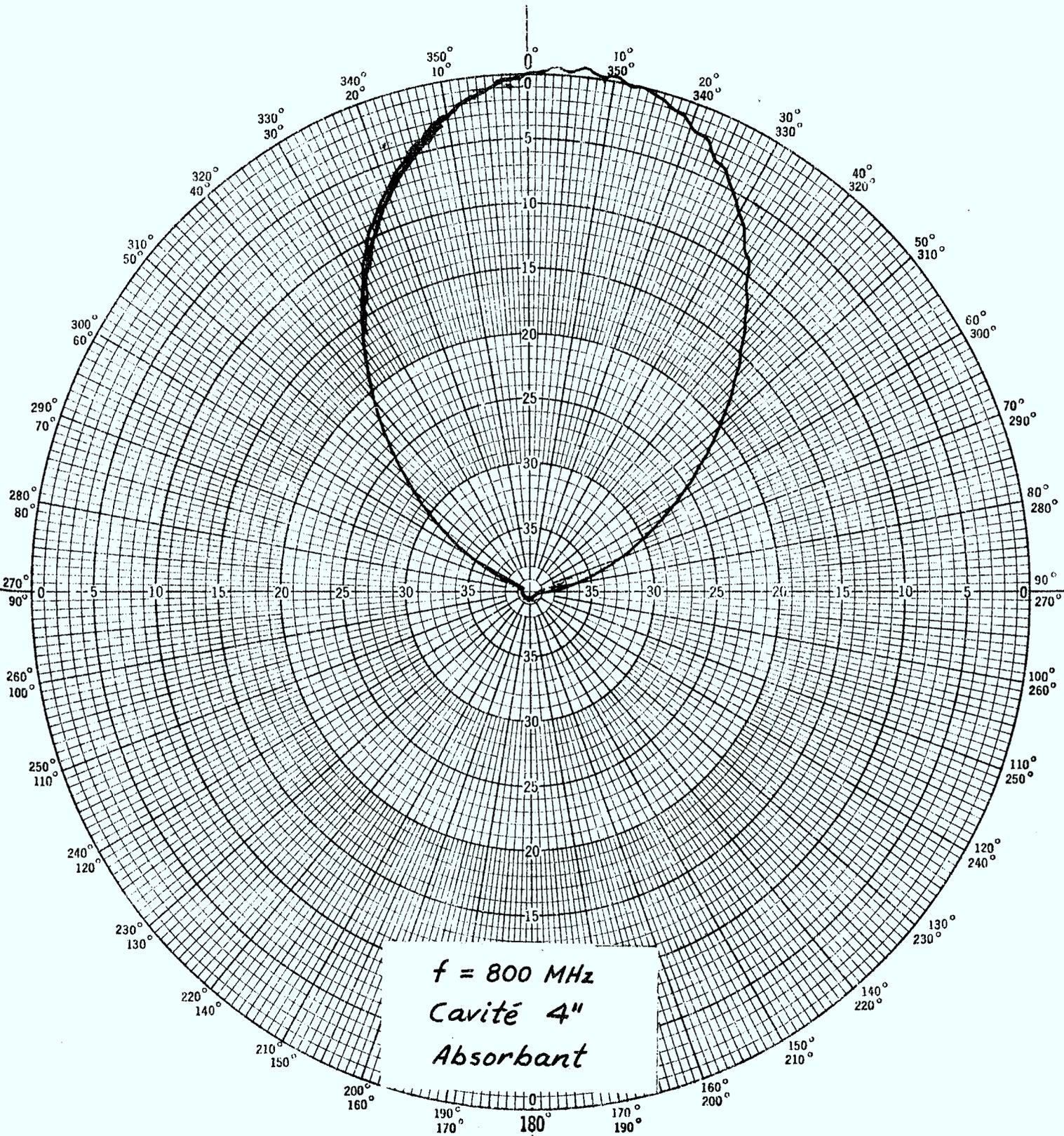


Figure 4-20. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 4" et de l'absorbant HPY à la fréquence 800 MHz.

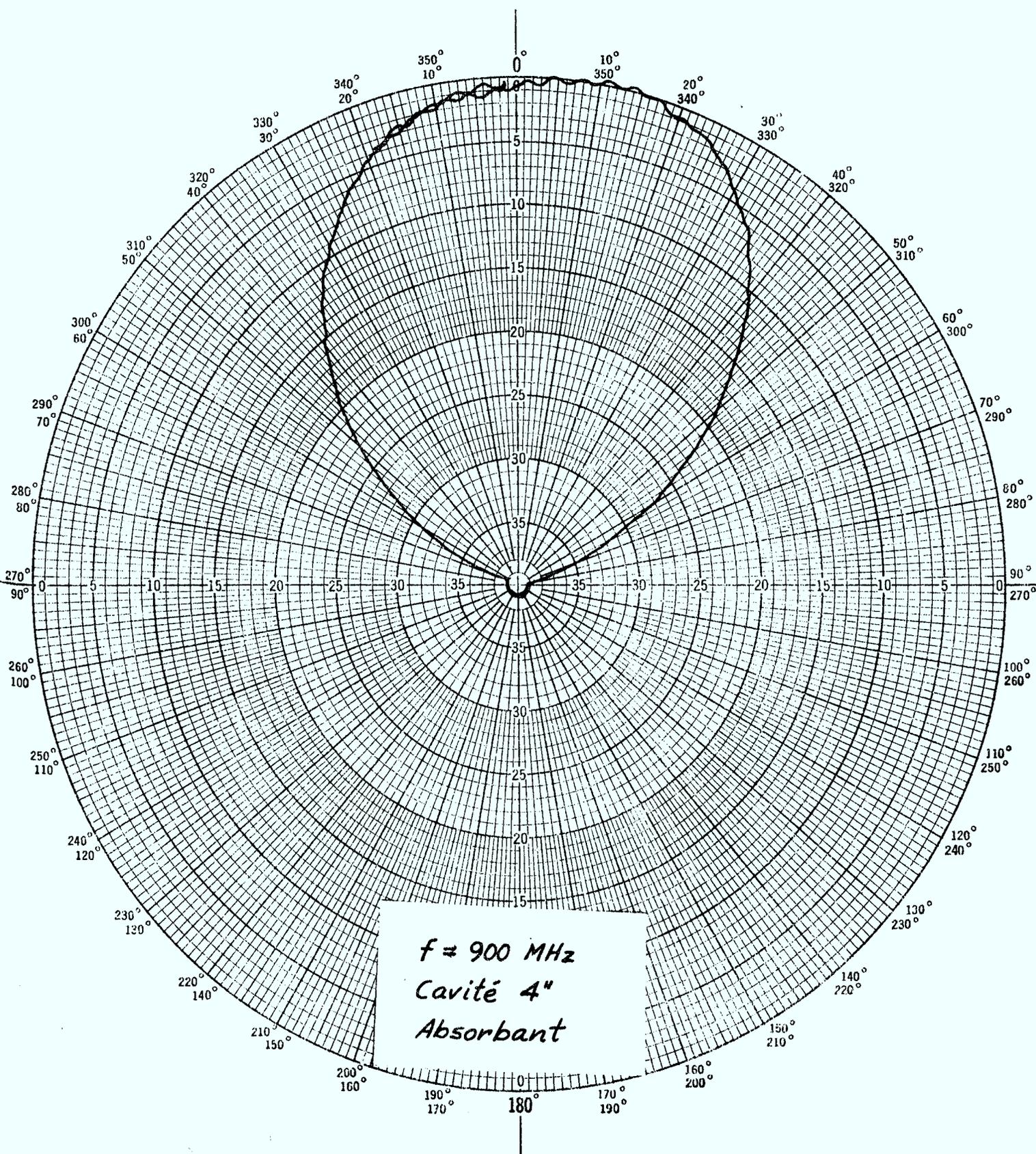


Figure 4-21. Diagramme de rayonnement de l'antenne-spirale avec une cavité de 4" et de l'absorbant HPY à la fréquence 900 MHz.

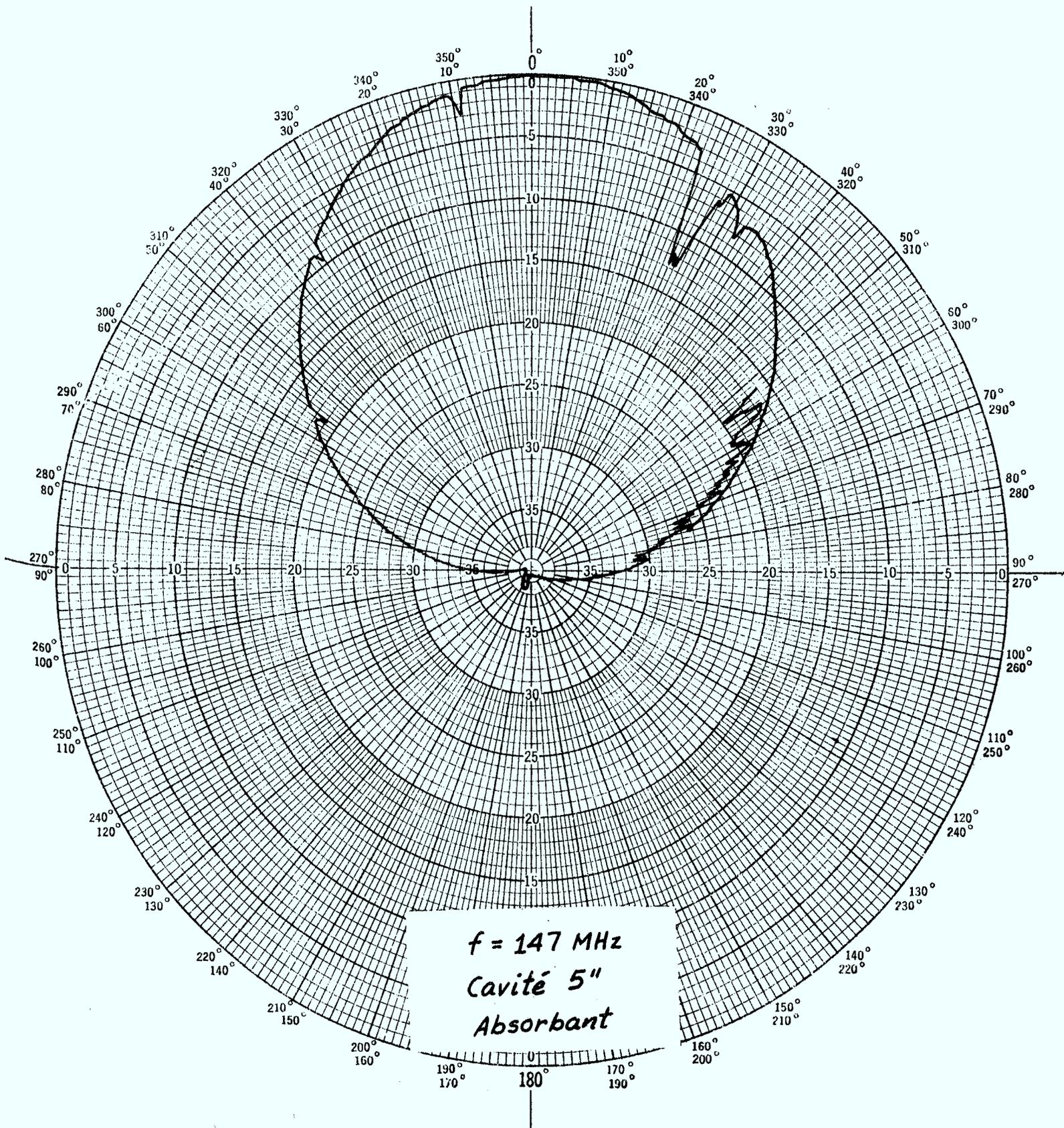


Figure 4-22. Diagramme de rayonnement de l'antenne-spirale avec une cavité de (profondeur définitive) 5" et de l'absorbant HPY à la fréquence 147 MHz.

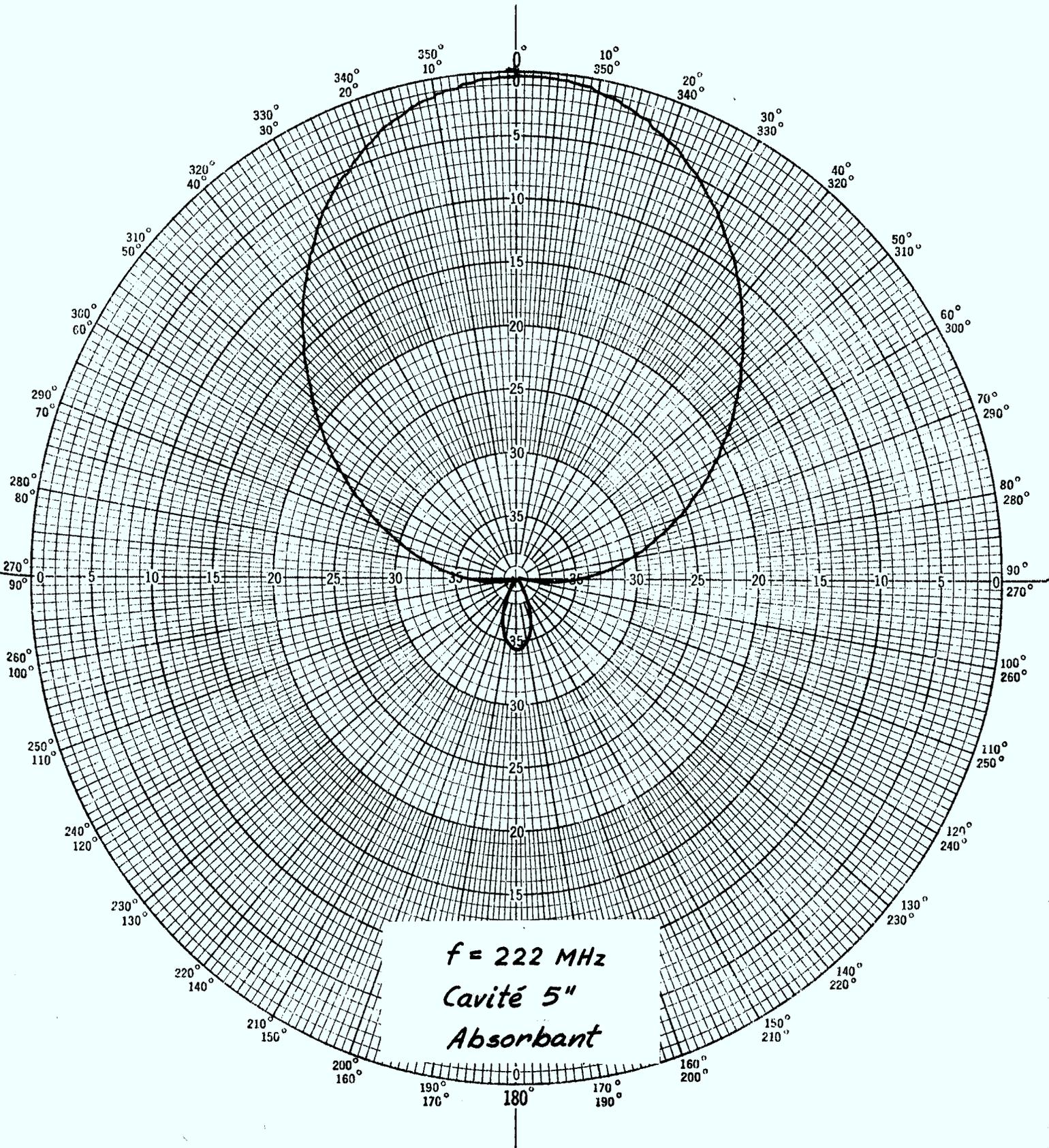


Figure 4-23. Diagramme de rayonnement de l'antenne-spirale avec une cavité de (profondeur définitive) 5" et de l'absorbant HPY à la fréquence 222 MHz.

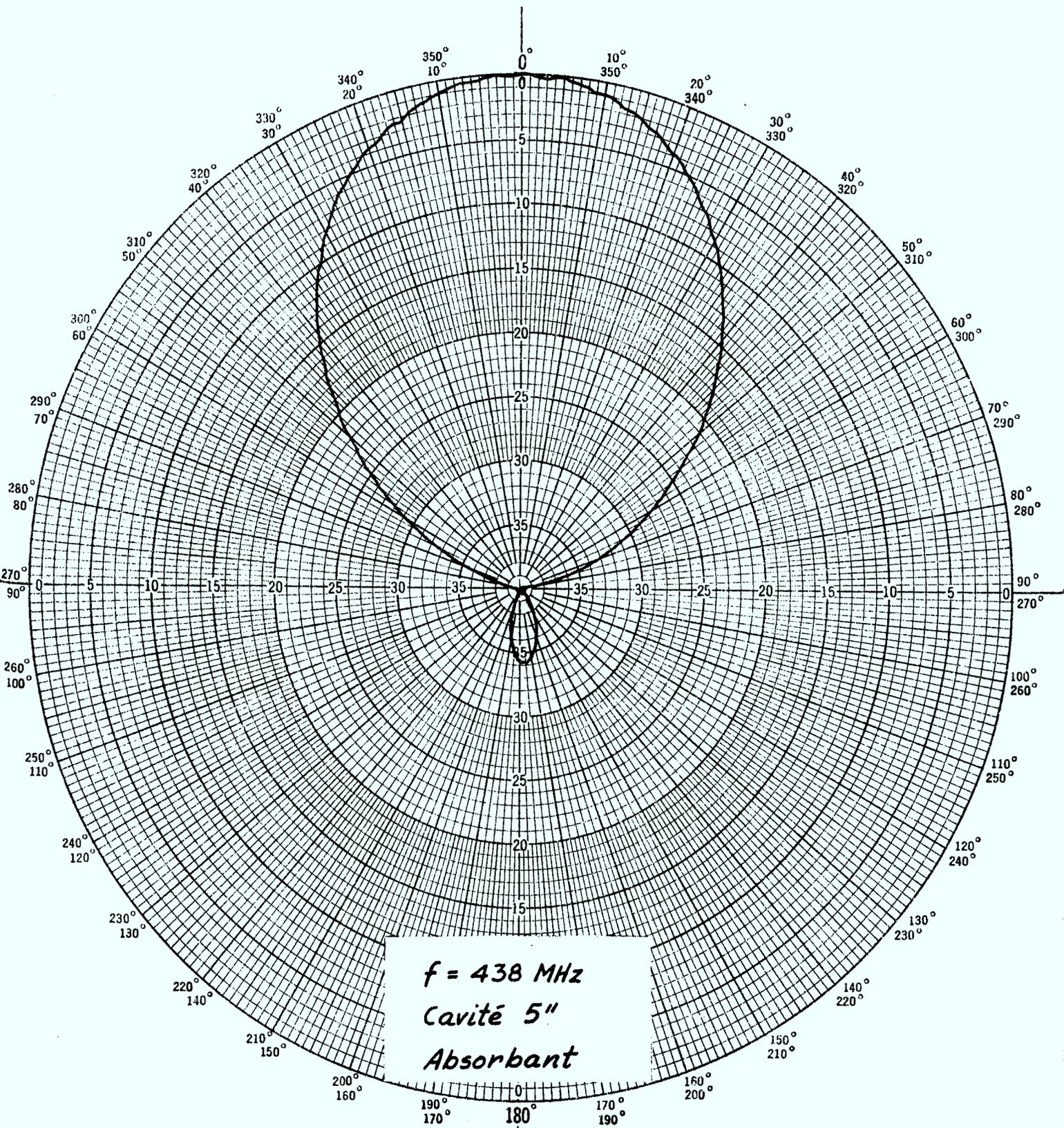


Figure 4-24. Diagramme de rayonnement de l'antenne-spirale avec une cavité de (profondeur définitive) 5" et de l'absorbant HPY à la fréquence 438 MHz.

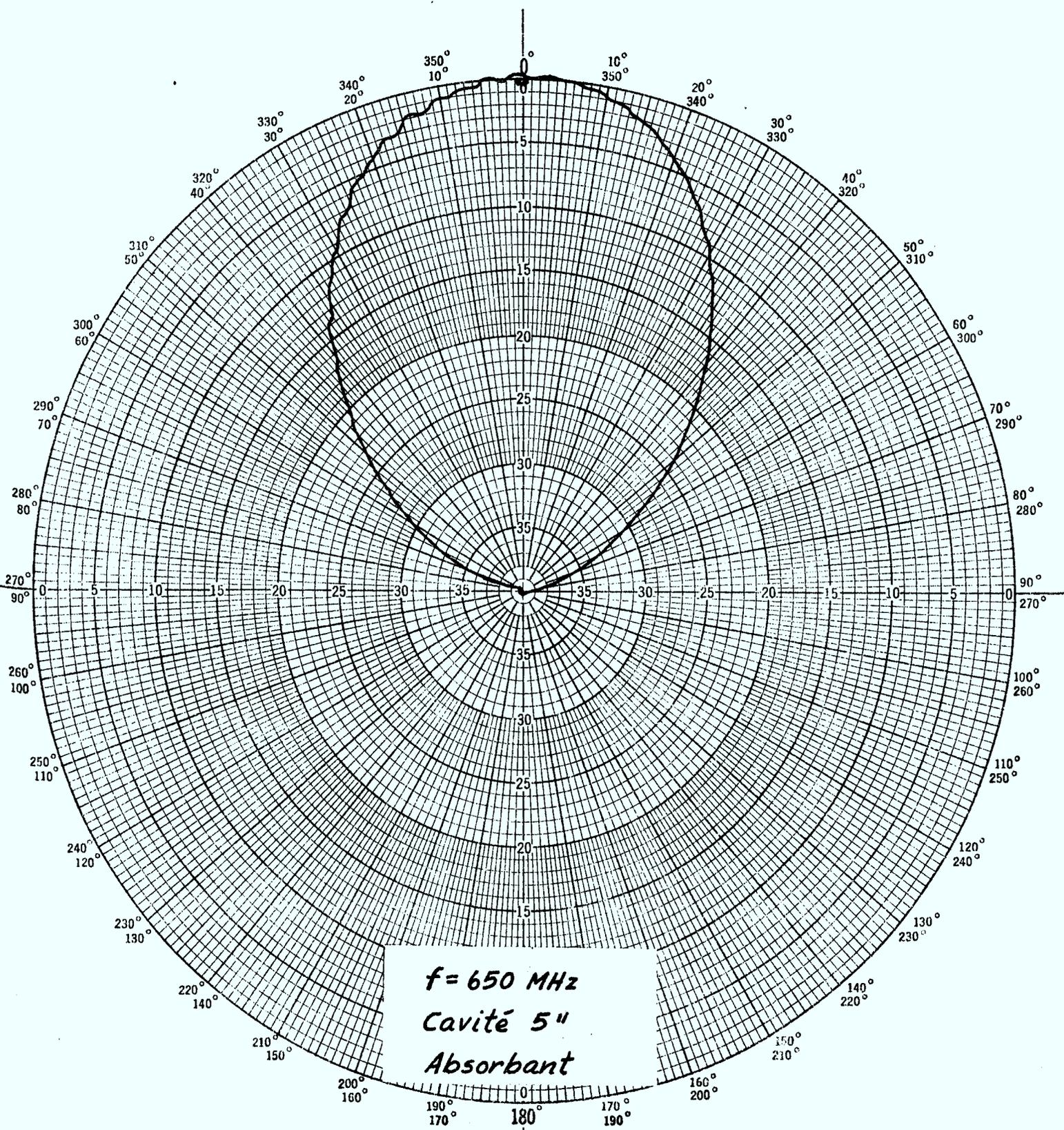


Figure 4-25. Diagramme de rayonnement de l'antenne-spirale avec une cavit  (profondeur d finitive) de 5" et de l'absorbant HPY   la fr quence 650 MHz.

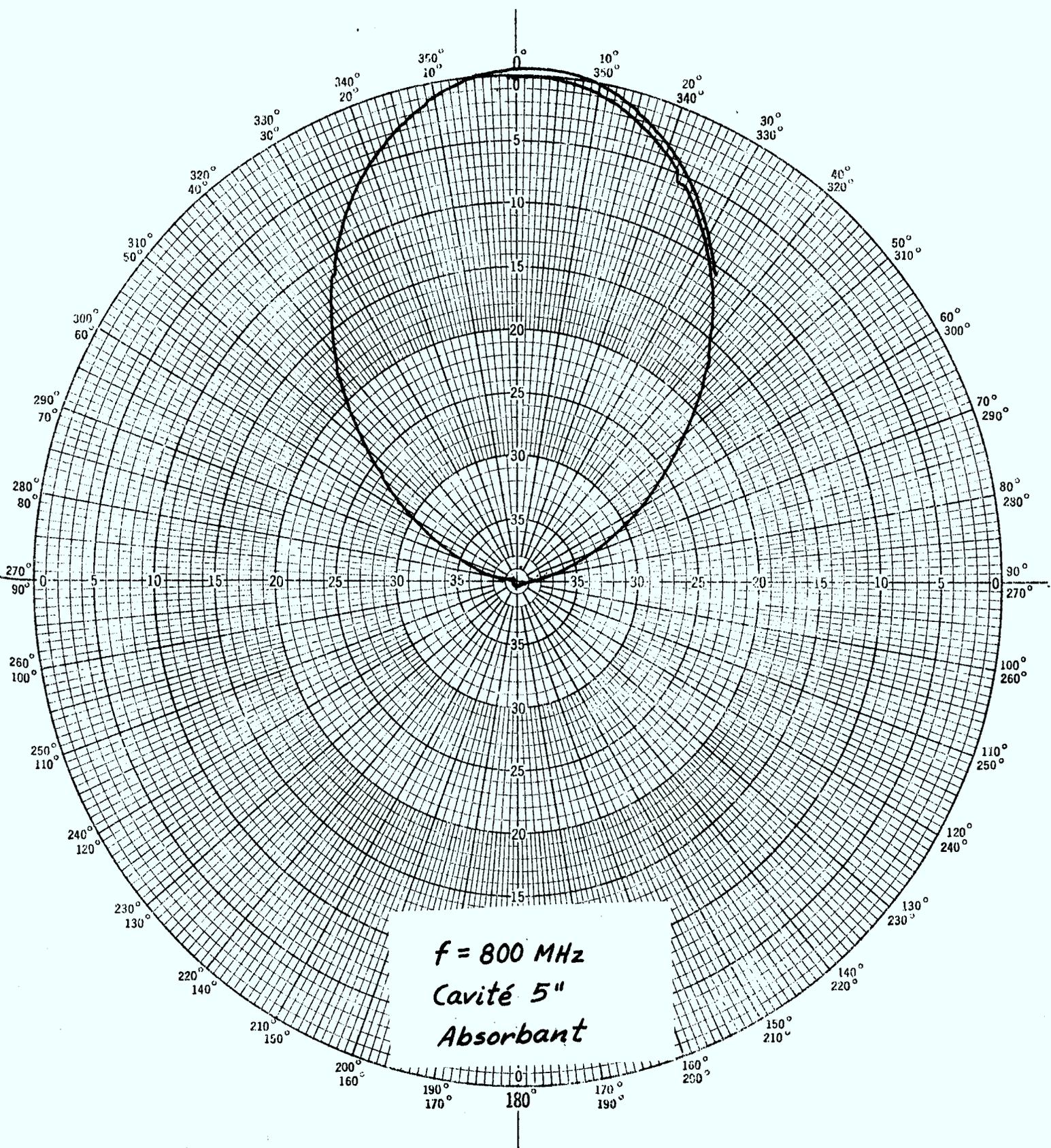


Figure 4-26. Diagramme de rayonnement de l'antenne-spirale avec une cavit  de (profondeur d finitive) 5" et de l'absorbant HPY   la fr quence 800 MHz.

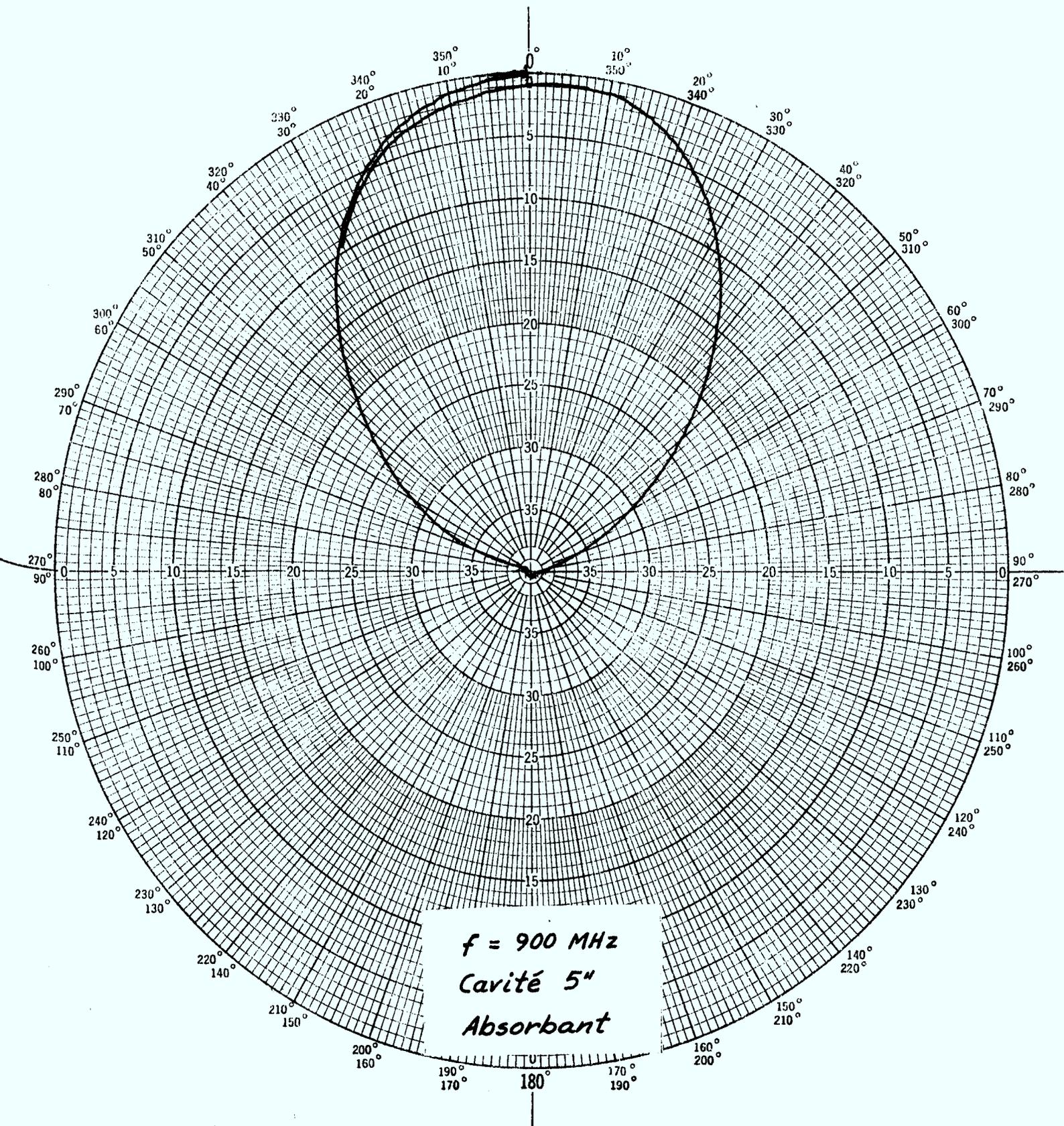


Figure 4-27. Diagramme de rayonnement de l'antenne-spirale avec une cavit  de (profondeur d finitive) 5" et de l'absorbant HPY   la fr quence 900 MHz.

Une observation du gain de l'antenne-spirale par rapport à un dipôle  $\lambda/2$  en fonction de la fréquence a donné les résultats suivants:

$$F = 130 \text{ MHz} \quad G_d = 12 \text{ dB}$$

$$F = 438 \text{ MHz} \quad G_d = 7,5 \text{ dB}$$

$$F = 800 \text{ MHz} \quad G_d = 4,0 \text{ dB}$$

On y constate donc une décroissance prévisible du gain en fonction de la fréquence mais qui demeure néanmoins dans les limites opérationnelles très acceptables.

#### 4.5 PERFORMANCE DU BALUN

Après avoir expérimenté plusieurs types de balun, celui qui s'est avéré finalement le plus efficace pour le système à l'étude est celui utilisé commercialement par les câblodistributeurs et connu sous le nom de "VHF/UHF Matching Transformer", modèle miniaturisé pouvant aller jusqu'à 900 MHz.

Les résultats caractérisant ce balun ne sont toutefois disponibles qu'à partir de 300 MHz, le manque d'équipement ne permettant pas de le caractériser à plus basse fréquence. En premier lieu, le tableau 4-2 présente le taux d'onde stationnaire mesuré (SWR) à l'entrée du balun en fonction de la fréquence pour deux types de charge, soit une première de  $220 \Omega$  qui est près de celle de l'impédance de la spirale à adapter et une seconde pour un court-circuit pour visualiser les pertes dans le balun.

On réalise que pour une charge de  $220 \Omega$  le SWR résultant est effectivement près de l'unité et que dans le cas d'un court-circuit, le SWR est très grand, comme cela devrait être.

La figure 4-28 présente la même information sous une forme graphique.

<i>FRÉQ.</i>	<i>SWR</i>	
<i>(MHz)</i>	<i>CHARGE 220Ω</i>	<i>COURT CIRCUIT</i>
150		
200		
250		
300	1.65	24.5 dB
350	1.8	
400	1.95	17 dB
450	2.1	
500	1.95	17.5 dB
550	1.9	
600	1.95	20 dB
650	1.9	
700	1.9	19 dB
750	1.85	
800	1.9	18 dB
850	1.9	
900	1.9	19.5 dB

Tableau 4-2. Taux d'onde stationnaire à l'entrée du balun en fonction de la fréquence pour une charge de 220 Ω et d'un court-circuit.

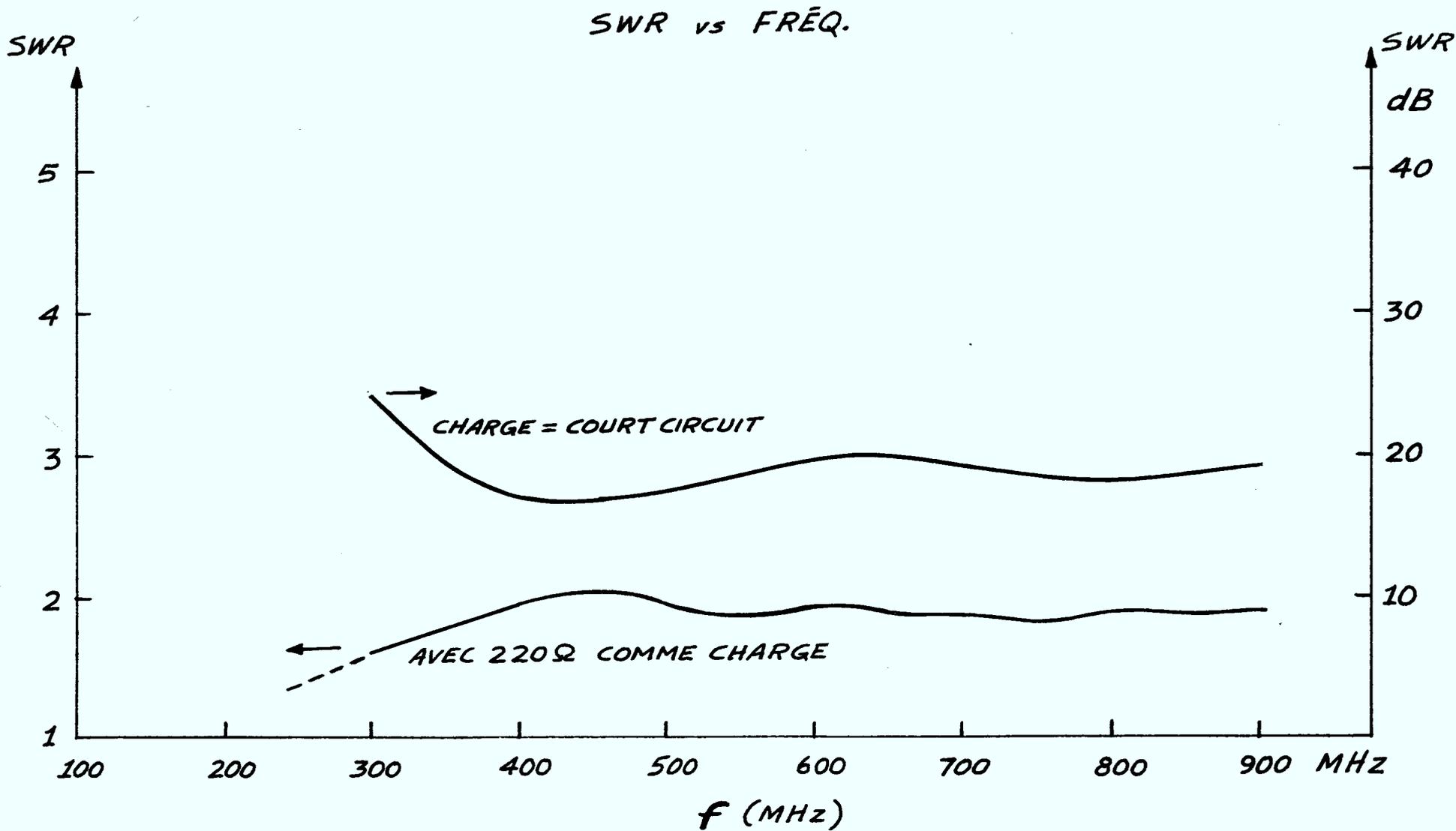


Figure 4-28. Données du tableau 4-2 présentées sous forme graphique (SWR vs fréquence).

#### 4.6 CONCLUSIONS

Dans ce chapitre, nous avons présenté les résultats expérimentaux préliminaires pour caractériser l'antenne-spirale, la cavité et le balun. Il s'agit là d'une étape essentielle en vue de l'expérimentation de ces diverses composantes englobées dans le système radiogoniométrique complet qui sera opérationnel ultérieurement.

## Chapitre 5

### LOGICIEL DU SYSTEME

#### 5.1 INTRODUCTION

Le système radiogoniométrique proposé comprend, cela va de soi, une partie importante de programmation nécessaire à l'échantillonnage, au contrôle et au calcul de la direction d'arrivée du signal. Tout en appelant ceci le "logiciel" du système, il est certain que ce chapitre s'adresse directement à l'utilisateur du système qui y trouvera toute l'information nécessaire pour comprendre et opérer le système. En revanche, il est assez évident que le lecteur non directement impliqué dans l'opération ne sera que peu motivé à y consacrer le temps nécessaire à la compréhension des diverses implications techniques.

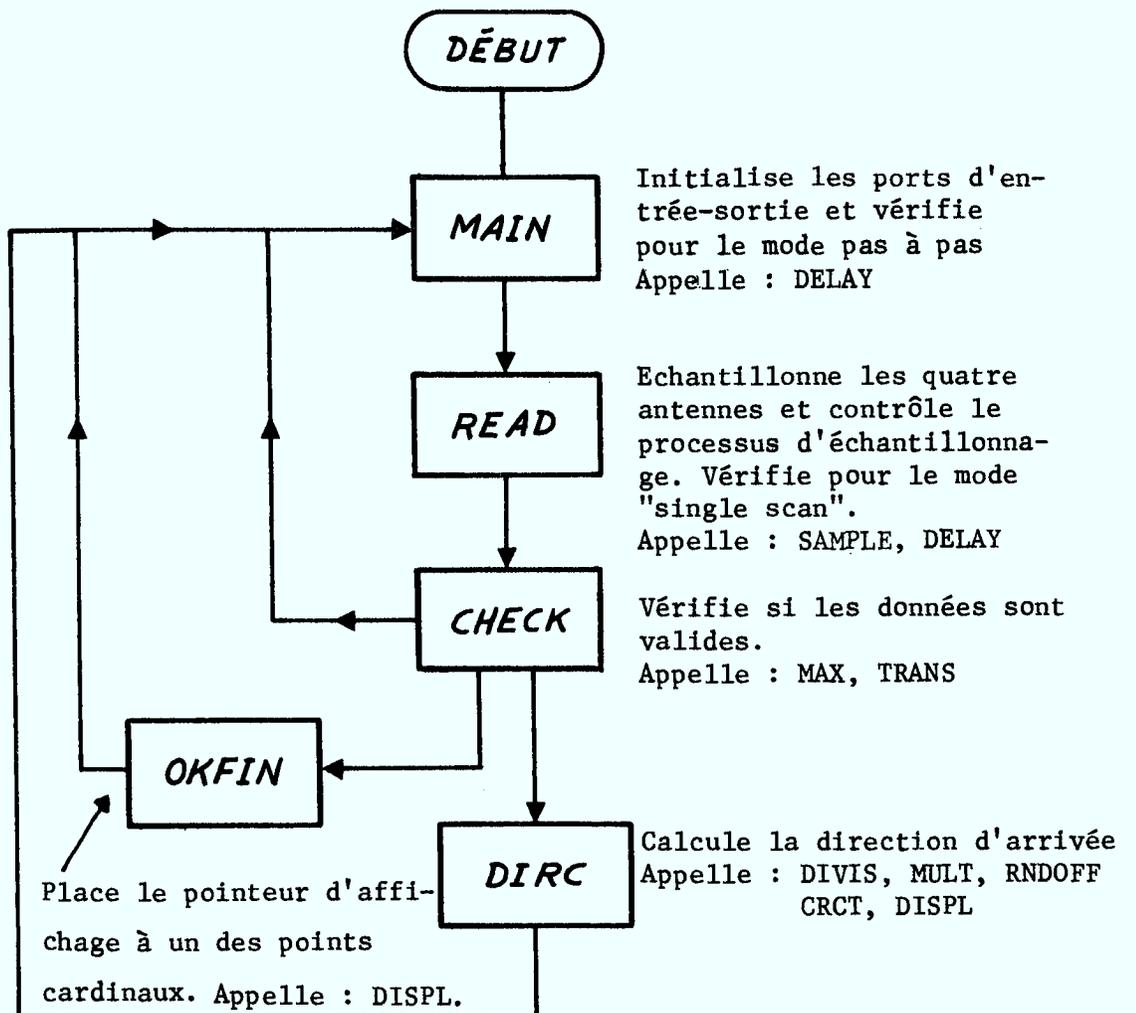
#### 5.2 Description des programmes

Le programme principal (MAIN) est composé de plusieurs sous-programmes écrits en langage machine du 6502. Les noms des principaux programmes et sous-programmes sont MAIN, CHECK, OKFIN et DIRC. Ces programmes font également appel à un certain nombre de sous-routines pour exécuter diverses fonctions. La séquence d'exécution est donnée à l'organigramme de la figure 5.1.

Tel que mentionné à la section 3.7, le programme offre, pour la phase "debugging", la possibilité de travailler en mode unique (single step - une antenne à la fois) ou en mode balayage (single scan - 4 antennes successivement et arrêt).

Aux fins de mise en opération et utilisation, le programme prévoit les sorties ci-dessous:

- affichage valide (display is valid) i.e. que les données sont correctes et que les calculs ont été effectués.



Organigramme de la  
séquence d'exécution

Figure 5.1

- affichage invalide (display not valid) i.e. que les données ne sont pas correctes et que les calculs n'ont pas été effectués.
- augmenter le gain (increase gain) i.e. un affichage correct ou plus précis est obtenu si le gain du récepteur est augmenté.
- diminuer le gain (decrease gain) i.e. un affichage correct ou plus précis est obtenu si le gain du récepteur est diminué.

Finalement le tableau 5.1 ci-dessous dresse la liste complète des programmes et leurs adresses en mémoire en base 16.

0200	MAIN	initialise et contrôle le mode 4 antennes.
0300	MAX	Place en ordre d'intensité de signal les numéros d'antennes.
0350	TRANS	Transfert le contenu de 00, 01, 02, 03 à 10, 11, 12, 13.
0400	CHECK	Vérifie la condition des données et agit en conséquence.
0600	DIVIS	Division $x/y = Q$ ou $x < y$
0650	DRNDF	Arrondit le résultat de la division.
0660	MRNDF	Arrondit le résultat de la multiplication.
0700	MULT	Multiplication 8 bits x 8 bits.
0750	ROT	Fait la rotation pour multiplier.
0800	READ	Contrôle le mode pas à pas et le branchement d'antennes
0850	SAMPLE	Contrôle la lecture des données
08A0	DELAY	Introduit un délai
0900	OKFIN	Place le "pointeur" de direction dans une des 4 directions d'antennes.
0A00	DIRC	Fait les calculs préliminaires à ceux de CRCT
0AA0	CRCT	Fait le calcul de la direction à partir d'une table
0B00	DISPLAY	Affiche les résultats.

Tableau 5.1 Liste des programmes et leurs adresses.

Puisque le microprocesseur 6502 utilise

le concept de la page zéro, un tableau d'utilisation de cette page est requis et il est donné au tableau 5.2 ci-dessous:

Adresse dans la page zéro (base 16)		
00 00	} entrée digitale de chacune des antennes	} antenne 0 " 1 " 2 " 3
01		
02		
03		
04		
05	} min numéro de l'antenne selon l'intensité du signal reçu max	
06		
07		
08		
09	"flags" d'erreurs	
0A	} utilisées dans les divisions et multiplications	
0B		
0C		
0D		
0E	compteur pour la routine de Delai	
0F	résultat des calculs - sera affiché par DISPL	
10	} copies des entrées 00, 01, 02, 03 pour calculer leur ordre. Ces informations sont détruites dans le procédé.	
11		
12		
13		
14	pour faire l'affichage de chaque conversion A/D dans le mode	pas à pas.
15	"scratch pad"	
16		
17	utilisée dans la multiplication comme compteur	
18	} multiplicande	
19		
1A	} produit LSD	
1B		
1C	} utilisée par CRCT	
1D		
1E		

Tableau 5,2

### 5.3 Listing des programmes

On trouvera dans les pages suivantes le listing de tous les programmes avec les organigrammes explicatifs lorsque nécessaires. Tous les commentaires essentiels sont indiqués directement à côté de chaque énoncé.

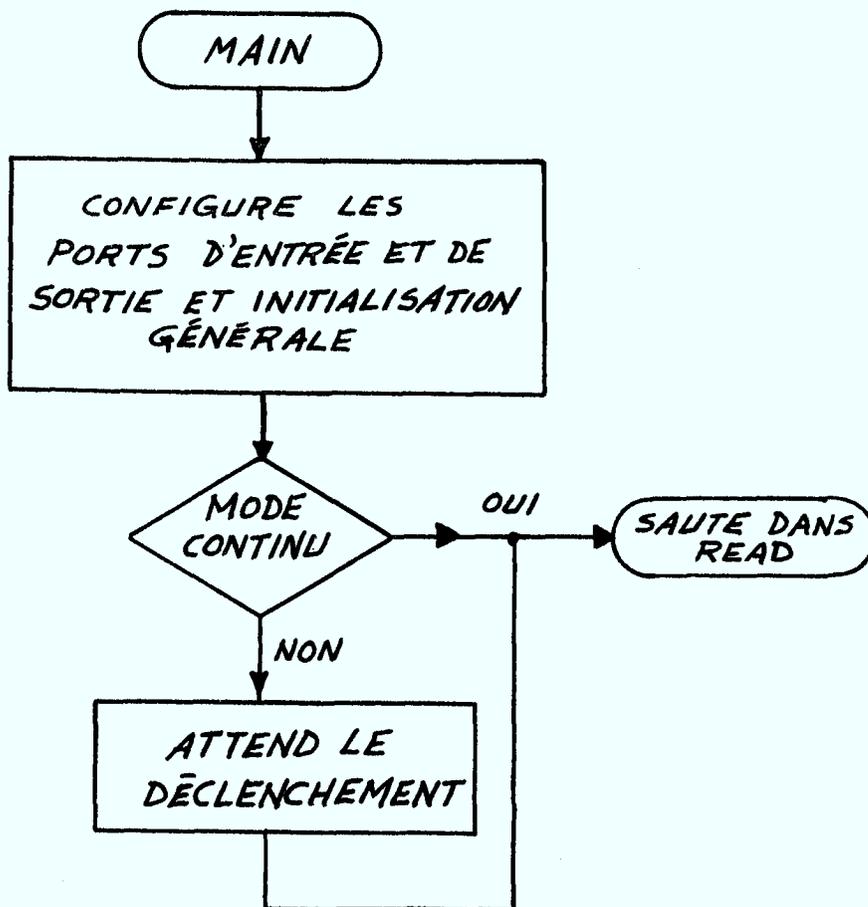


Figure 5.2  
Organigramme du  
programme MAIN

## MAIN

```

0200-  A9 00      LDA  #00      configure port A en entrée
0202-  8D 03 A0    STA  A003
0205-  A9 FF      LDA  #FF      configure port B en sortie
0207-  8D 02 A0    STA  A002
020A-  A9 03      LDA  #03      configure port A en entrée-sortie
020C-  8D 03 90    STA  9003
020F-  A9 3F      LDA  #3F      port B en entrée sortie
0211-  8D 02 90    STA  9002
0214-  A9 0F      LDA  #0F      place CA2 à 0, et initialise CA1 pour montée positive
0216-  8D 0C A0    STA  A00C
0219-  A9 01      LDA  #01      permet le "latching" sur le port A
021B-  8D 0B A0    STA  A00B
021F-  AD 01 90    LDA  9001      mode continu ?
0221-  29 20      AND  #20
0223-  F0 18      BFO  023D
0225-  AD 01 90    LDA  9001
0228-  29 10      AND  #10
022A-  D0 F9      BNF  0225
022C-  A0 22      LDY  #22
022F-  20 A0 08    JSR  08A0      JSR DELAY
0231-  AD 01 90    LDA  9001      "debounce & edge trigger"
0234-  29 10      AND  #10      le commutateur
0236-  F0 F9      BFO  0231
0238-  A0 66      LDY  #66
023A-  20 A0 08    JSR  08A0      JSR DELAY
023D-  4C 00 08    JMP  0800      JMP READ
0F06,3
.
```

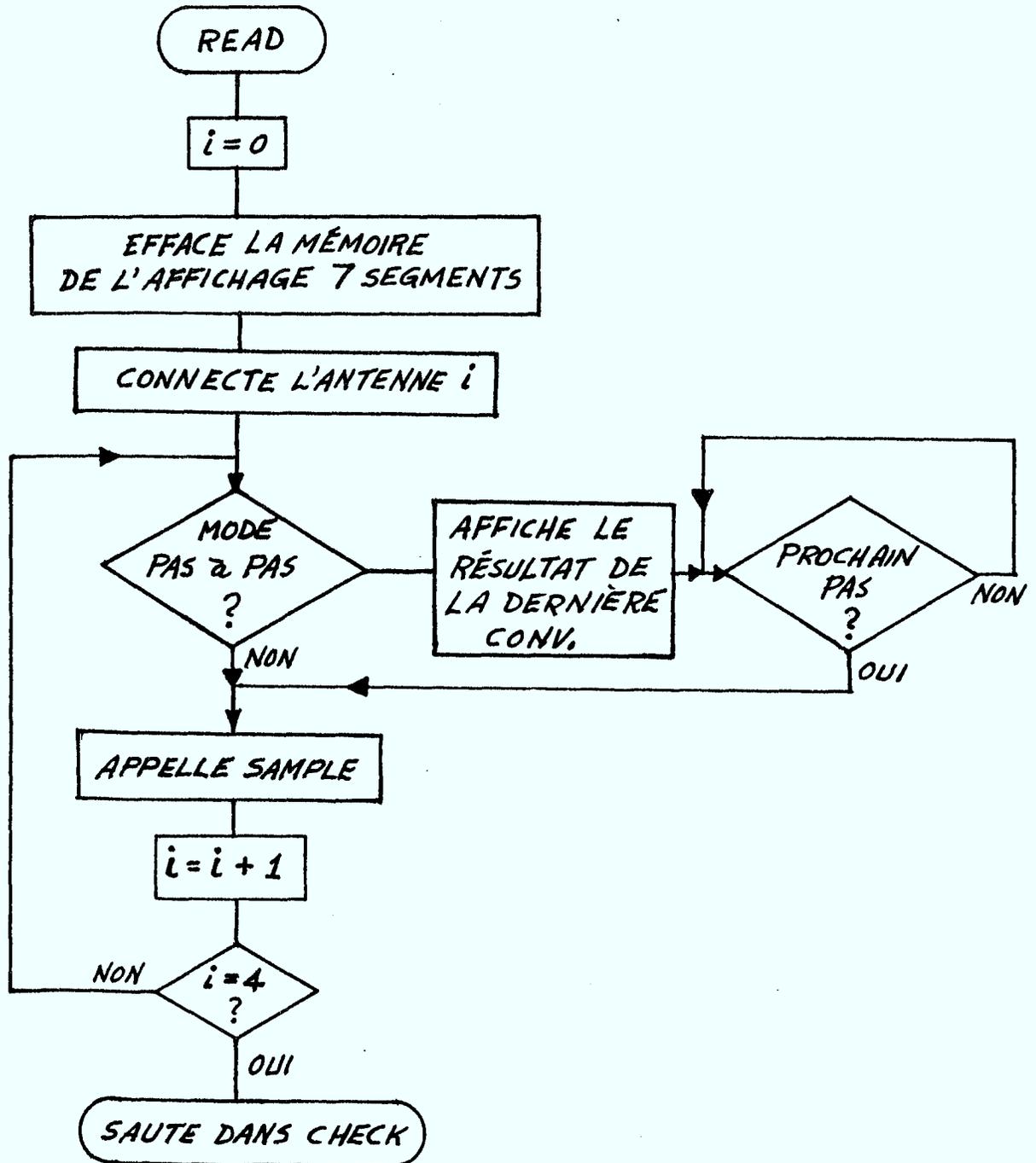


Figure 5.3  
Organigramme du  
programme READ

## READ

0800-	A2 00	LDX	#00	
0802-	8A	TXA		initialisation
0803-	FA	NOP		
0804-	85 14	STA	14	mémoire pour l'affichage des résultats des conver-
0806-	8E 01 90	STX	9001	branche l'antenne X / sions en mode pas à pas = 0
0809-	AD 01 90	LDA	9001	
080C-	29 08	AND	#08	mode pas à pas ?
080F-	D0 0B	RNF	081B	si oui saute à 081B
0810-	20 50 08	JSR	0850	appelle SAMPLE
0813-	E8	INX		
0814-	F0 04	CPX	#04	les 4 antennes ont-elles été échantillonnées
0816-	D0 FF	RNF	0806	si non, 0806
0818-	4C 00 04	JMP	0400	si oui saute à CHECK
081B-	20 F0 F9	JSR	F9F0	
081F-	A5 14	LDA	14	affiche le résultat d'une conversion
0820-	20 46 FA	JSR	FA46	
0823-	AD 01 90	LDA	9001	
0826-	29 04	AND	#04	
0828-	D0 F9	RNF	0823	
082A-	A0 22	LDY	#22	
082C-	20 A0 08	JSR	08A0	"debounce" le commutateur de commande
082F-	AD 01 90	LDA	9001	du pas à pas.
0832-	29 04	AND	#04	
0834-	F0 F9	REQ	082F	
0836-	A0 66	LDY	#66	
0838-	20 A0 08	JSR	08A0	
083B-	4C 10 08	JMP	0810	
0F06,3				

Ce programme via sa sous-routine Sample, contrôle la sélection des antennes, l'échantillonnage et la mise en mémoire des résultats de la conversion analogue-digitale. Il s'occupe aussi de vérifier si le mode pas à pas est demandé.

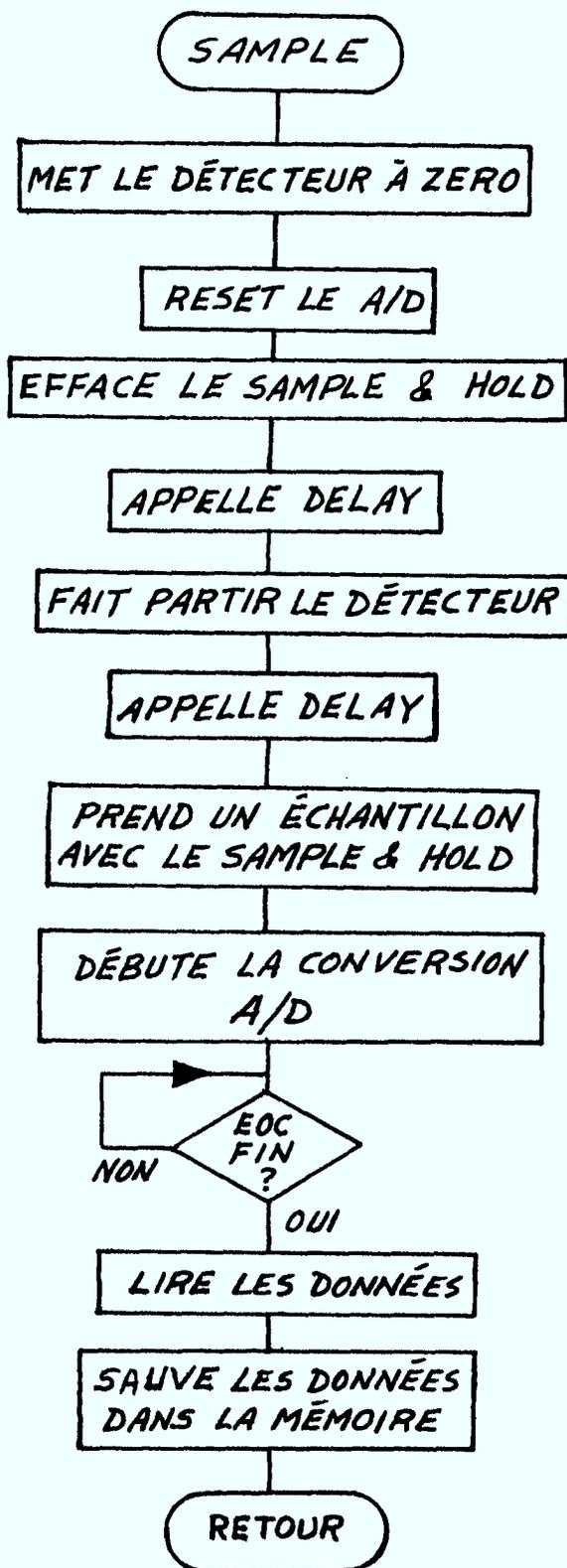


Figure 5.4  
Organigramme du  
programme SAMPLE

## SAMPLE

0850-	AD 00 90	LDA	9000	
0853-	29 0F	AND	#0F	met le détecteur et le Sample & Hold à zéro
0855-	8D 00 90	STA	9000	
0858-	A9 0F	LDA	#0F	
085A-	8D 0C A0	STA	A00C	RESET le convertisseur A/D
085D-	FA	NOP		
085F-	FA	NOP		
085F-	FA	NOP		
0860-	A0 01	LDY	#01	
0862-	20 A0 08	JSR	08A0	attends que tout se stabilise
0865-	AD 00 90	LDA	9000	
0868-	29 2F	AND	#2F	part le détecteur
086A-	8D 00 90	STA	9000	
086D-	A0 01	LDY	#01	
086F-	20 A0 08	JSR	08A0	attends la stabilisation
0872-	AD 00 90	LDA	9000	
0875-	29 3F	AND	#3F	prend un échantillon sur le Sample & Hold
0877-	8D 00 90	STA	9000	
087A-	A9 0D	LDA	#0D	
087C-	8D 0C A0	STA	A00C	part le convertisseur A/D
087F-	AD 0D A0	LDA	A00D	
0882-	29 02	AND	#02	attends la fin de la conversion
0884-	F0 F9	BEQ	087F	
0886-	AD 01 A0	LDA	A001	prends le résultat de la conversion
0889-	95 00	STA	00,X	et sauve le dans les "mémoire d'antenne"
088B-	85 14	STA	14	et dans la mémoire pour afficher.
088D-	60	RTS		
0F06,3				

## CHECK

Le programme CHECK vérifie si les données obtenues lors de l'exécution de READ sont valides. CHECK s'assure que des données particulières, qui pourraient causer des conditions impossibles dans les programmes subséquents, ne passent pas. Selon les données, CHECK envoie le contrôle aux routines appropriées qui avertissent l'opérateur de conditions impossibles ou qui font les calculs requis.

Les conditions vérifiées par CHECK sont les suivants:

- au moins un résultat de conversion A/D à donnée FF<sub>16</sub>,  
(non valide) demande de diminuer le gain,
- le signal maximum = 0 (non valide) demande d'augmenter le gain,
- le deuxième signal le plus fort = 0 (valide) demande d'augmenter le gain,
- le deuxième plus fort = le troisième plus fort = le plus fort (non valide) demande de diminuer le gain, réflexions possibles ou plus d'une station sur la fréquence,
- autres conditions considérées comme valides, fait les calculs,

La routine CHECK annule aussi l'effet possible d'un lobe arrière sur les antennes en annulant la contribution de l'antenne diamétralement opposée à l'antenne du maximum.

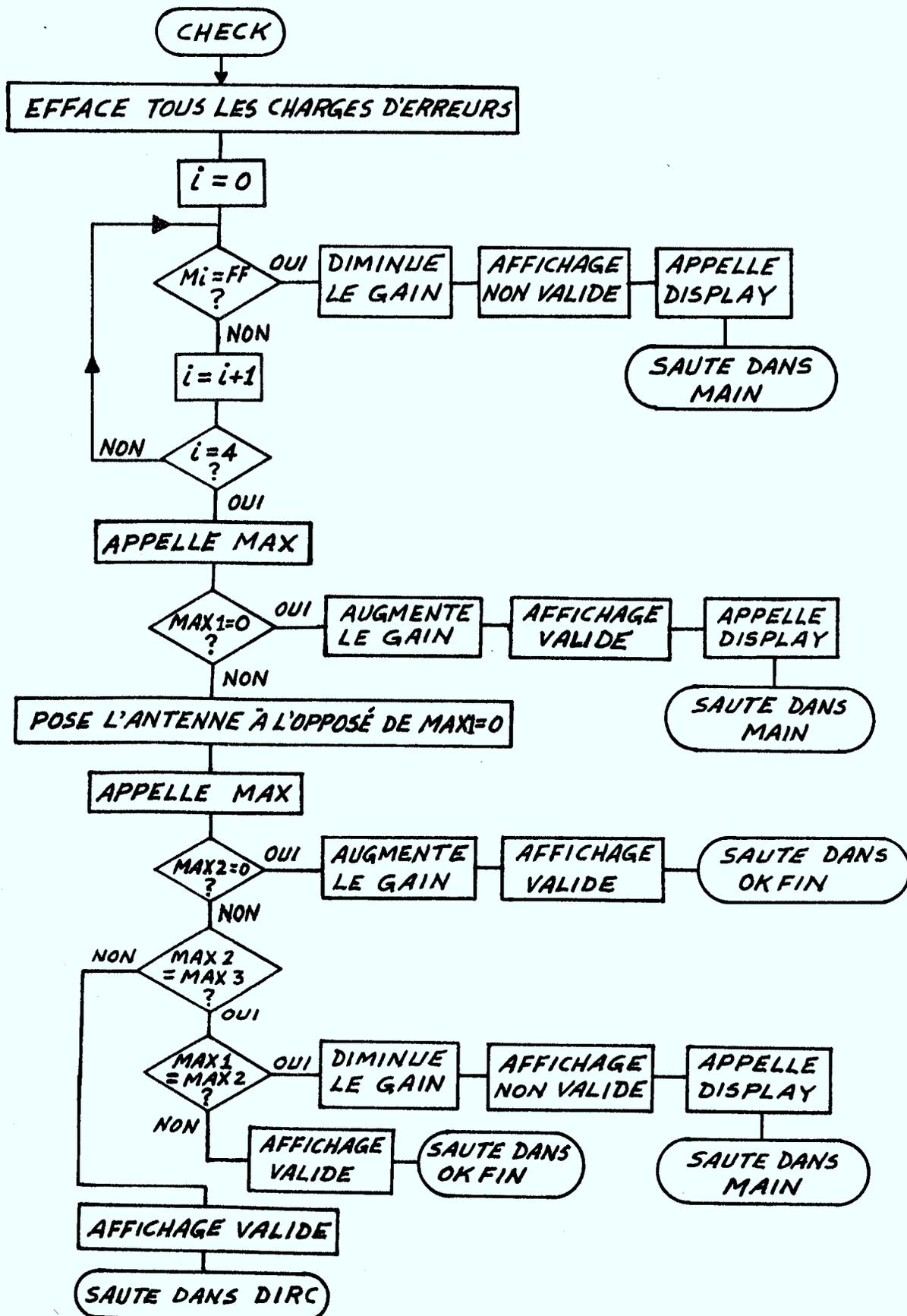


Figure 5.5  
Organigramme du  
programme CHECK

## CHECK

0400-	A9 00	LDA	#00	efface tous les "flags" d'erreurs
0402-	R5 09	STA	09	
0404-	AA	TAX		
0405-	A9 FF	LDA	#FF	on vérifie si une des antennes
0407-	D5 00	CMP	00,X	a donné FF <sub>16</sub> , si oui il y a
0409-	F0 46	RFO	0451	saturation.
040R-	F8	INX		
040C-	F0 04	CPX	#04	est-ce que les 4 antennes ont été vérifiées?
040F-	D0 F7	RNF	0407	
0410-	20 00 03	JSR	0300	met les numéros d'antenne en ordre de force de signal
0413-	A6 08	LDX	08	prend le signal maximum
0415-	R5 00	LDA	00,X	
0417-	F0 43	RFO	045C	si ce signal = 0, saute à 045C
0419-	8A	TXA		
041A-	18	CLC		
041R-	69 02	ADC	#02	place 00 à la place du signal de l'antenne
041D-	29 03	AND	#03	diamétralement opposé au maximum, i.e. dimi-
041F-	AA	TAX		nue l'effet du lobe arrière
0420-	A9 00	LDA	#00	
0422-	95 00	STA	00,X	
0424-	20 00 03	JSR	0300	remets les numéros d'antenne en ordre
0427-	A6 07	LDX	07	
0429-	R5 00	LDA	00,X	si le signal le deuxième plus fort = 0
042R-	F0 3F	RFO	0468	demande une augmentation de gain
042D-	A6 06	LDX	06	
042F-	D5 00	CMP	00,X	si le 2ème plus fort ≠ 3ème plus fort l'affichage
0431-	D0 09	RNF	043C	est valide, va faire les calculs
0433-	A6 08	LDX	08	
0435-	D5 00	CMP	00,X	si les signaux sont tous égaux, les données
0437-	F0 17	RFO	0450	sont invalides
0439-	4C 71 04	JMP	0471	valide - direction face à une des antennes, calcule.
043C-	20 15 05	JSR	0515	affiche l'état des données valides
043F-	4C 00 0A	JMP	0A00	fait les calculs.
0F06,3				

## CHECK (suite)

0450-	20 00 05	JSR	0500	diminue le gain
0453-	20 07 05	JSR	0507	données non valides
0456-	20 00 0R	JSR	0R00	affiche les"flags"
0459-	4C 1F 02	JMP	021F	saute dans MAIN
045C-	20 0F 05	JSR	050F	augmente le gain
045F-	20 07 05	JSR	0507	données non valides
0462-	20 00 0R	JSR	0R00	affiche
0465-	4C 1F 02	JMP	021E	saute dans MAIN
0468-	20 0F 05	JSR	050E	augmente le gain
046B-	20 15 05	JSR	0515	données valides
046F-	4C 00 09	JMP	0900	va calculer
0471-	20 15 05	JSR	0515	données valides
0474-	4C 00 09	JMP	0900	va calculer
0F06,3				

## CHECK (suite)

0500-	A5 09	LDA	09	
0502-	09 02	ORA	#02	moins de gain
0504-	85 09	STA	09	
0506-	60	RTS		
0507-	A5 09	LDA	09	
0509-	09 04	ORA	#04	données non valides
050B-	85 09	STA	09	
050D-	60	RTS		
050F-	A5 09	LDA	09	
0510-	09 01	ORA	#01	plus de gain
0512-	85 09	STA	09	
0514-	60	RTS		
0515-	A5 09	LDA	09	
0517-	09 08	ORA	#08	données valides
0519-	85 09	STA	09	
051B-	60	RTS		
0F06,3				

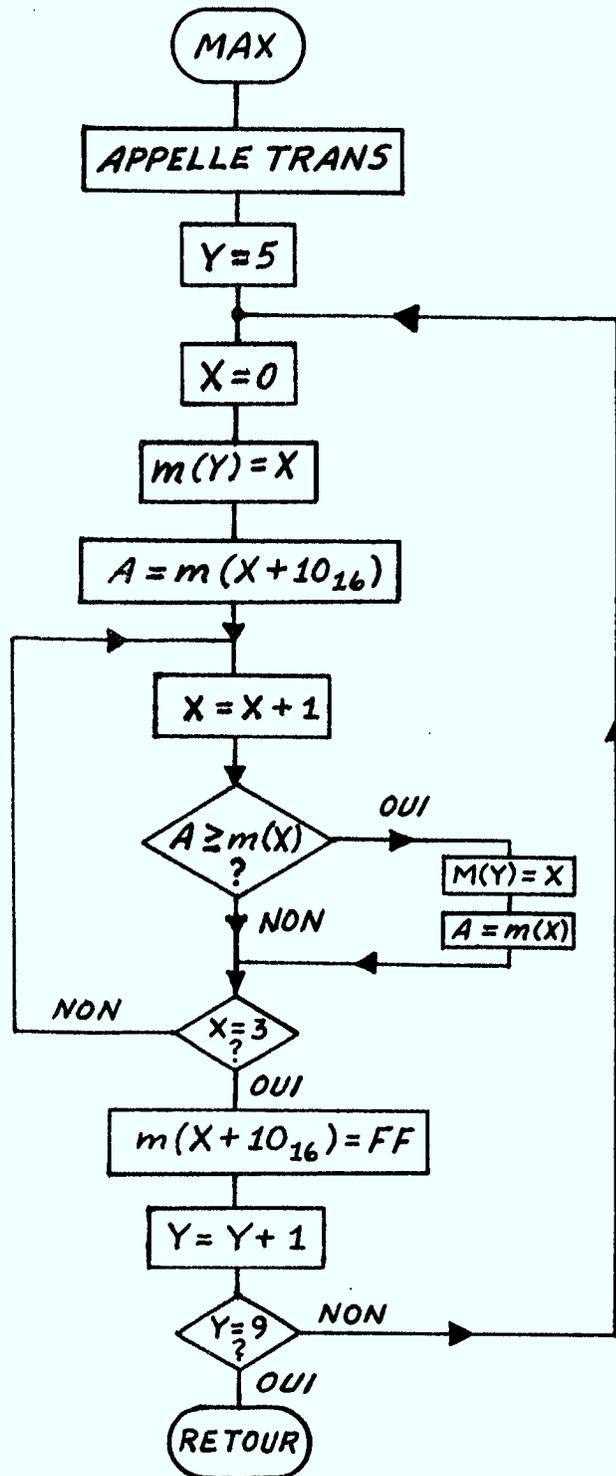


Figure 5.6  
Organigramme du  
programme MAX

MAX

0300-	20 50 03	JSR	0350	appelle TRANS
0303-	A0 05	LDY	#05	initialise Y
0305-	A2 00	LDX	#00	
0307-	96 00	STX	00,Y	
0309-	R5 10	LDA	10,X	compare le contenu de X avec le contenu de X + 1
030F-	F8	INX		
030C-	D5 10	CMP	10,X	
030E-	R0 12	BCS	0322	branche si $m(X + 1) < M(X)$
0310-	F0 03	CPX	#03	
0312-	D0 F7	RNF	030F	compare le contenu des 3 autres mémoires
0314-	A9 FF	LDA	#FF	si le contenu d'aucune autre mémoire est plus petite
0316-	R6 00	LDX	00,Y	on place FF dans la mémoire (X)
0318-	95 10	STA	10,X	
031A-	C8	INY		
031B-	C0 09	CPY	#09	
031D-	F0 0A	BEQ	0329	si $y = a$ , c'est terminé
031F-	38	SFC		on recommence
0320-	R0 F3	RCS	0305	
0322-	96 00	STX	00,Y	on place dans la mémoire Y le numéro de l'antenne
0324-	R5 10	LDA	10,X	qui a donné un signal plus faible
0326-	38	SEC		
0327-	R0 F7	BCS	0310	on recommence pour les autres mémoires
0329-	60	RTS		
0F06,3				

TRANS

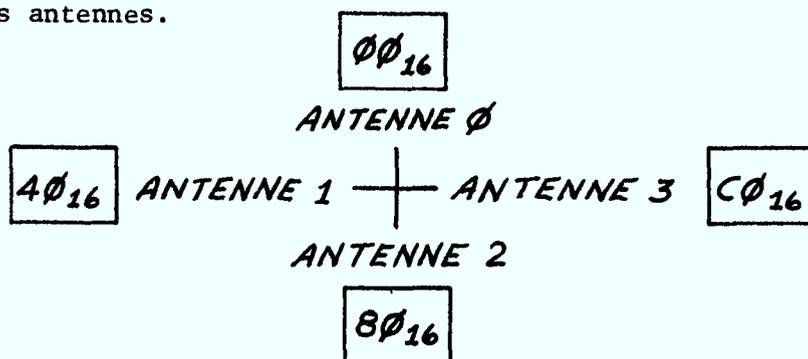
0350-	A2 00	LDX	#00	transférer le contenu de 00, 01, 02, 03 à 10,
0352-	R5 00	LDA	00,X	11, 12, 13
0354-	95 10	STA	10,X	
0356-	F8	INX		
0357-	F0 04	CPX	#04	
0359-	D0 F7	RNF	0352	
035F-	60	RTS		
03				
0F19,0				
+H				

Le programme MAX place en ordre d'intensité du signal reçu les numéros d'antennes. Les adresses  $10_{16}$  à  $13_{16}$  sont utilisées dans les calculs et les mémoires  $05_{16}$  à  $08_{16}$  contiennent les résultats.

TRANS fait le transfert des valeurs de  $00_{16}$  à  $10_{16}$ ,  $01_{16}$  à  $11_{16}$ ,  $02_{16}$  à  $12_{16}$ ,  $03_{16}$  à  $13_{16}$  pour faire les calculs.



OKFIN place le pointeur de direction (mémoire  $\phi F_{16}$ ) dans la direction d'une des 4 antennes, i.e. la direction d'arrivée est en ligne avec une des antennes.



On voit que la direction est donnée par la numéro de l'antenne multiplié par  $4\phi_{16}$ .

Figure 5.7  
Organigramme du  
programme OKFIN

OKFIN

0900-	A5 08	LDA	08	prend le numéro de l'antenne qui a reçu le maximum
0902-	85 18	STA	18	
0904-	A9 40	LDA	#40	prends $40_{16}$ (corresponds à $90^{\circ}$ )
0906-	85 19	STA	19	
0908-	20 00 07	JSR	0700	multiplie
090R-	A5 1A	LDA	1A	réponse dans 0F
090D-	85 0F	STA	0F	
090F-	20 00 0B	JSR	0B00	affiche
0912-	4C 1E 02	JMP	021E	saute dans MAIN
0F06,3				

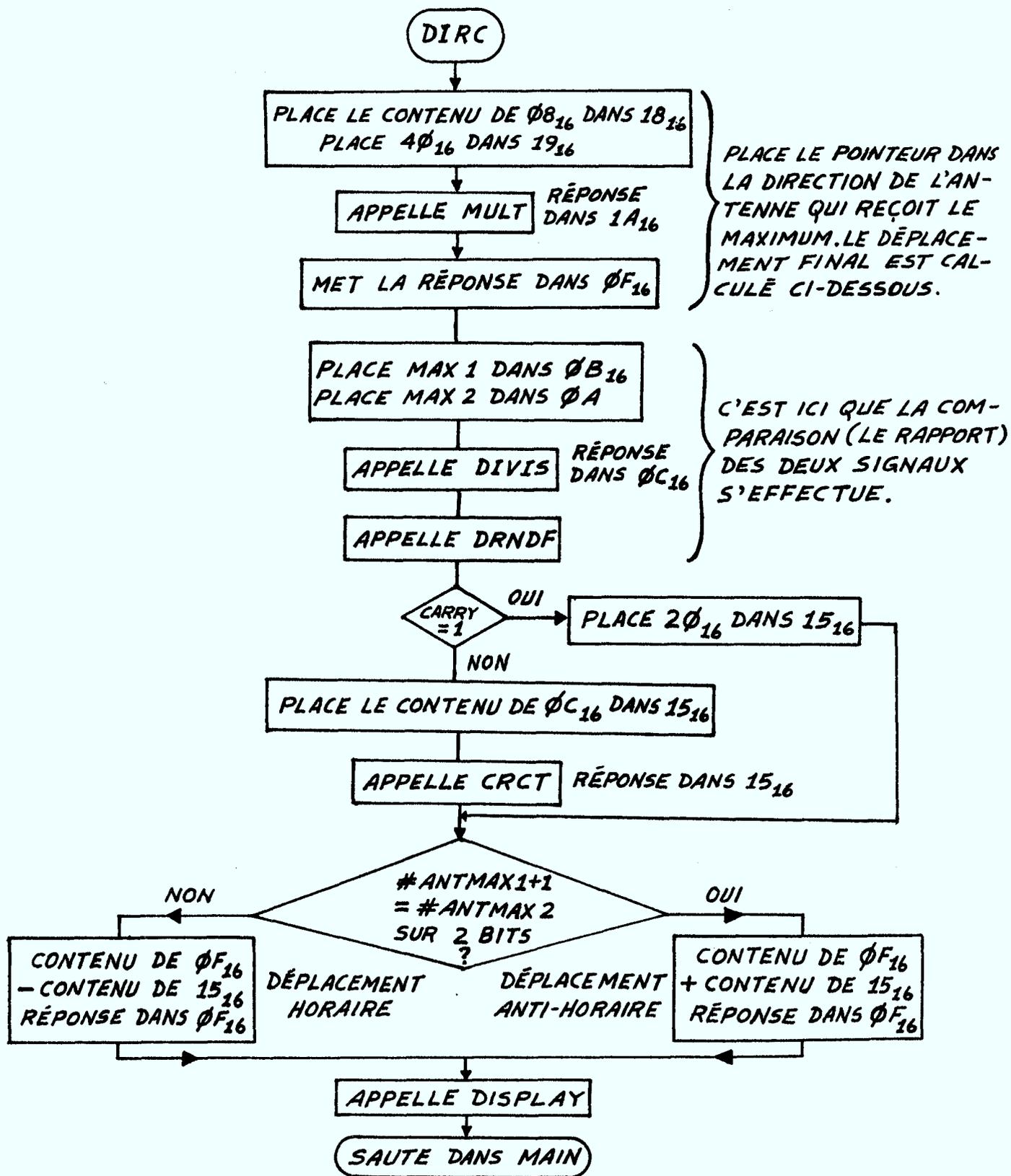


Figure 5.8  
 Organigramme du  
 programme DIRC

DIRC

0A00-	A5 08	LDA	08	
0A02-	85 18	STA	18	
0A04-	A9 40	LDA	#40	place le pointeur dans la direction de
0A06-	85 19	STA	19	l'antenne qui a reçu le maximum
0A08-	20 00 07	JSR	0700	
0A0R-	A5 1A	LDA	1A	
0A0D-	85 0F	STA	0F	
0A0F-	A6 08	LDX	08	
0A11-	R5 00	LDA	00,X	comparaison des deux signaux les plus forts:
0A13-	85 0R	STA	0R	MAX2 ÷ MAX1
0A15-	A6 07	LDX	07	
0A17-	R5 00	LDA	00,X	c'est ici qu'a lieu le rapport des amplitudes
0A19-	85 0A	STA	0A	
0A1R-	20 00 06	JSR	0600	
0A1F-	20 50 06	JSR	0650	
0A21-	R0 29	RCS	0A4C	si carry = 1, l'angle additionnel est $\pm 45^\circ$
0A23-	A5 0C	LDA	0C	si carry $\neq$ 1, la direction est entre 0 et $45^\circ$
0A25-	85 15	STA	15	
0A27-	20 A0 0A	JSR	0AA0	va la calculer dans CRCT
0A2A-	A5 08	LDA	08	
0A2C-	18	CLC		
0A2D-	69 01	ADC	#01	vérifie si le déplacement additionnel est + ou -
0A2F-	29 03	AND	#03	
0A31-	C5 07	CMP	07	
0A33-	D0 0D	RNF	0A42	déplacement - (horaire)
0A35-	A5 0F	LDA	0F	
0A37-	18	CLC		déplacement + (anti-horaire)
0A38-	65 15	ADC	15	
0A3A-	85 0F	STA	0F	
0A3C-	20 00 0R	JSR	0B00	affiche les résultats
0A3F-	4C 1F 02	JMP	021F	retourne au début (MAIN)
0A42-	A5 0F	LDA	0F	
0A44-	38	SFC		déplacement horaire
0A45-	F5 15	SBC	15	
0A47-	85 0F	STA	0F	
0A49-	R8	CLV		
0A4A-	50 F0	BVC	0A3C	va faire l'affichage
0A4C-	A9 20	LDA	#20	
0A4F-	85 15	STA	15	le déplacement est ajusté à $45^\circ$
0A50-	R8	CLV		
0A51-	50 D7	BVC	0A2A	
0F06,3				

Ce programme fait le calcul de la direction d'arrivée quand cette direction est entre la direction de deux antennes. Le programme appelle la routine CRCT qui fait le calcul à partir d'une table de valeurs connues.

\*La table est:

- $\emptyset A60_{16} \emptyset\emptyset$
- $\emptyset A61_{16} XX$
- $\emptyset A62_{16} XX$
- $\emptyset A63_{16} XX$
- $\emptyset A64_{16} XX$
- $\emptyset A65_{16} FF_{16}$

dépendant du diagramme d'antenne.

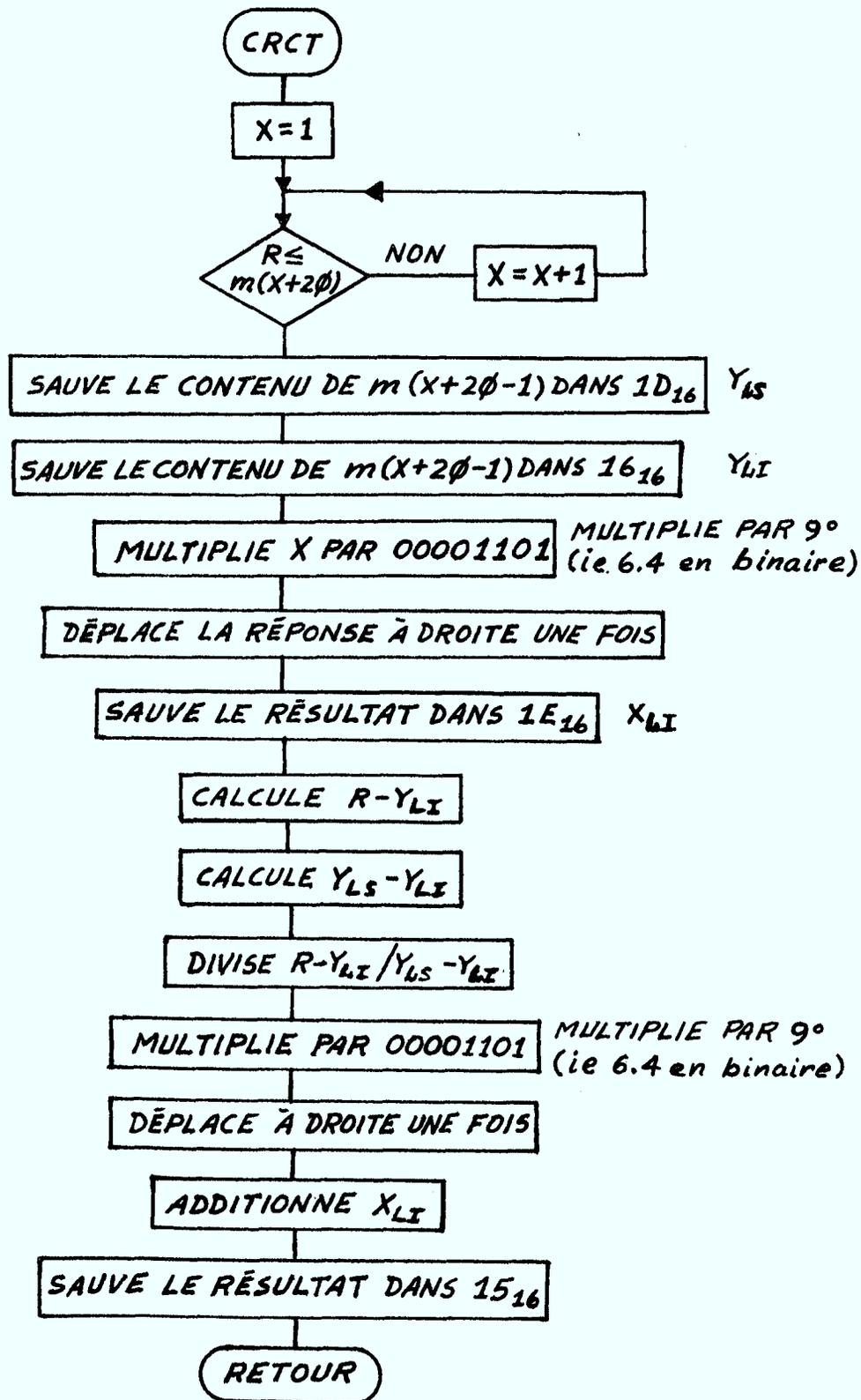


Figure 5.9  
Organigramme du  
programme CRCT

CRCT

0AA0-	A2 01	LDX	#01	initialisation
0AA2-	A5 15	LDA	15	
0AA4-	DD 60 0A	CMP	0A60,X	trouve la position de R dans la table
0AA7-	R0 04	RCS	0AAD	
0AA9-	F8	INX		
0AAA-	R8	CLV		
0AAR-	50 F7	RVC	0AAA	
0AAD-	RD 60 0A	LDA	0A60,X	
0AR0-	85 1C	STA	1C	sauve $Y_{LS}$
0AR2-	RD 5F 0A	LDA	0A5F,X	
0AR5-	85 1D	STA	1D	sauve $Y_{LI}$
0AR7-	86 18	STX	18	
0AR9-	A9 0D	LDA	#0D	
0ARR-	85 19	STA	19	calcule $X_{LI}$
0ARD-	20 00 07	JSR	0700	
0AC0-	A5 1A	LDA	1A	
0AC2-	4A	LSR	A	sauve $X_{LI}$
0AC3-	85 1F	STA	1F	
0AC5-	A5 15	LDA	15	
0AC7-	38	SFC		calcule $R - Y_{LI}$
0AC8-	F5 1C	SRC	1C	
0ACA-	85 0A	STA	0A	sauve la réponse
0ACC-	A5 1D	LDA	1D	
0ACF-	38	SFC		calcule $Y_{LS} - Y_{LI}$
0ACF-	F5 1C	SRC	1C	
0AD1-	85 0B	STA	0B	sauve la réponse
0AD3-	20 00 06	JSR	0600	divise les deux résultats ci-dessous
0AD6-	20 50 06	JSR	0650	et arrondit
0AD9-	A5 0C	LDA	0C	
0ADR-	85 18	STA	18	
0ADD-	A9 0D	LDA	#0D	
0ADF-	85 19	STA	19	
0AE1-	20 00 07	JSR	0700	multiplie par $X_D$
0AF4-	20 60 06	JSR	0660	
0AF7-	A5 1B	LDA	1B	
0AF9-	4A	LSR	A	
0AFA-	18	CLC		
0AFB-	65 1F	ADC	1F	
0AFD-	85 15	STA	15	additionne $X_{LI}$
0AFF-	60	RTS		retour
0F06,3				

Ce programme calcule, à partir d'une table\* les valeurs  $Y_{LI}$ ,  $Y_{LS}$  et  $X_{LI}$  et résoud l'équation  $DOA = [(R - Y_{LI}) / (Y_{LS} - Y_{LI})] X_D + X_{LI}$  avec le R qui a été calculé précédemment.

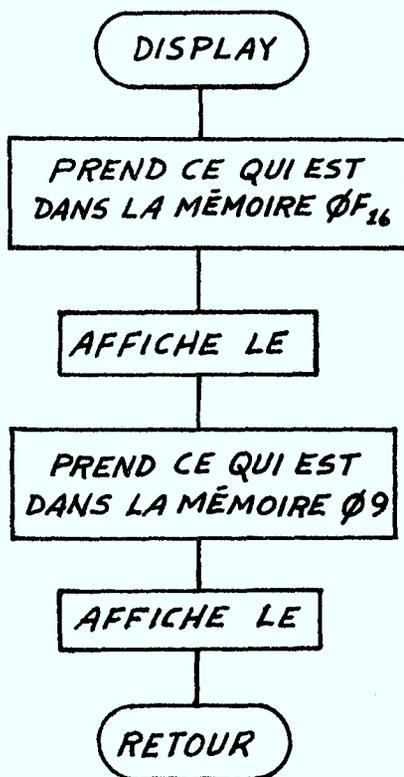


Figure 5.10  
Organigramme du  
programme DISPLAY

ØR00-	A5 0F	LDA	0F	
ØR02-	8D 00 A0	STA	A000	prends le pointeur de direction, affiche-le
ØR05-	A5 09	LDA	09	
ØR07-	8D 00 90	STA	9000	prends le registre des "flags", affiche-le
ØR0A-	60	RTS		retour

ØF06,3  
.

DISPLAY fait l'affichage des résultats de direction ainsi que les conditions d'erreurs.

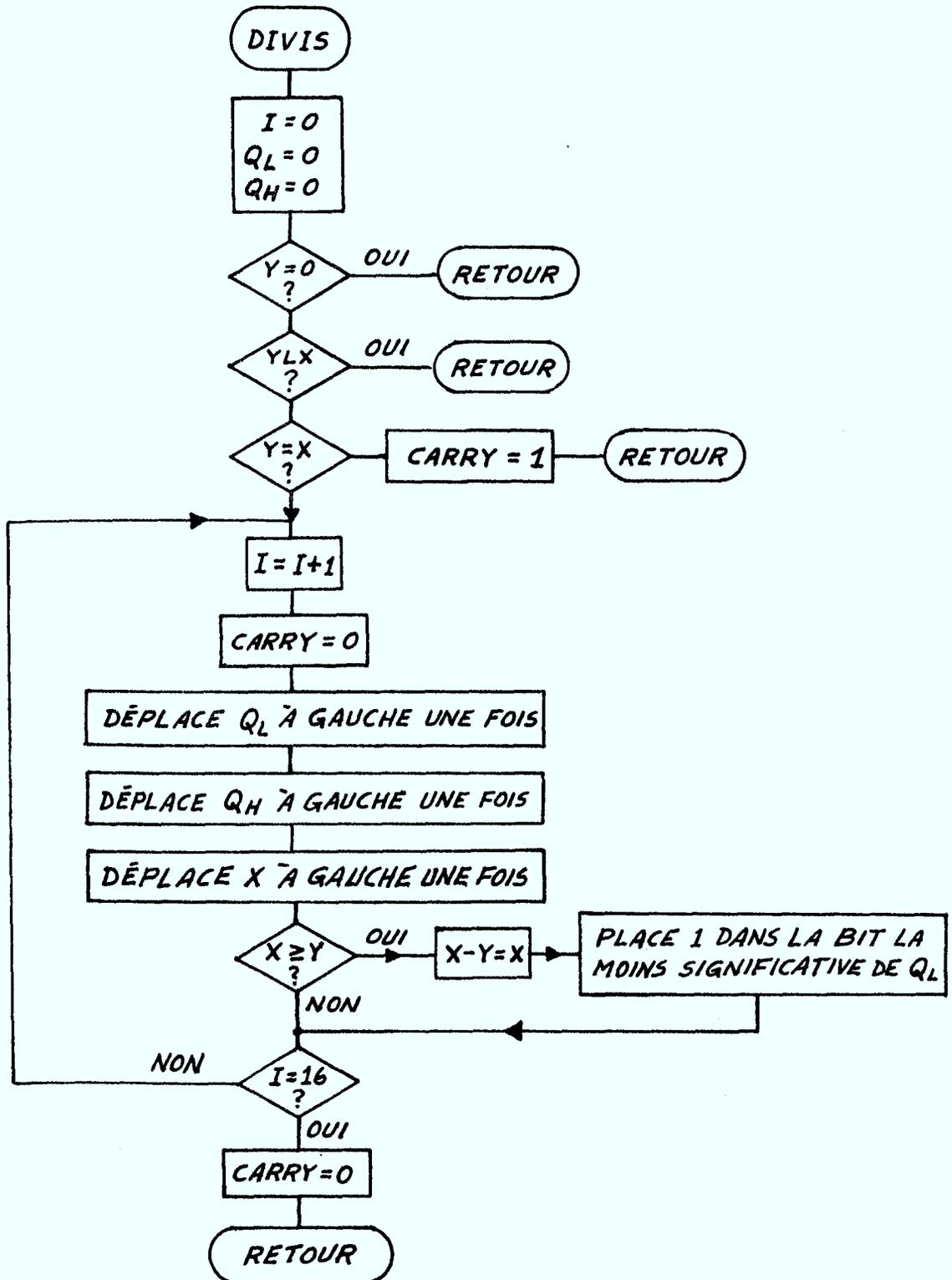


Figure 5.11  
Organigramme du  
programme DIVIS

DIVIS

0600-	A2 00	LDX	#00	
0602-	8A	TXA		
0603-	85 0C	STA	0C	initialisation
0605-	85 0D	STA	0D	
0607-	A5 0B	LDA	0B	
0609-	F0 1E	BEQ	0629	si Y = 0y, arrête
060B-	C5 0A	CMP	0A	
060D-	90 1A	BCC	0629	si Y < X, arrête
060F-	D0 03	BNE	0614	
0611-	38	SEC		si Y = X, carry = 1 et arrête
0612-	R0 15	BCS	0629	
0614-	F8	INX		
0615-	18	CLC		
0616-	06 0D	ASL	0D	déplace les 16 bits de Q à gauche une fois
0618-	26 0C	ROL	0C	
061A-	06 0A	ASL	0A	déplace X à gauche une fois
061C-	R0 0C	RCS	062A	
061F-	A5 0A	LDA	0A	
0620-	C5 0B	CMP	0B	si X > Y soustrait
0622-	R0 06	RCS	062A	
0624-	F0 10	CPX	#10	la division est-elle terminée?
0626-	D0 FC	RNE	0614	sinon va à 0614
0628-	18	CLC		si oui
0629-	60	RTS		retour
062A-	A5 0A	LFA	0A	
062C-	F5 0B	SBC	0B	soustraction X - Y
062F-	85 0A	STA	0A	
0630-	A9 01	LDA	#01	place 1 dans la bit la moins significative de Q
0632-	05 0D	ORA	0D	(i.e. dans $Q_L$ ) c'est ici que la réponse se génère
0634-	85 0D	STA	0D	
0636-	R8	CLV		
0637-	50 FB	RVC	0624	continue
0F06,3				

Le programme DIVIS prend le contenu de  $000A_{16}$  et le divise par le contenu de  $000B_{16}$ . Le résultat apparaît dans  $000C_{16}$ .  $x/y = Q$  x doit être < y (fractions seulement).

mémoire	0A	0B	0C	0D
début	x	y	0	0
fin	reste	y	QH	QL

réponse

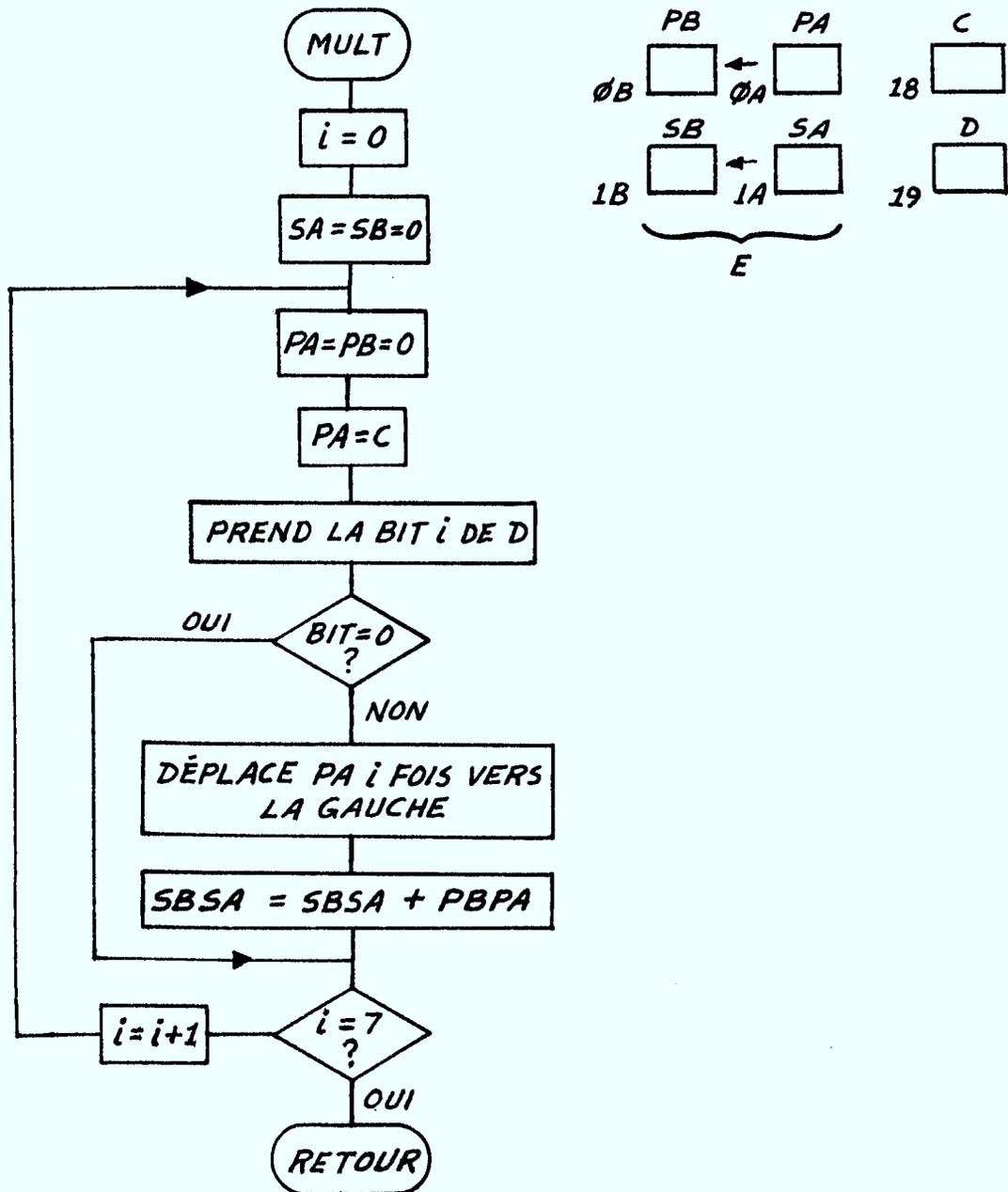


Figure 5.12  
Organigramme du  
programme MULT

MULT

0700-	A2 00	LDX	#00	
0702-	8A	TXA		
0703-	85 1A	STA	1A	initialise, efface A et les mémoires 0A, 0B, 1A, 1B
0705-	85 1B	STA	1B	
0707-	85 0A	STA	0A	
0709-	85 0B	STA	0B	
070B-	A5 1B	LDA	1B	prends la multiplicande
070D-	85 0A	STA	0A	
070F-	18	CLC		déplace le multiplieur, une bit à la fois, dans le
0710-	66 19	ROR	19	carry et vérifie si une multiplication est
0712-	90 14	BCC	0728	nécessaire (bit = 1)
0714-	86 17	STX	17	
0716-	F6 17	INC	17	sauve X pour utilisation dans ROT
0718-	20 50 07	JSR	0750	appelle ROT
071B-	18	CLC		
071C-	A5 0A	LDA	0A	
071F-	65 1A	ADC	1A	additionne le résultat de cette multiplication
0720-	85 1A	STA	1A	intermédiaire avec les résultats précédents
0722-	A5 0B	LDA	0B	
0724-	65 1B	ADC	1B	
0726-	85 1B	STA	1B	
0728-	F0 07	CPX	#07	est-ce la fin?
072A-	F0 06	BFG	0732	si oui sort d'ici
072C-	F8	INX		
072D-	A9 00	LDA	#00	si non, re-initialise A et recommence
072F-	4C 07 07	JMP	0707	
0732-	60	RTS		retour

0F06,3  
.

ROT

0750-	06 17	DFC	17	
0752-	F0 07	BFG	075B	
0754-	06 0A	ASL	0A	c'est ici que les multiplications
0756-	26 0B	ROL	0B	intermédiaires ont lieu.
0758-	4C 50 07	JMP	0750	
075B-	60	RTS		

0F06,3  
.

Le programme MULT multiplie les contenus de  $18_{16}$  et  $19_{16}$  ensemble et place le résultat final dans  $1B_{16}$  et  $1A_{16}$

La sous-routine RND OFF est composée de deux parties MRNDF et DRNDF.

MRNDF fait l'arrondi sur l'opération de multiplication. Elle incrémente le contenu de  $1B_{16}$  si le contenu de  $1A_{16}$  est plus grand que  $7F_{16}$ .

DRNDF fait la même chose pour la routine de division, en incrémentant  $0C_{16}$  si  $0D$  est plus grand que  $7F_{16}$ .

La sous-routine DELAY fait "perdre" du temps au microprocesseur pour permettre aux phénomènes externes de se stabiliser.

### RND OFF

0650-	24 05	RIT	0D	
0652-	30 01	BMI	0655	
0654-	60	RTS		si la bit 7 de $0D_{16} = 1$ , incrémente $0C_{16}$
0655-	18	CLC		en vérifiant pour le débordement
0656-	A9 01	LDA	#01	
0658-	65 0C	ADC	0C	
065A-	85 0C	STA	0C	
065C-	R8	CLV		
065D-	50 F5	RVC	0654	
065F-	FA	NOP		
0660-	24 1A	BIT	1A	
0662-	30 01	BMI	0665	
0664-	60	RTS		
0665-	18	CLC		si la bit 7 de $1A_{16} = 1$ incrémente le contenu
0666-	A9 01	LDA	#01	de $1B_{16}$ en vérifiant le débordement (puisque
0668-	65 1R	ADC	1R	INC $1A$ n'affecte pas le carry).
066A-	85 1R	STA	1R	
066C-	R8	CLV		
066D-	50 F5	BVC	0664	
0F06,3				

### DELAY

08A0-	84 0F	STY	0F	nombre de fois que y sera décrémenté de 256 fois
08A2-	A0 FF	LDY	#FF	
08A4-	88	DEY		decremente y
08A5-	D0 FD	BNE	08A4	
08A7-	C6 0F	DFC	0F	est-ce fini?
08A9-	D0 F7	RNF	08A2	si non, recommence
08AB-	60	RTS		retour.
0F06,3				

#### 5.4 CONCLUSIONS

---

Dans ce chapitre nous avons donné les détails essentiels à la compréhension du logiciel de support du système radiogonométrique proposé. Les utilisateurs du système devront évidemment se familiariser avec la procédure élaborée dans sa conception. Nous croyons cependant que l'information contenue dans ce chapitre est très largement suffisante, pour toute personne connaissant le fonctionnement d'un microprocesseur, pour apprendre à se servir du système efficacement.

## Chapitre 6

### CONCLUSIONS

Dans cette troisième phase, nous avons dégagé tous les éléments importants qui seront utilisés pour la construction du prototype final du système radiogoniométrique.

Plusieurs faits intéressants ont été soulevés et les principales conclusions qui s'en dégagent sont:

1<sup>o</sup>) la radiogoniométrie par comparaison d'amplitudes donnent des résultats d'une précision remarquable et a été retenue pour la réalisation finale du système;

2<sup>o</sup>) un système à 4 antennes-spirales offre le meilleur compromis précision versus le coût, la complexité et l'encombrement;

3<sup>o</sup>) la réalisation expérimentale d'un système complet est possible avec des composants électroniques modernes et fiables et la commande par microprocesseur de toutes les opérations est fonctionnelle;

4<sup>o</sup>) les résultats expérimentaux préliminaires montrent une aptitude remarquable du système conçu à déterminer, avec une grande précision, la direction d'arrivée du signal;

5<sup>o</sup>) le logiciel de support est relativement simple et peut être utilisé facilement par un opérateur familier avec un micro-ordinateur.

Globalement, il reste donc à compléter la réalisation physique du système qui donnera une indication visuelle automatique de la direction d'arrivée calculée et en établir les spécifications techniques définitives. Ceci sera fait au cours de la dernière phase de ce contrat.

Bibliographie

- [1] J.A. CUMMINS, G.Y. DELISLE, M.D. LE-THI, "Conception d'un réseau d'antennes en vue d'une application radiogoniométrique", Rapport Final n° LT-79-8230, Contrat OSU78-00244, Laboratoire de Télécommunications, Département de Génie Electrique, Université Laval, Québec, Mars 1979.
- [2] J.A. CUMMINS, G.Y. DELISLE, M.D. LE-THI, "Conception d'un réseau d'antennes en vue d'une application radiogoniométrique - Phase II", Rapport Final n° LT-80-8215, Contrat OSU79-00218, Laboratoire de Télécommunications, Département de Génie Electrique, Université Laval, Québec, juin 1980.
- [3] D.R. RHODES, Introduction to Monopulse, McGraw Hill, New York, N.Y., 1959.
- [4] S.E. LIPSKY, "Supercomponents Solve New DF Design Problems", Microwaves, Vol. 14, no 9, pp. 42-51, septembre 1979.
- [5] E. CHUBB, J.R. GRINDON, D.C. VENTORS, "Omnidirectionnal Instantaneous Direction-Finding System", IEEE Trans. Aerospace Election Systems, Vol. AES-3, no 2, pp. 250-256, mars 1967.
- [6] L.G. BULLOCK, G.R. OCH, J.J. SPARAGNA, "An Analysis of Wide Band Microwave Monopulse Direction-Finding Techniques", IEEE Trans. Aerospace Election Systems, Vol. AES-7, no 1, pp. 188-203, janvier 1971.

Appendice A

## ENTREE-SORTIE DU MICROPROCESSEUR

Cette section contient une liste des locations de mémoire utilisées par les deux circuits 6522 pour faire les entrées-sorties du microprocesseur. Elle contient aussi une liste des connections nécessaires pour placer un 6522 additionnel (à l'adresse  $9000_{16}$ ) sur le AIM-65. Ces connections s'avèrent nécessaires car le micro-ordinateur AIM n'a qu'un 6522 de disponible pour l'utilisateur (à l'adresse  $A000_{16}$ ) et deux circuits sont requis pour fournir les trente lignes d'entrées-sorties.

APPENDICE A

ENTREE-SORTIE DU MICROPROCESSEUR

(6522)

ADRESSE

$A001_{16}$	PA0	
	1	
	2	
	3	entrée des données du convertisseur A/D
	4	
	5	
	6	
	7	
$A00C_{16}$	CA1	entrée pour que le convertisseur avertisse quand il est prêt.
	CA2	sortie pour commander le convertisseur A/D.
$A000_{16}$	PB0	
	1	
	2	
	3	sortie pour l'affichage de la direction.
	4	
	5	
	6	
	7	
$900_{16}$	PA0	sortie pour choisir l'antenne
	1	
	2	entrée fais un pas $\left\{ \begin{array}{l} 1 \text{ oui} \\ 0 \text{ attends} \end{array} \right.$
	3	entrée pas à pas, une antenne à la fois $\left\{ \begin{array}{l} 1 \text{ oui} \\ 0 \text{ non} \end{array} \right.$
	4	entrée fais un pas de 4 antennes 1 oui 0 attends
	5	entrée pas à pas, quatre antennes à la fois $\left\{ \begin{array}{l} 1 \text{ non} \\ 0 \text{ oui} \end{array} \right.$

9000 <sub>16</sub>	PB0	sortie plus de gain
	1	sortie moins de gain
	2	sortie moins de gain
	3	sortie affichage non valide
	3	sortie affichage valide
	4	sortie déclenche le sample & hold
	5	sortie "vide" le démodulateur

Le AIM-65 possède seulement un 6522 à l'adresse A000 pour des ports d'entrée sortie. Pour en brancher un autre à l'adresse 9000<sub>16</sub> il faut faire les connexions suivantes:

<u>Connecteur J-3 AIM-65</u>	<u>Connexions partielles 6522</u>	
5V	24,20	VCC, CSI
GND	1	VSS
$\overline{CS9}$	23	$\overline{CS2}$
$\overline{IRQ}$	21	$\overline{IRQ}$
R/ $\overline{W}$	22	R/ $\overline{W}$
$\Phi 2$	25	$\Phi 2$
$\overline{RES}$	34	$\overline{RES}$
A3	35	RS3
A2	36	RS2
A1	37	RS1
A0	38	RS0
D7	26	D7
D6	27	D6
D5	28	D5
D4	29	D4
D3	30	D3
D2	31	D2
D1	32	D1
D0	33	D0

## Appendice B

### DOCUMENTATION TECHNIQUE

A titre d'informations additionnelles, cet appendice présente les documents techniques sur les diverses composantes utilisées pour la construction du système radiogoniométrique.

Ainsi, on trouvera les fiches techniques du convertisseur A/D, de l'échantillonneur-bloqueur et de la tension de référence fabriqués par Analog Devices, du commutateur par Daico Industries, de l'interface d'entrée-sortie parallèle (6522) et des instructions du 6502 de Rockwell et de l'absorbant micro-ondes par Emerson & Cuming.



# CMOS μP Compatible 8-Bit ADC

## PRELIMINARY TECHNICAL DATA

### FEATURES

- 8 - Bit Resolution
- No Missed Codes over Full Temperature Range
- Fast Conversion Time: 15μs
- Interfaces to μP like RAM, ROM or Slow - Memory
- Low Power Dissipation: 30mW
- Ratiometric Capability
- Single +5V Supply
- Low Cost
- Internal Comparator and Clock Oscillator

### GENERAL DESCRIPTION

AD 7574 is a low - cost, 8 - bit μP compatible ADC which uses the successive-approximations technique to provide a conversion time of 15 μs.

Designed to be operated as a memory mapped input device, the AD7574 can be interfaced like static RAM, ROM, or slow memory. It's  $\overline{CS}$  (decoded device address) and  $\overline{RD}$  ( $\overline{READ/WRITE}$  control) inputs are available in all μP memory systems. These two inputs control all ADC operations such as starting conversion or reading data. The ADC output data bits use three-state logic, allowing direct connection to the μP data bus or system input port.

Internal clock, +5V operation, on-board comparator and interface logic, as well as low power dissipation (30mW) and fast conversion time make the AD7574 ideal for most ADC/μP interface applications. Small size (18 - pin DIP) and monolithic reliability will find wide use in avionics, instrumentation, and process automation applications.

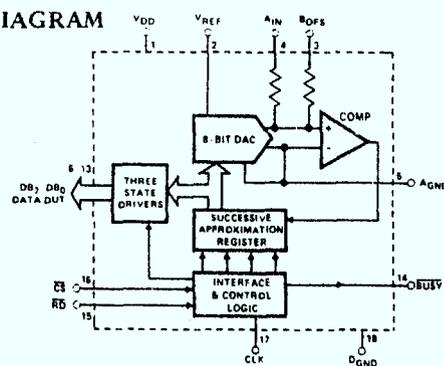
### ORDERING INFORMATION

Differential Nonlinearity:	Temperature Range and Package		
	Plastic 0°C to +70°C	Ceramic -25°C to +85°C	Ceramic -55°C to +125°C
±7/8 LSB	AD7574JN	<sup>1</sup> AD7574AD	<sup>1</sup> AD7574SD
±3/4 LSB	AD7574KN	<sup>1</sup> AD7574BD	<sup>1</sup> AD7574TD

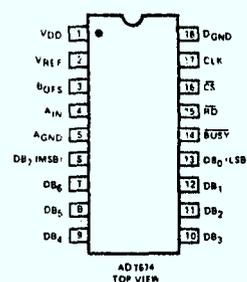
Note 1: Available 100% screened to MIL-STD-883, Class B. To order, add "/883B" to part number shown. See note 6, page 2 for details.



### FUNCTIONAL DIAGRAM



### PIN CONFIGURATION



Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

Route 1 Industrial Park; P.O.Box 280; Norwood, Mass. 02062  
 Tel: 617/329 - 4700 TWX: 710/394 - 6577  
 West Coast Mid - West Texas  
 213/595 - 1783 312/894 - 3300 214/231 - 5094

**CAUTION:**

ESD (Electro-Static-Discharge) sensitive device. The digital control inputs are zener protected; however, permanent damage may occur on unconnected devices subject to high energy electrostatic fields. Unused devices must be stored in conductive foam or shunts. The foam should be discharged to the destination socket before devices are removed.



**DC SPECIFICATIONS** ( $V_{DD} = +5V$ ,  $V_{REF} = -10V$ , Unipolar Configuration,  
 $R_{CLK} = 180k\Omega$ ,  $C_{CLK} = 100pF$ , unless otherwise noted)

PARAMETER	LIMITS		UNITS	CONDITIONS/COMMENTS
	$T_A = +25^\circ C$	$T_{min}, T_{max}^1$		
<b>ACCURACY</b>				
Resolution	8	8	Bits	
Relative Accuracy Error				
AD7574JN, AD, SD	$\pm 3/4$	$\pm 3/4$	LSB max	Relative Accuracy and Differential Nonlinearity are measured dynamically using the external clock circuit of Fig. 7b, page 6. Clock frequency is 500kHz (conversion time 15 $\mu$ s).
AD7574KN, BD, TD	$\pm 1/2$	$\pm 1/2$	LSB max	
Differential Nonlinearity				
AD7574JN, AD, SD	$\pm 7/8$	$\pm 7/8$	LSB max	Full Scale Error is measured after calibrating out offset error. See Fig. 8a and associated calibration procedure for offset. Max Full Scale change from $+25^\circ C$ to $T_{min}$ or $T_{max}$ is $\pm 2$ LSB.
AD7574KN, BD, TD	$\pm 3/4$	$\pm 3/4$	LSB max	
Full Scale Error (Gain Error)				
AD7574JN, AD, SD	$\pm 5$	$\pm 6.5$	LSB max	Maximum Offset change from $-25^\circ C$ to $T_{min}$ or $T_{max}$ is $\pm 20mV$ .
AD7574KN, BD, TD	$\pm 3$	$\pm 4.5$	LSB max	
Offset Error <sup>2</sup>				
AD7574JN, AD, SD	$\pm 60$	$\pm 80$	mV max	Mismatch Between $B_{OFF}$ (pin 3) and $A_{IN}$ (pin 4) Resistances <sup>3</sup>
AD7574KN, BD, TD	$\pm 30$	$\pm 50$	mV max	
Mismatch Between $B_{OFF}$ (pin 3) and $A_{IN}$ (pin 4) Resistances <sup>3</sup>	$\pm 1.5$	$\pm 1.5$	%	
<b>ANALOG INPUTS</b>				
Input Resistance				
At $V_{REF}$ (pin 2)	5/10/15	5/10/15	k $\Omega$ min/typ/max	
At $B_{OFF}$ (pin 3)	10/20/30	10/20/30	k $\Omega$ min/typ/max	
At $A_{IN}$ (pin 4)	10/20/30	10/20/30	k $\Omega$ min/typ/max	
$V_{REF}$ (for specified performance)	-10	-10	V	$\pm 5\%$ for specified transfer accuracy.
$V_{REF}$ Range <sup>4</sup>	-5 to -15	-5 to -15	V	Degraded transfer accuracy.
Nominal Analog Input Range				
Unipolar Mode	0 to $+ V_{REF} $		V	
Bipolar Mode	$- V_{REF} $ to $+ V_{REF} $		V	
<b>LOGIC INPUTS</b>				
RD (pin 15), CS (pin 16)				
$V_{INH}$ Logic HIGH Input Voltage	+3.0	+3.0	V min	$V_{IN} = 0V, V_{DD}$
$V_{INL}$ Logic LOW Input Voltage	+0.8	+0.8	V max	
$I_{IN}$ Input Current	1	10	$\mu A$ max	
$C_{IN}$ Input Capacitance <sup>5</sup>	5	5	pF max	
CLK (pin 17)				
$V_{INH}$ Logic HIGH Input Voltage	+3.0	+3.0	V min	During Conversion: $V_{IN}(CLK) \geq V_{INH}(CLK)$ During Conversion: $V_{IN}(CLK) \leq V_{INL}(CLK)$ (see circuit of Fig. 7b if external clock operation is required).
$V_{INL}$ Logic LOW Input Voltage	+0.4	+0.4	V max	
$I_{INH}$ Logic HIGH Input Current	+2	+3	mA max	
$I_{INL}$ Logic LOW Input Current	1	10	$\mu A$ max	
<b>LOGIC OUTPUTS</b>				
BUSY (pin 14), $DB_7$ to $DB_0$ (pins 6-13)				
$V_{OH}$ Output HIGH Voltage	+4.0	+4.0	V min	$I_{SOURCE} = 40\mu A$ $I_{SINK} = 1.6mA$ $V_{OUT} = 0V$ or $V_{DD}$
$V_{OL}$ Output LOW Voltage	+0.4	+0.8	V max	
$I_{LK}$ $DB_7$ to $DB_0$ Floating Stage Leakage	1	10	$\mu A$ max	
Floating State Output Capacitance ( $DB_7$ to $DB_0$ ) <sup>5</sup>	7	7	pF max	
Output Code	Unipolar Binary, Offset Binary			See Figs. 8a, 9a, 10a and 8b, 9b, 10b.
<b>POWER REQUIREMENTS</b>				
$V_{DD}$	+5	+5	V	$\pm 5\%$ for specified performance.
$I_{DD}$ (STANDBY)	5	5	mA max	$A_{IN} = 0V$ , ADC in RESET condition. Conversion complete, prior to RESET.
$I_{REF}$	$V_{REF}$ divided by $5k\Omega$		max	
PRICE (\$)	MODEL	1-24	25-99	100 up
	AD7574JN	12.50	10.00	7.50
	AD7574KN	15.00	12.00	9.00
	AD7574AD	14.50	12.00	9.50
	AD7574BD	17.00	14.00	11.00
	AD7574AD 883B <sup>6</sup>	21.50	18.00	14.50
	AD7574BD 883B <sup>6</sup>	24.00	20.00	16.00
	AD7574SD	29.00	24.00	19.00
	AD7574TD	34.00	28.00	22.00
	AD7574SD 883B <sup>6</sup>	36.00	30.00	24.00
	AD7574TD 883B <sup>6</sup>	41.00	34.00	27.00

**Notes:**

- Temperature ranges as follows: JN, KN ( $0^\circ C$  to  $+70^\circ C$ )  
AD, BD ( $-25^\circ C$  to  $+85^\circ C$ )  
SD, TD ( $-55^\circ C$  to  $+125^\circ C$ )
- Typical offset temperature coefficient is  $\pm 150\mu V/^\circ C$ .
- $R_{B_{OFF}}$  &  $R_{A_{IN}}$  mismatch causes transfer function rotation about positive Full Scale. The effect is an offset and a gain term when using the circuit of Figure 9a, page 7.
- Typical value, not guaranteed or subject to test
- Guaranteed but not tested.
- Screening to MIL-STD-883 is available. 883B versions are 100% screened to method 5004 for a class B device. Final electrical tests are performed at  $+25^\circ C$  and  $+85^\circ C$  (AD, BD versions) or  $+25^\circ C$  and  $+125^\circ C$  (SD, TD versions).

Specifications subject to change without notice.

( $V_{DD} = +5V$ ,  $C_{CLK} = 100pF$ ,  $R_{CLK} = 180k\Omega$  unless otherwise noted)

SYMBOL	SPECIFICATION	LIMIT at $T_A = +25^\circ C$	LIMIT at $T_A = T_{min}$	LIMIT at $T_A = T_{max}$	CONDITIONS
<b>STATIC RAM INTERFACE MODE (See Figure 1 and Table 1)</b>					
$t_{CS}$	$\overline{CS}$ Pulse Width Requirement	100ns min	150ns min	150ns min	
$t_{WCS}$	$\overline{RD}$ to $\overline{CS}$ Setup Time	0 min	0 min	0 min	
$t_{CBPD}$	$\overline{CS}$ to $\overline{BUSY}$ Propagation Delay	90ns typ	70ns typ	150ns typ	$\overline{BUSY}$ Load = 20pF
		120ns max	120ns max	180ns max	
		120ns typ	100ns typ	180ns typ	$\overline{BUSY}$ Load = 100pF
		150ns max	150ns max	200ns max	
$t_{BSR}$	$\overline{BUSY}$ to $\overline{RD}$ Setup Time	0 min	0 min	0 min	
$t_{BSCS}$	$\overline{BUSY}$ to $\overline{CS}$ Setup Time	0 min	0 min	0 min	
$t_{RAD}$	Data Access Time	120ns typ	100ns typ	180ns typ	$DB_0 - DB_7$ Load = 20pF
		150ns max	150ns max	220ns max	
		240ns typ	220ns typ	300ns typ	$DB_0 - DB_7$ Load = 100pF
		300ns max	300ns max	400ns max	
$t_{RHD}$	Data Hold Time	80ns typ	40ns typ	120ns typ	
		50ns min	30ns min	80ns min	
		120ns max	80ns max	180ns max	
$t_{RHCS}$	$\overline{CS}$ to $\overline{RD}$ Hold Time	250ns max	200ns max	500ns max	
$t_{RESET}$	Reset Time Requirement	3 $\mu$ s min	3 $\mu$ s min	3 $\mu$ s min	
$t_{CONVERT}$	Conversion Time using internal clock oscillator	See typical data of Figure 7a			
$t_{CONVERT}$	Conversion Time using external clock	15 $\mu$ s	15 $\mu$ s	15 $\mu$ s	$f_{CLK} = 500kHz$ circuit of Figure 7b
<b>ROM INTERFACE MODE (See Figure 2 and Table 2)</b>					
$t_{RAD}$	Data Access Time	Same as RAM Mode			
$t_{RHD}$	Data Hold Time	Same as RAM Mode			
$t_{WBPD}$	$\overline{RD}$ HIGH to $\overline{BUSY}$ Propagation Delay	400ns typ	350ns typ	1 $\mu$ s typ	$\overline{BUSY}$ Load = 20pF
		1.5 $\mu$ s max	1.0 $\mu$ s max	2.0 $\mu$ s max	
$t_{BSR}$	$\overline{BUSY}$ to $\overline{RD}$ LOW Setup Time	$\overline{RD}$ can go LOW prior to $\overline{BUSY} = HIGH$ , but must not return HIGH until $\overline{BUSY} = HIGH$ . See Table 2			
$t_{CONVERT}$	Conversion Time using internal clock oscillator	See typical data of Figure 7a. Add 2 $\mu$ s to data shown in Figure 7a for ROM Mode			
<b>SLOW - MEMORY INTERFACE MODE (See Figure 3 and Table 3)</b>					
$t_{CBPD}$	$\overline{CS}$ to $\overline{BUSY}$ Propagation Delay	Same as RAM Mode			
$t_{RESET}$	Reset Time Requirement	Same as RAM Mode			
$t_{RAD}$	Data Access Time	Same as RAM Mode			
$t_{RHD}$	Data Hold Time	Same as RAM Mode			
$t_{CONVERT}$	Conversion Time	Same as RAM Mode			

## ABSOLUTE MAXIMUM RATINGS

$V_{DD}$ to AGND	0V, +7.0V
$V_{DD}$ to DGND	0V, +7.0V
AGND to DGND	-0.3V, $V_{DD}$
Digital Input Voltage to DGND (pins 15 and 16)	-0.3V, +15.0V
Digital Output Voltage to DGND (pins 6-14)	-0.3V, $V_{DD}$
CLK Input Voltage (pin 17) to DGND	-0.3V, $V_{DD}$
$V_{REF}$ (pin 2)	$\pm 20V$
$V_{BOFS}$ (pin 3)	$\pm 20V$
$V_{AIN}$ (pin 4)	$\pm 20V$

## Operating Temperature Range

JN, KN	0 $^\circ C$ to +70 $^\circ C$
AD, BD	-25 $^\circ C$ to +85 $^\circ C$
SD, TD	-55 $^\circ C$ to +125 $^\circ C$
Storage Temperature Range	-65 $^\circ C$ to +150 $^\circ C$
Lead Temperature (soldering, 10 secs.)	+300 $^\circ C$
<b>Power Dissipation (Package)</b>	
Plastic (suffix N)	
to +70 $^\circ C$	670mW
Derate above +70 $^\circ C$ by	8.3mW/ $^\circ C$
Ceramic (suffix D)	
to +75 $^\circ C$	450mW
Derate above +75 $^\circ C$ by	6mW/ $^\circ C$

## TERMINOLOGY

**RESOLUTION:** Resolution is a measure of the *nominal* analog change required for a 1-bit change in the A/D converter's digital output. While normally expressed in a number of bits, the analog resolution of an  $n$ -bit unipolar A/D converter is  $(2^{-n})(V_{REF})$ . Thus the AD7574, an 8-bit A/D converter, can resolve analog voltages as small as  $(1/256)(V_{REF})$  when operated in a unipolar mode. When operated in a bipolar mode, the resolution is  $(1/128)(V_{REF})$ . Resolution does not imply accuracy. Usable resolution is limited by the differential nonlinearity of the A/D converter.

**RELATIVE ACCURACY:** Relative accuracy is the deviation of the ADC's actual code transition points from a straight line drawn between the

device's measured zero and measured full scale transition points. Relative accuracy, therefore, is a measure of code *position*.

**DIFFERENTIAL NONLINEARITY:** Differential nonlinearity in an ADC is a measure of the size of an analog voltage range associated with any digital output code. As such differential nonlinearity specifies code width (usable resolution). An ADC with a specified differential nonlinearity of  $\pm n$  bits will exhibit codes ranging in width from 1LSB -  $n$ LSB to 1LSB +  $n$ LSB. A specified differential nonlinearity of less than  $\pm 1LSB$  guarantees no-missing-codes operation.

## TIMING & CONTROL OF THE AD7574

### STATIC RAM INTERFACE MODE

Table 1 and Figure 1 show the truth table and timing requirements for AD7574 operation as a static RAM.

A convert start is initiated by executing a memory WRITE instruction to the address location occupied by the AD7574 (once conversion has started, subsequent memory WRITES have no effect). A data READ is performed by executing a memory READ instruction to the AD7574 address location.

$\overline{BUSY}$  must be HIGH before a data READ is attempted, i.e. the total delay between a convert start and a data READ must be at least as great as the AD7574 conversion time. The delay

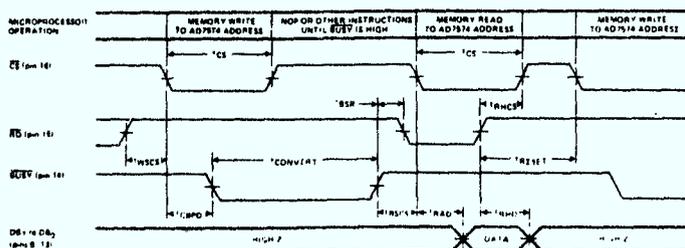


Figure 1. Static RAM Mode Timing Diagram

### ROM INTERFACE MODE

Table 2 and Figure 2 show the truth table and timing requirements for interfacing the AD7574 like Read Only Memory.

$\overline{CS}$  is held LOW and converter operation is controlled by the  $\overline{RD}$  input. The AD7574  $\overline{RD}$  input is derived from the decoded device address. MEMRD should be used to enable the address decoder in 8080 systems. VMA should be used to enable the address decoder in 6800 systems. A data READ is initiated by executing a memory READ instruction to the AD7574 address location. The converter is automatically restarted when  $\overline{RD}$

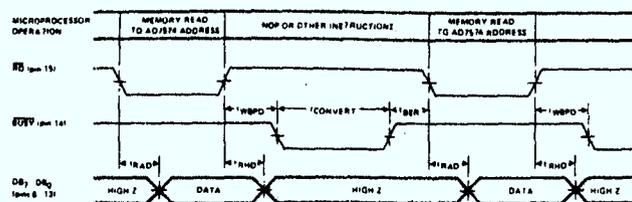


Figure 2. ROM Mode Timing Diagram ( $\overline{CS}$  Held LOW)

### SLOW-MEMORY INTERFACE MODE

Table 3 and Figure 3 show the truth table and timing requirements for interfacing the AD7574 as a slow-memory. This mode is intended for use with processors which can be forced into a WAIT state for at least 12 $\mu$ s (such as the 8080, 8085 and SC/MP). The major advantage of this mode is that it allows the  $\mu$ P to start conversion, WAIT, and then READ data with a single READ instruction.

In the slow-memory mode,  $\overline{CS}$  and  $\overline{RD}$  are tied together. It is suggested that the system ALE signal (8085 system) or SYNC signal (8080 system) be used to latch the address. The decoded

device address is subsequently used to drive the AD7574  $\overline{CS}$  and  $\overline{RD}$  inputs.  $\overline{BUSY}$  is connected to the microprocessor READY input.

When the AD7574 is NOT addressed, the  $\overline{CS}$  and  $\overline{RD}$  inputs are HIGH. Conversion is initiated by executing a memory READ to the AD7574 address.  $\overline{BUSY}$  subsequently goes LOW (forcing the  $\mu$ P READY input LOW) placing the  $\mu$ P in a WAIT state. When conversion is complete ( $\overline{BUSY}$  is HIGH) the  $\mu$ P completes the memory READ.

AD7574 INPUTS		AD7574 OUTPUTS		AD7574 OPERATION
$\overline{CS}$	$\overline{RD}$	$\overline{BUSY}$	DB <sub>7</sub> - DB <sub>0</sub>	
L	H	H	HIGH Z	WRITE CYCLE (START CONVERT) READ CYCLE (DATA READ) RESET CONVERTER
L	H	H	HIGH Z $\rightarrow$ DATA	
L	H	H	DATA $\rightarrow$ HIGH Z	
H	X <sup>1</sup>	X	HIGH Z	NOT SELECTED
L	H	L	HIGH Z	NO EFFECT, CONVERTER BUSY
L	H	L	HIGH Z	NO EFFECT, CONVERTER BUSY
L	H	L	HIGH Z	NOT ALLOWED, CAUSES INCORRECT CONVERSION

Note 1: If  $\overline{RD}$  goes LOW to HIGH, the ADC is internally reset, regardless of the state of  $\overline{CS}$  or  $\overline{BUSY}$ .

Table 1. Truth Table, Static RAM Mode

returns HIGH. As in the RAM mode, attempting a data READ before  $\overline{BUSY}$  is HIGH will result in incorrect data being read.

The advantage of the ROM mode is its simplicity. The major disadvantage is that the data obtained is relatively poorly defined in time inasmuch as executing a data READ automatically starts a new conversion. This problem can be overcome by executing two READs separated by NO-OPS (or other program instructions) and using only the data obtained from the second READ.

AD7574 INPUTS		AD7574 OUTPUTS		AD7574 OPERATION
$\overline{CS}$	$\overline{RD}$	$\overline{BUSY}$	DB <sub>7</sub> - DB <sub>0</sub>	
L	H	H	HIGH Z $\rightarrow$ DATA	DATA READ RESET AND START NEW CONVERSION
L	H	H	DATA $\rightarrow$ HIGH Z	
L	H	L	HIGH Z	NO EFFECT, CONVERTER BUSY
L	H	L	HIGH Z	NOT ALLOWED, CAUSES INCORRECT CONVERSION

Table 2. Truth Table, ROM Mode

device address is subsequently used to drive the AD7574  $\overline{CS}$  and  $\overline{RD}$  inputs.  $\overline{BUSY}$  is connected to the microprocessor READY input.

When the AD7574 is NOT addressed, the  $\overline{CS}$  and  $\overline{RD}$  inputs are HIGH. Conversion is initiated by executing a memory READ to the AD7574 address.  $\overline{BUSY}$  subsequently goes LOW (forcing the  $\mu$ P READY input LOW) placing the  $\mu$ P in a WAIT state. When conversion is complete ( $\overline{BUSY}$  is HIGH) the  $\mu$ P completes the memory READ.

Do not attempt to perform a memory WRITE in this mode, since three-state bus conflicts will arise.

# Interface Control of the AD7574 (cont.)

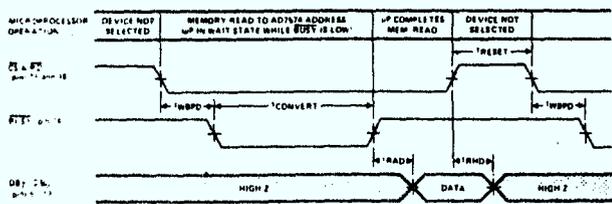


Figure 3. Slow Memory Mode Timing Diagram ( $\overline{CS}$  and  $\overline{RD}$  Tied Together)

AD7574 INPUTS		AD7574 OUTPUTS		AD7574 OPERATION
$\overline{CS}$ & $\overline{RD}$	BUSY	DB <sub>7</sub> -DB <sub>0</sub>		
H	H	HIGH Z		NOT SELECTED
L	H → L	HIGH Z		
L	L	HIGH Z		START CONVERSION
L	L	HIGH Z → DATA		CONVERSION IN PROGRESS.
L	L	HIGH Z → DATA		MP IN WAIT STATE
L	L	HIGH Z → DATA		CONVERSION COMPLETE.
L	L	HIGH Z → DATA		MP READS DATA
L	L	HIGH Z → DATA		CONVERTER RESET
L	L	HIGH Z → DATA		AND Deselected
L	L	HIGH Z		NOT SELECTED

Table 3. Truth Table, Slow Memory Mode

## GENERAL CIRCUIT INFORMATION

### BASIC CIRCUIT DESCRIPTION

The AD7574 uses the successive approximations technique to provide an 8-bit parallel digital output. The control logic was designed to provide easy interface to most microprocessors. Most applications require only passive clock components (R & C), a -10V reference, and +5V power.

Each successively smaller bit is tried and compared to  $A_{IN}$  in this manner until the least significant bit (LSB) decision has been made. At this time  $\overline{BUSY}$  goes HIGH (conversion is complete) indicating the successive approximation register contains a valid representation of the analog input. The  $\overline{RD}$  control (see page 4 for details) can then be exercised to activate the three-state buffers, placing data on the DB<sub>0</sub>-DB<sub>7</sub> data output pins.  $\overline{RD}$  returning HIGH causes the clock oscillator to run for 1 cycle, providing an internal ADC reset (i.e. the SAR is loaded with code 10000000).

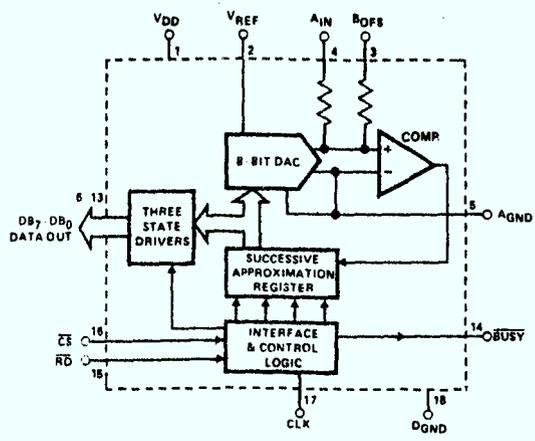


Figure 4. AD7574 Functional Diagram

Figure 4 shows the AD7574 functional diagram. Upon receipt of a start command either via the  $\overline{CS}$  or  $\overline{RD}$  pins (see pages 4 and 5 for Control Logic and Timing Details),  $\overline{BUSY}$  goes low indicating conversion is in progress. Successive bits, starting with the most significant bit (MSB), are applied to the input of a DAC. The comparator determines whether the addition of each successive bit causes the DAC output to be greater than or less than the analog input,  $A_{IN}$ . If the sum of the DAC bits is less than  $A_{IN}$ , the trial bit is left ON, and the next smaller bit is tried. If the sum is greater than  $A_{IN}$ , the trial bit is turned OFF and the next smaller bit is tried.

### DAC CIRCUIT DETAILS

The current weighting D/A converter is a precision multiplying DAC. Figure 5 shows the functional diagram of the DAC as used in the AD7574. It consists of a precision Silicon Chromium thin film R/2R ladder network and 8 N-channel MOS-FET switches operated in single-pole-double-throw.

The currents in each 2R shunt arm are binarily weighted, i.e. the current in the MSB arm is  $V_{REF}$  divided by 2R, in the second arm is  $V_{REF}$  divided by 4R, etc. Depending on the DAC logic input (A/D output) from the successive approximation register, the current in the individual shunt arms is steered either to  $A_{GND}$  or to the comparator summing point.

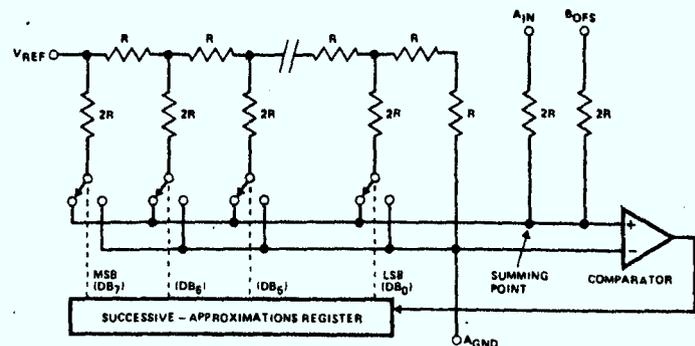


Figure 5. D/A Converter As Used In AD7574

# OPERATING THE AD7574

## APPLICATION HINTS

### 1. TIMING & CONTROL

Failure to observe the timing restrictions of figures 1, 2 or 3 may cause the AD7574 to change interface modes. For example, in the RAM mode, holding  $\overline{CS}$  LOW too long after  $\overline{RD}$  goes HIGH will cause a new convert start (i.e. the converter moved into the ROM mode).

### 2. LOGIC DEGLITCHING IN $\mu P$ APPLICATIONS

Unspecified states on the address bus (due to different rise and fall times on the address bus) can cause glitches at the AD7574  $\overline{CS}$  or  $\overline{RD}$  terminals. These glitches can cause unwanted convert starts, reads, or resets. The best way to avoid glitches is to gate the address decoding logic with  $\overline{RD}$  or  $\overline{WR}$  (8080) or  $\overline{VMA}$  (6800) when in the ROM or RAM mode. When in the slow-memory mode, the ALE (8085) or SYNC (8080) signal should be used to latch the address.

### 3. INPUT LOADING AT $V_{REF}$ , $A_{IN}$ AND $B_{OFS}$

To prevent loading errors due to the finite input resistance at the  $V_{REF}$ ,  $A_{IN}$  or  $B_{OFS}$  pins, low impedance driving sources must be used (i.e. op amp buffers or low output-Z reference).

### 4. RATIO-METRIC OPERATION

Ratiometric performance is inherent to A/D converters such as the AD7574 which use a multiplying DAC weighting network. However, the user should recognize that comparator limitations such as offset

voltage, input noise and gain will cause degradation of the transfer characteristics when operating with reference voltages less than -10V in magnitude.

### 5. OFFSET CORRECTION

Offset error in the transfer characteristic can be trimmed by offsetting the buffer amplifier which drives the AD7574  $A_{IN}$  pin (pin 4). This can be done either by summing a cancellation current into the amplifier's summing junction, or by tapping a voltage divider which sits between  $V_{DD}$  and  $V_{REF}$  and applying the tap voltage to the amplifier's positive input (an example of a resistive tap offset adjust is shown in Figure 10a where  $R_8$ ,  $R_9$  and  $R_{10}$  can be used to offset the ADC).

### 6. ANALOG AND DIGITAL GROUND

It is recommended that  $AGND$  and  $DGND$  be connected locally to prevent the possibility of injecting noise into the AD7574. In systems where the  $AGND$ - $DGND$  intertie is not local, connect back-to-back diodes (IN914 or equivalent) between the AD7574  $AGND$  and  $DGND$  pins.

### 7. INITIALIZATION AFTER POWER-UP

Execute a memory READ to the AD7574 address location, and subsequently ignore the data. The AD7574 is internally reset when reading out data, i.e. the data readout is destructive.

## CLOCK OSCILLATOR

The AD7574 has an internal asynchronous clock oscillator which starts upon receipt of a convert start command, and ceases oscillating when conversion is complete.

The clock oscillator requires an external R and C as shown in figure 6. Nominal conversion time versus  $R_{CLK}$  and  $C_{CLK}$  is shown in Figure 7a. The curves shown in Figure 7a are applicable when operating in the RAM or slow-memory interface modes. When operating in the ROM interface mode, add  $2\mu s$  to the typical conversion time values shown.

The AD7574 is guaranteed to provide transfer accuracy to published specifications for conversion times down to  $15\mu s$ , as indicated by the unshaded region of Figure 7a. Conversion times faster than  $15\mu s$  can cause transfer accuracy degradation.

## OPERATION WITH EXTERNAL CLOCK

For applications requiring a conversion time close to or equal to  $15\mu s$ , an external clock is recommended. Using an external clock precludes the possibility of converting faster than  $15\mu s$  (which can cause transfer accuracy degradation) due to temperature drift - as may be the case when using the internal clock oscillator.

Figure 7b shows how the external clock must be connected. The  $\overline{BUSY}$  output of the AD7574 is connected to the three-state enable input of a 74125 three-state buffer.  $R_1$  is used as a pullup, and can be between  $6k\Omega$  and  $100k\Omega$ . A 500kHz clock will provide a conversion time of  $15\mu s$ .

The external clock should be used only in the static-RAM or slow-memory interface mode, and *not* in the ROM mode.

Timing constraints for external clock operation are as follows:

### STATIC RAM MODE

1. When initiating a conversion,  $\overline{CS}$  should go LOW on a positive clock edge to provide optimum settling time for the MSB.

2. A data READ can be initiated any time after  $BUSY = 1$ .

### SLOW-MEMORY MODE

1. When initiating a conversion,  $\overline{CS}$  and  $\overline{RD}$  should go LOW on a positive clock edge to provide optimum settling time for the MSB.

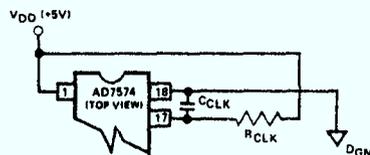


Figure 6. Connecting  $R_{CLK}$  and  $C_{CLK}$  To CLK Oscillator

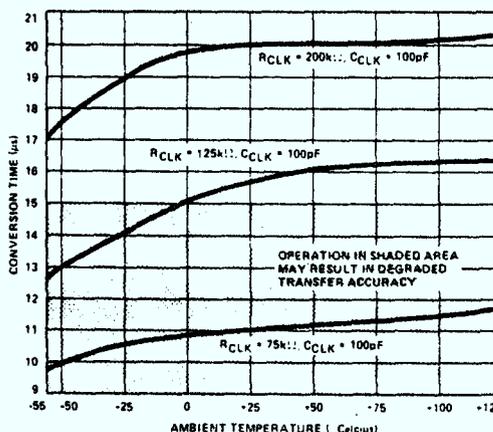


Figure 7a. Typical Conversion Time vs. Temperature For Different  $R_{CLK}$  and  $C_{CLK}$  (Applicable to RAM and Slow-Memory Modes. For ROM Mode add  $2\mu s$  to values shown)

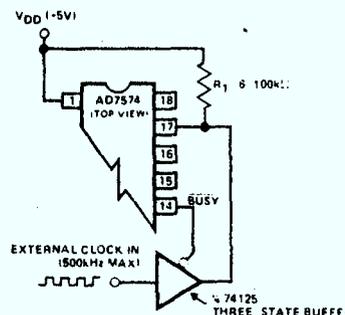


Figure 7b. External Clock Operation (Static RAM and Slow-Memory Mode)

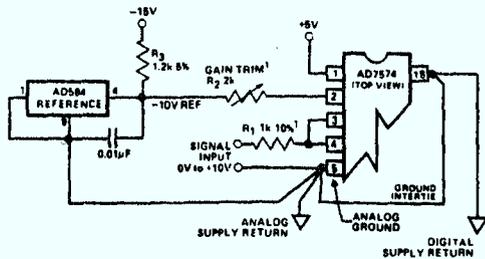
### UNIPOLAR BINARY OPERATION

Figures 8a and 8b show the analog circuit connections and typical transfer characteristic for unipolar operation. An AD584 is used as the -10V reference.

Calibration is as follows:

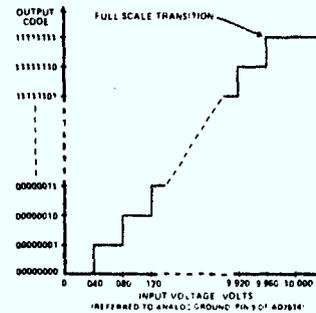
#### OFFSET

Offset must be trimmed out in the signal conditioning circuitry used to drive the signal input terminals shown in Figure 8a. An example of an offset trim is shown in Figure 10a, where  $R_8$ ,  $R_9$  and  $R_{10}$  comprise a simple voltage tap which is applied to the amplifier's positive input.



Note 1:  $R_1$  and  $R_2$  can be omitted if gain trim is not required

Figure 8a. AD7574 Unipolar (0V to +10V) Operation (Output Code is Straight Binary)



Note: Approximate bit weights are shown for illustration. Nominal bit weight for a -10V reference is  $\approx 39.1\text{mV}$

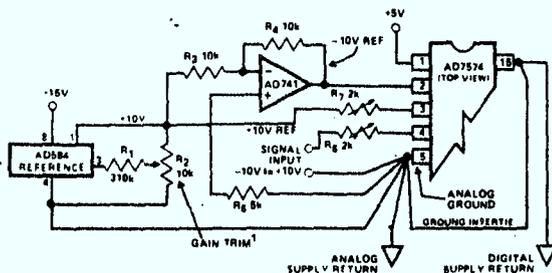
Figure 8b. Nominal Transfer Characteristic For Unipolar Circuit of Figure 8a

### BIPOLAR (OFFSET BINARY) OPERATION

Figures 9a and 9b illustrate the analog circuitry and transfer characteristic for bipolar operation. Output coding is offset binary. As in unipolar operation, offset correction can be performed at the buffer amplifier used to drive the signal input terminals of Figure 9a (Resistors  $R_8$ ,  $R_9$  and  $R_{10}$  in Figure 10a show how offset trim can be done at the buffer amplifier).

Calibration is as follows:

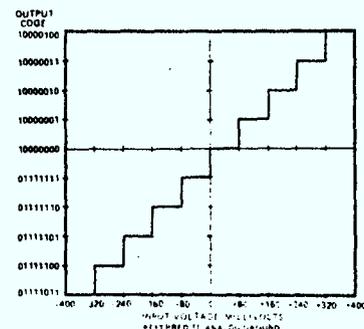
1. Adjust  $R_6$  and  $R_7$  for minimum resistance across the potentiometers.
2. Apply +10.000V to the buffer amplifier used to drive the signal input (i.e. -10.000V at  $R_6$ ).
3. While performing continuous conversions, trim  $R_6$  or  $R_7$  (whichever required) until  $DB_7 - DB_1$  are LOW and the LSB ( $DB_0$ ) flickers.



Note 1:  $R_1$  and  $R_2$  can be omitted if gain trim is not required

Figure 9a. AD7574 Bipolar (-10V to +10V) Operation (Output Code is Offset Binary)

4. Apply 0V to the buffer amplifier used to drive the signal input terminals.
5. Doing continuous conversions, trim the offset circuit of the buffer amplifier until the ADC output code flickers between 01111111 and 10000000.
6. Apply +10.000V to the input of the buffer amplifier (i.e. -10.000V as applied to  $R_6$ ).
7. Doing continuous conversions, trim  $R_2$  until  $DB_7 - DB_1$  are LOW and the LSB ( $DB_0$ ) flickers.
8. Apply -9.922V to the input of the buffer amplifier (i.e. +9.922V at the input side of  $R_6$ ).
9. If the ADC output code is not 11111110  $\pm 1$  bit, repeat the calibration procedure.



Note: Approximate bit weights are shown for illustration. Nominal bit weight for  $\pm 10\text{V}$  full scale is  $\approx 78.1\text{mV}$

Figure 9b. Nominal Transfer Characteristic Around Major Carry for Bipolar Circuit of Figure 9a

# OPERATING THE AD7574

(continued from page 7)

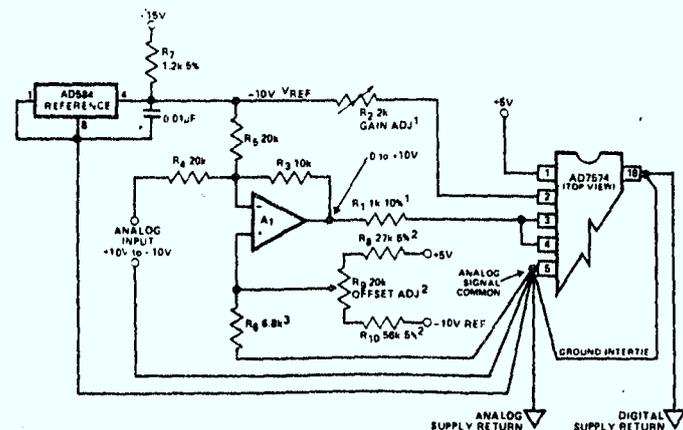
## BIPOLAR (COMPLEMENTARY OFFSET BINARY) OPERATION

Figure 10a shows the analog connections for complementary offset binary operation. The typical transfer characteristic is shown in Figure 10b. In this bipolar mode, the ADC is fooled into believing it is operated in a unipolar mode - i.e. the +10V to -10V analog input is conditioned into a 0 to +10V signal range.  $R_2$  is the gain adjust, while  $R_9$  is the offset adjust.

Calibration is as follows (adjust offset before gain):

### OFFSET

1. Apply 0V to the analog input shown in Figure 10a.



### Notes:

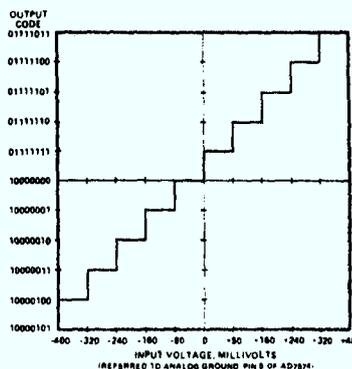
1.  $R_1$  and  $R_2$  can be omitted if gain trim is not required
2.  $R_8$ ,  $R_9$  and  $R_{10}$  can be omitted if offset trim is not required
3.  $R_6 || R_8 || R_{10} = 5k\Omega$ . If  $R_8$ ,  $R_9$  and  $R_{10}$  not used, make  $R_6 = 5k\Omega$

Figure 10a. AD7574 Bipolar Operation (-10V to +10V)  
(Output Code is Complementary Offset Binary)

2. While performing continuous conversions, adjust  $R_9$  until the converter output flickers between codes 01111111 and 10000000.

### GAIN (FULL SCALE)

1. Apply -9.922V across the analog input terminals shown in Figure 10a.
2. While performing continuous conversions, adjust  $R_2$  until  $DB_7 - DB_1$  are HIGH and the LSB ( $DB_0$ ) flickers between HIGH and LOW.

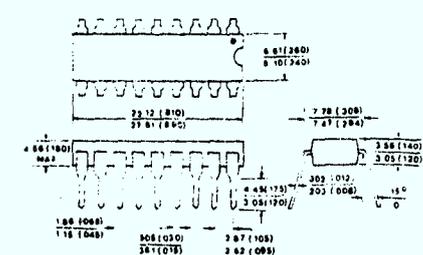


Note: Approximate bit weights are shown for illustration. Nominal bit weight for  $\pm 10V$  full scale is  $\approx 78.1mV$

Figure 10b. Nominal Transfer Characteristic Around Major Carry for Bipolar Circuit of Figure 10a

## MECHANICAL INFORMATION

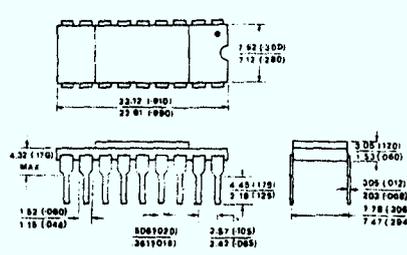
### 18 PIN PLASTIC DIP



### Notes:

1. Lead no. 1 identified by dot or notch.
2. Dimensions in mm (in.).
3. Leads are solder plated KOVAR or ALLOY 42.

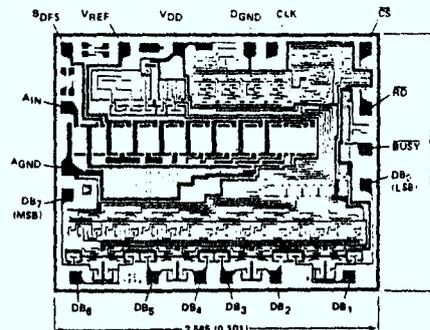
### 18 PIN CERAMIC DIP



### Notes:

1. Lead no. 1 identified by dot or notch.
2. Leads are gold plate (50 $\mu$ in. min.) over Nickel (100 $\mu$ in. nominal). Base material is KOVAR or ALLOY 42.
3. Cavity lid is electrically isolated.

### BONDING DIAGRAM



### Notes:

1. Bond DGND first to minimize ESD hazard.
2. Die dimensions are in mm. (in.), and may vary from nominal shown on layout by  $\pm 0.076mm$  ( $\pm 0.003in.$ ).
3. Die thickness is  $0.508mm \pm 0.025mm$  ( $0.020in. \pm 0.001in.$ ).
4. Gold backing is not available.
5. Passivation covers all topside surface area except bonding pads, test pads and scribe lines.
6. Surface metallization is Al, 10k $\text{\AA}$  min.
7. Bonding pads are  $0.102mm \times 0.102mm$  ( $0.004in. \times 0.004in.$ ). Passivation window is  $0.089mm \times 0.089mm$  min. ( $0.0035in. \times 0.0035in.$  min.).



# Low Cost Sample/Hold Amplifier

## FEATURES

Low Cost:  
 Suitable for 12-Bit Applications  
 High Sample/Hold Current Ratio:  $10^7$   
 Low Acquisition Time:  $6\mu\text{s}$  to 0.1%  
 Low Charge Transfer:  $<2\text{pC}$   
 High Input Impedance in Sample and Hold Modes  
 Connect in Any Op Amp Configuration  
 Differential Logic Inputs

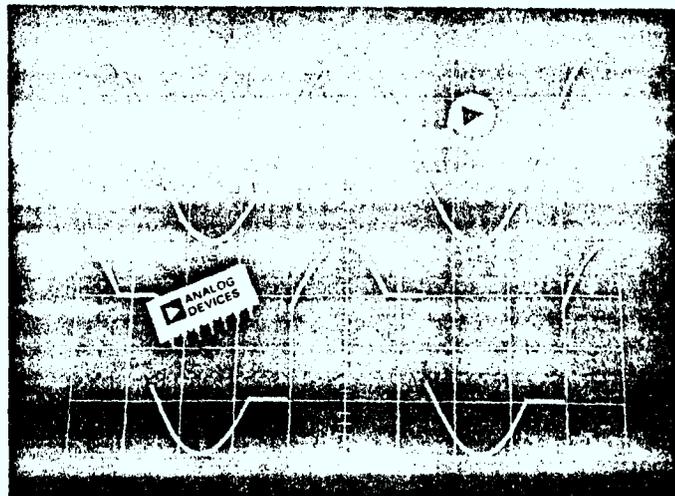
## PRODUCT DESCRIPTION

The AD582 is a low cost integrated circuit sample and hold amplifier consisting of a high performance operational amplifier, a low leakage analog switch and a JFET integrating amplifier — all fabricated on a single monolithic chip. An external holding capacitor, connected to the device, completes the sample and hold function.

With the analog switch closed, the AD582 functions like a standard op amp; any feedback network may be connected around the device to control gain and frequency response. With the switch open, the capacitor holds the output at its last level, regardless of input voltage.

Typical applications for the AD582 include sampled data systems, D/A deglitchers, analog de-multiplexers, auto null systems, strobed measurement systems and A/D speed enhancement.

The device is available in two versions: the "K" specified for operation over the 0 to  $+70^\circ\text{C}$  commercial temperature range and the "S" specified over the full military temperature range,  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$  with processing to MIL-STD-883, Class B available. All versions may be obtained in either the hermetically sealed, TO-100 can or the TO-116 DIP.



## PRODUCT HIGHLIGHTS

1. The monolithic AD582 is the lowest cost sample and hold amplifier available. Until recently, quality sample and hold circuits could only be fabricated with costly discrete or hybrid components.
2. The specially designed input stage presents a high impedance to the signal source in both sample and hold modes (up to  $\pm 12\text{V}$ ). Even with signal levels up to  $\pm V_S$ , no undesirable signal inversion, peaking or loss of hold voltage occurs.
3. The AD582 may be connected in any standard op amp configuration to control gain or frequency response and provide signal inversion, etc.
4. The AD582 offers a high, sample-to-hold current ratio:  $10^7$ . The ratio of the available charging current to the holding leakage current is often used as a figure of merit for a sample and hold circuit.
5. The AD582 has a typical charge transfer less than  $2\text{pC}$ . A low charge transfer produces less offset error and permits the use of smaller hold capacitors for faster signal acquisition.
6. The AD582 provides separate analog and digital grounds, thus improving the device's immunity to ground and switching transients.

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

P.O. Box 280; Norwood, Massachusetts 02062 U.S.A.  
 Telex: 924491 Cables: ANALOG NORWOODMASS

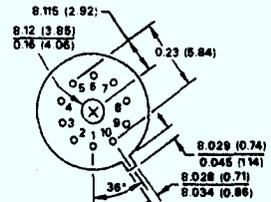
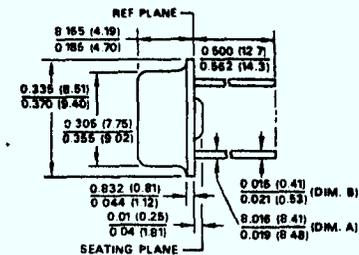
# SPECIFICATIONS

(typical @ +25°C,  $V_S = \pm 15V$  and  $C_H = 1000pF$ ,  $A = +1$  unless otherwise specified)

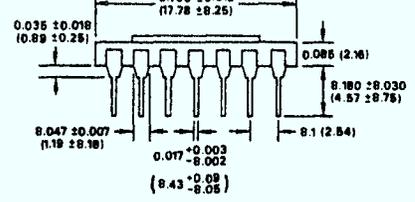
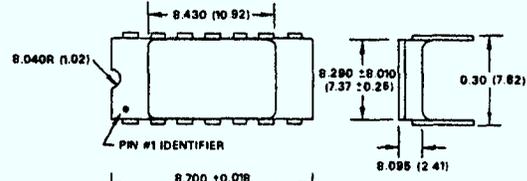
MODEL	AD582K	AD582S (AD582S/883B)
<b>SAMPLE/HOLD CHARACTERISTICS</b>		
Acquisition Time. 10V Step to 0.1%, $C_H = 100pF$	6 $\mu s$	*
Acquisition Time. 10V Step to 0.01%, $C_H = 1000pF$	25 $\mu s$	*
Aperture Time. 20V p-p Input, Hold 0V	150ns	*
Aperture Jitter. 20V p-p Input, Hold 0V	15ns	*
Settling Time. 20V p-p Input, Hold 0V, to 0.01%	0.5 $\mu s$	*
Droop Current. Steady State, $\pm 10V_{OUT}$	100pA max	*
Droop Current, $T_{min}$ to $T_{max}$	1nA	150nA max
Charge Transfer	5pC max (1.5pC typ)	*
Sample to Hold Offset	0.5mV	*
Feedthrough Capacitance 20V p-p, 10kHz Input	0.05pF	*
<b>TRANSFER CHARACTERISTICS</b>		
Open Loop Gain $V_{OUT} = 20V$ p-p, $R_L = 2k$	25k min (50k typ)	*
Common Mode Rejection $V_{CM} = 20V$ p-p, $F = 50Hz$	60dB min (70dB typ)	*
Small Signal Gain Bandwidth $V_{OUT} = 100mV$ p-p, $C_H = 200pF$	1.5MHz	*
Full Power Bandwidth $V_{OUT} = 20V$ p-p, $C_H = 200pF$	70kHz	*
Slew Rate $V_{OUT} = 20V$ p-p, $C_H = 200pF$	3V/ $\mu s$	*
Output Resistance Hold Mode, $I_{OUT} = \pm 5mA$	12 $\Omega$	*
Linearity $V_{OUT} = 20V$ p-p, $R_L = 2k$	$\pm 0.01\%$	*
Output Short Circuit Current	$\pm 25mA$	*
<b>ANALOG INPUT CHARACTERISTICS</b>		
Offset Voltage	6mV max (2mV typ)	*
Offset Voltage, $T_{min}$ to $T_{max}$	4mV	8mV max (5mV typ)
Bias Current	3 $\mu A$ max (1.5 $\mu A$ typ)	*
Offset Current	300nA max (75nA typ)	*
Offset Current, $T_{min}$ to $T_{max}$	100nA	400nA max (100nA typ)
Input Capacitance, $f = 1MHz$	2pF	*
Input Resistance, Sample or Hold 20V p-p Input, $A = +1$	30M $\Omega$	*
Absolute Max Diff Input Voltage	30V	*
Absolute Max Input Voltage, Either Input	$\pm V_S$	*
<b>DIGITAL INPUT CHARACTERISTICS</b>		
+Logic Input Voltage		
Hold Mode, $T_{min}$ to $T_{max}$ , -Logic @ 0V	+2V min	*
Sample Mode, $T_{min}$ to $T_{max}$ , -Logic @ 0V	+0.8V max	*
+Logic Input Current		
Hold Mode, +Logic @ +5V, -Logic @ 0V	1.5 $\mu A$	*
Sample Mode, -Logic @ 0V, -Logic @ 0V	1nA	*
-Logic Input Current		
Hold Mode, -Logic @ +5V, -Logic @ 0V	24 $\mu A$	*
Sample Mode, -Logic @ 0V, -Logic @ 0V	4 $\mu A$	*
Absolute Max Diff Input Voltage, +L to -L	+15V/-6V	*
Absolute Max Input Voltage, Either Input	$\pm V_S$	*
<b>POWER SUPPLY CHARACTERISTICS</b>		
Operating Voltage Range	$\pm 9V$ to $\pm 18V$	$\pm 9V$ to $\pm 22V$
Supply Current, $R_L = \infty$	4.5mA max (3mA typ)	*
Power Supply Rejection, $\Delta V_S = 5V$ , Sample Mode (see next page)	60dB min (75dB typ)	*
<b>TEMPERATURE RANGE</b>		
Specified Performance	0 to +70°C	-55°C to +125°C
Operating	-25°C to +85°C	-55°C to +125°C
Storage	-65°C to +150°C	*
Lead Temperature (Soldering, 15 sec)	+300°C	*

## OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).



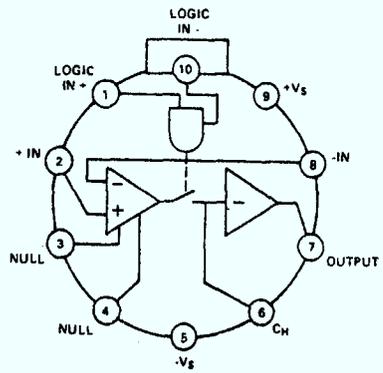
TO-100 "H"



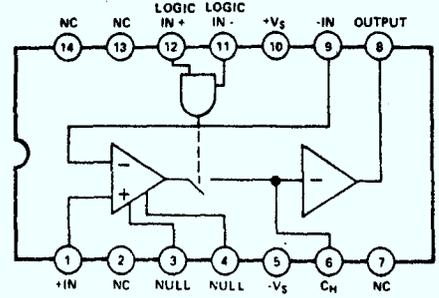
TO-116 "D"

## PIN CONFIGURATIONS

### TOP VIEW



10 PIN TO-100



14 PIN DIP

\*Specifications same as AD582K.  
Specifications subject to change without notice.

**APPLYING THE AD582**

Both the inverting and non-inverting inputs are brought out to allow op amp type versatility in connecting and using the AD582. Figure 1 shows the basic non-inverting unity gain connection requiring only an external hold capacitor and the usual power supply bypass capacitors. An offset null pot can be added for more critical applications.

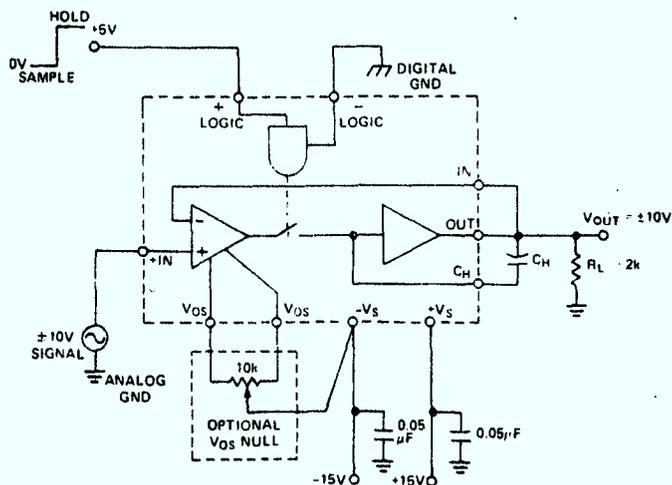


Figure 1. Sample and Hold with  $A = +1$

Figure 2 shows a non-inverting configuration where voltage gain,  $A_V$ , is set by a pair of external resistors. Frequency shaping or non-linear networks can also be used for special applications.

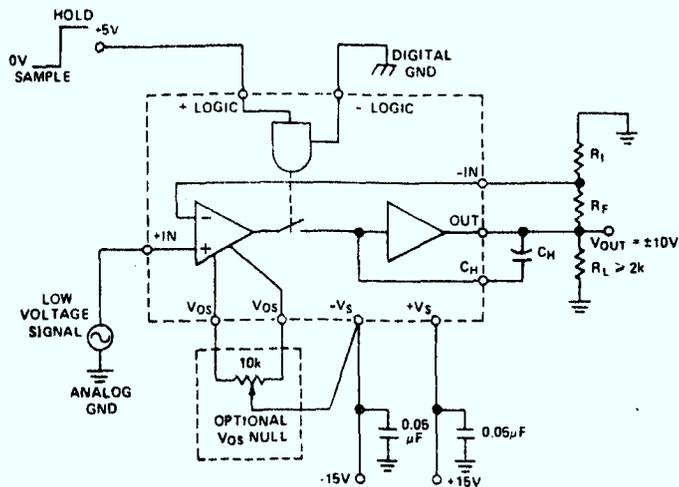


Figure 2. Sample and Hold with  $A = (1 + R_F/R_I)$

The hold capacitor,  $C_H$ , should be a high quality polystyrene (for temperatures below  $+85^\circ\text{C}$ ) or Teflon type with low dielectric absorption. For high speed, limited accuracy applications, capacitors as small as 100pF may be used. Larger values are required for accuracies of 12 bits and above in order to minimize feedthrough, sample to hold offset and droop errors (see Figure 6). Care should be taken in the circuit layout to minimize coupling between the hold capacitor and the digital or signal inputs.

In the hold mode, the output voltage will follow any change in the  $-V_S$  supply. Consequently, this supply should be well regulated and filtered.

Biasing the +Logic Input anywhere between  $-6\text{V}$  to  $-0.8\text{V}$  with respect to the -Logic will set the sample mode. The hold mode will result from any bias between  $+2.0\text{V}$  and  $(+V_S - 3\text{V})$ . The sample and hold modes will be controlled differentially with the absolute voltage at either logic input ranging from  $-V_S$  to within 3V of  $+V_S$  ( $V_S - 3\text{V}$ ). Figure 3 illustrates some examples of the flexibility of this feature.

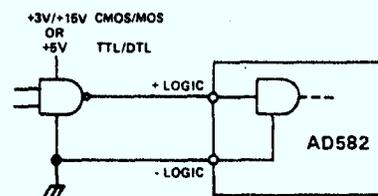


Figure 3A. Standard Logic Connection

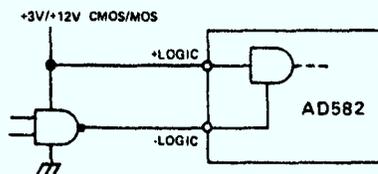


Figure 3B. Inverted Logic Sense Connection

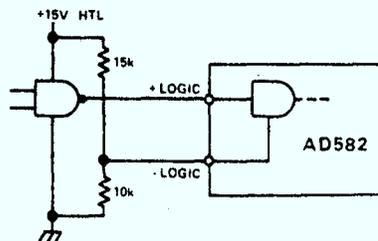


Figure 3C. High Threshold Logic Connection

**DEFINITION OF TERMS**

Figure 4 illustrates various dynamic characteristics of the AD582.

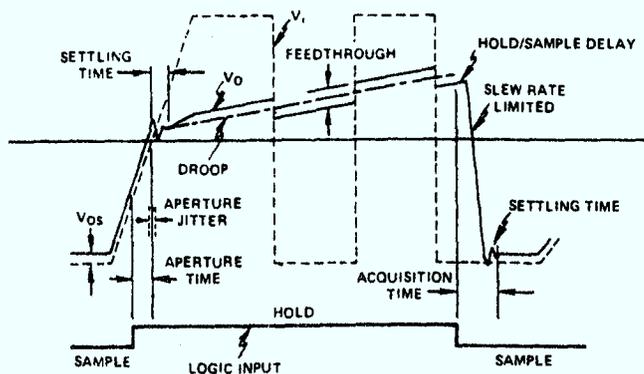


Figure 4. Pictorial Showing Various S/H Characteristics

*Aperture Time* is the time required after the "hold" command until the switch is fully open and produces a delay in the effective sample timing. Figure 5 is a plot giving the maximum frequency at which the AD582 can sample an input with a given accuracy (lower curve).

*Aperture Jitter* is the uncertainty in Aperture Time. If the Aperture Time is "tuned out" by advancing the sample-to-hold command 150ns with respect to the input signal, the Aperture Jitter now determines the maximum sampling frequency (upper curve of Figure 5).

*Acquisition Time* is the time required by the device to reach its final value within a given error band after the sample command has been given. This includes switch delay time, slewing time and settling time for a given output voltage change.

*Droop* is the change in the output voltage from the "held" value as a result of device leakage. In the AD582, droop can be in either the positive or negative direction. Droop rate may be calculated from droop current using the following formula:

$$\frac{\Delta V}{\Delta T} \text{ (Volts/sec)} = \frac{I \text{ (pA)}}{C_H \text{ (pF)}}$$

(See also Figure 6.)

*Feedthrough* is that component of the output which follows the input signal after the switch is open. As a percentage of the input, feedthrough is determined as the ratio of the feedthrough capacitance to the hold capacitance ( $C_F/C_H$ ).

*Charge Transfer* is the charge transferred to the holding capacitor from the interelectrode capacitance of the switch when the unit is switched to the hold mode. The charge transfer generates a sample-to-hold offset where:

$$\text{S/H Offset (V)} = \frac{\text{Charge (pC)}}{C_H \text{ (pF)}}$$

(See also Figure 6.)

*Sample to Hold Offset* is that component of D.C. offset independent of  $C_H$  (see Figure 6). This offset may be nulled using a null pot, however, the offset will then appear during the sampling mode.

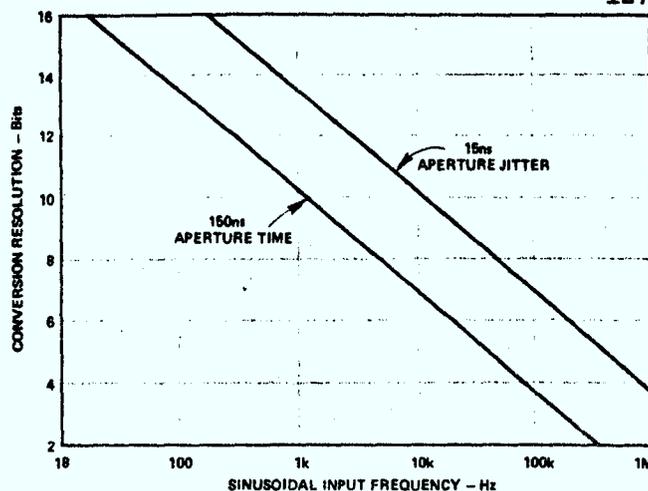


Figure 5. Maximum Frequency of Input Signal for 1/2 LSB Sampling Accuracy

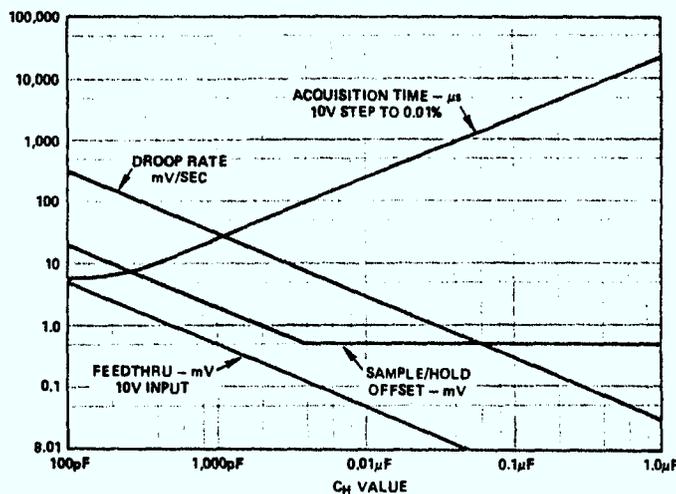


Figure 6. Sample and Hold Performance as a Function of Hold Capacitance

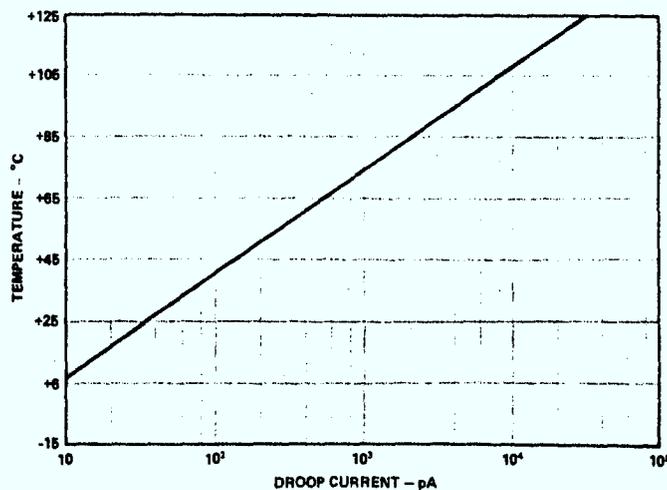


Figure 7. Droop Current vs. Temperature



# Pin Programmable Precision Voltage Reference

## PRELIMINARY TECHNICAL DATA

### FEATURES

- Four Programmable Output Voltages:  
10.000V, 7.500V, 5.000V, 2.500V
- Laser-Trimmed to High Accuracies
- No External Components Required
- Trimmed Temperature Coefficient:  
5ppm/°C max, 0 to +70°C (AD584LH)  
10ppm/°C max, -55°C to +125°C (AD584UH)
- Zero Output Strobe Terminal Provided
- Two Terminal Negative Reference  
Capability (5V & Above)
- Output Sources or Sinks Current
- Low Quiescent Current: 1.0mA max
- 10mA Current Output Capability
- Low Cost: \$3.50 (100's, AD584JH)

## PRODUCT DESCRIPTION

The AD584 is an eight-terminal precision voltage reference offering pin-programmable selection of four popular output voltages: 10.000V, 7.500V, 5.000V and 2.500V. Other output voltages, above, below or between the four standard outputs, are available by the addition of external resistors. Input voltage may vary between 4.5 and 40 volts.

Laser Wafer Trimming (LWT) is used to adjust the pin-programmable output levels and temperature coefficients, resulting in the most flexible high precision voltage reference available in monolithic form.

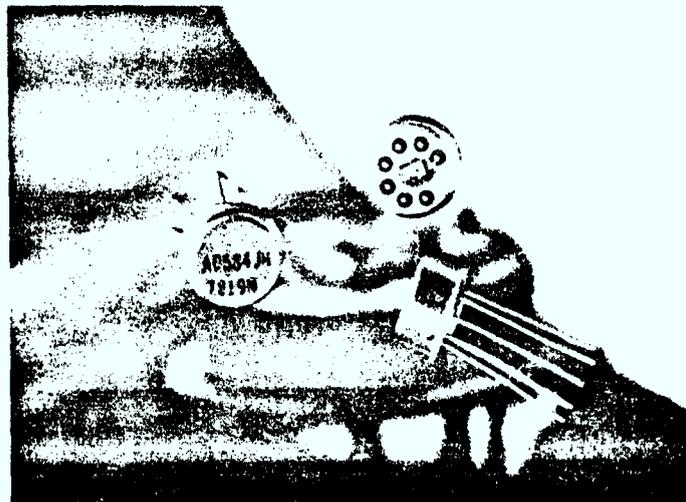
In addition to the programmable output voltages, the AD584 offers a unique strobe terminal which permits the device to be turned on or off. When the AD584 is used as a power supply reference, the supply can be switched off with a single, low-power signal. In the "off" state the current drain by the AD584 is reduced to about 100µA. In the "on" state the total supply current is typically 750µA including the output buffer amplifier.

The AD584 is recommended for use as a reference for 8, 10 or 12 bit D/A converters which require an external precision reference. The device is also ideal for all types of A/D converters of up to 14 bit accuracy, either successive approximation or integrating designs, and in general can offer better performance than that provided by standard self-contained references.

The AD584J, K, and L are specified for operation from 0 to +70°C; the AD584S, T, and U are specified for the -55°C to +125°C range. The AD581S, T, and U grades are also available processed to MIL-STD-883B, Level B. All grades are packaged in a hermetically-sealed eight-terminal TO-99 metal can.

\*COVERED BY U.S. PATENT NO. 3,887,863.

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.



## PRODUCT HIGHLIGHTS

1. The flexibility of the AD584 eliminates the need to design-in and inventory several different voltage references. Furthermore one AD584 can serve as several references simultaneously when buffered properly.
2. Laser trimming of both initial accuracy and temperature coefficient results in very low errors over temperature without the use of external components. The AD584LH has a maximum deviation from 10.000 volts of  $\pm 7.25$  mV from 0 to +70°C, while the AD584UH guarantees  $\pm 15$  mV maximum total error without external trims from -55°C to +125°C.
3. The AD584 can be operated in a two-terminal "Zener" mode at 5 volts output and above. By connecting the input and the output, the AD584 can be used in this "Zener" configuration as a negative reference.
4. The output of the AD584 is configured to sink or source currents. This means that small reverse currents can be tolerated in circuits using the AD584 without damage to the reference and without disturbing the output voltage (10V, 7.5V and 5V outputs).
5. Every AD584 is baked for 48 hours at +200°C, temperature cycled 10 times from -65°C to +150°C, and given a high-G shock test prior to final test to ensure reliability and long-term stability.

Route 1 Industrial Park; P.O. Box 280; Norwood, Mass. 02062  
 Tel: 617/329-4700 TWX: 710/394-6577  
 West Coast Mid-West Texas  
 213/595-1783 312/894-3300 214/231-5094

# SPECIFICATIONS (typical @ $V_{IN} = +15V$ and $+25^{\circ}C$ unless otherwise noted)

MODEL	AD584JH	AD584KH	AD584LH	AD584SH	AD584TH	AD584UH
<b>ABSOLUTE MAX RATINGS</b>						
Input Voltage $V_{IN}$ to Ground	40V	*	*	*	*	*
Power Dissipation <sup>(1)</sup> @ $+25^{\circ}C$	600mW	*	*	*	*	*
Operating Junction Temp. Range	$-55^{\circ}C$ to $+150^{\circ}C$	*	*	*	*	*
Storage Temperature Range	$-65^{\circ}C$ to $+175^{\circ}C$	*	*	*	*	*
Lead Temperature						
Soldering, 10sec)	$+300^{\circ}C$	*	*	*	*	*
Thermal Resistance						
Junction-to-Ambient	$150^{\circ}C/Watt$	*	*	*	*	*
Operating Temperature Range	$0$ to $+70^{\circ}C$	*	*	$-55^{\circ}C$ to $+125^{\circ}C$	**	**
<b>OUTPUT VOLTAGE TOLERANCE</b>						
Maximum Error <sup>1</sup> for Nominal Outputs of:						
10.000V	$\pm 30mV$	$\pm 10mV$	$\pm 5mV$	$\pm 30mV$	$\pm 10mV$	$\pm 5mV$
7.500V	$\pm 22mV$	$\pm 8mV$	$\pm 4mV$	$\pm 22mV$	$\pm 8mV$	$\pm 4mV$
5.000V	$\pm 15mV$	$\pm 6mV$	$\pm 3mV$	$\pm 15mV$	$\pm 6mV$	$\pm 3mV$
2.500V	$\pm 7.5mV$	$\pm 3.5mV$	$\pm 2.5mV$	$\pm 7.5mV$	$\pm 3.5mV$	$\pm 2.5mV$
<b>OUTPUT VOLTAGE CHANGE</b>						
Maximum Deviation from $+25^{\circ}C$ Value, $T_{min}$ to $T_{max}$ <sup>2</sup>						
10.000, 7.500, 5.000V Outputs	$30ppm/^{\circ}C$	$15ppm/^{\circ}C$	$5ppm/^{\circ}C$	$30ppm/^{\circ}C$	$15ppm/^{\circ}C$	$10ppm/^{\circ}C$
2.500V Output	$30ppm/^{\circ}C$	$15ppm/^{\circ}C$	$10ppm/^{\circ}C$	$30ppm/^{\circ}C$	$20ppm/^{\circ}C$	$15ppm/^{\circ}C$
Differential Temperature Coefficients Between Outputs	$5ppm/^{\circ}C$ typ	$3ppm/^{\circ}C$ typ	$3ppm/^{\circ}C$ typ	$5ppm/^{\circ}C$ typ	$3ppm/^{\circ}C$ typ	$3ppm/^{\circ}C$ typ
<b>QUIESCENT CURRENT</b>						
Temperature Variation	$1.0\mu A$ max $750\mu A$ typ	*	*	*	*	*
<b>TURN-ON SETTLING TIME TO 0.1%</b>						
	200 $\mu s$	*	*	*	*	*
<b>NOISE (0.1 to 10Hz)</b>						
	50 $\mu V$ p-p	*	*	*	*	*
<b>LONG-TERM STABILITY (Non-Cumulative)</b>						
	25ppm/1000 Hrs.	*	*	*	*	*
<b>SHORT CIRCUIT CURRENT</b>						
	30mA	*	*	*	*	*
<b>LINE REGULATION (No Load)</b>						
$15V \leq V_{IN} \leq 30V$	0.002%/V	*	*	*	*	*
$(V_{OUT} + 2.5V) \leq V_{IN} \leq 15V$	0.005%/V	*	*	*	*	*
<b>LOAD REGULATION</b>						
$0 \leq I_{OUT} \leq 5mA$ , All Outputs	50ppm/mA max (20ppm/mA typ)	*	*	*	*	*
<b>OUTPUT CURRENT</b>						
$V_{IN} \geq V_{OUT} + 2.5V$ Source @ $+25^{\circ}C$	10mA min	*	*	*	*	*
Source $T_{min}$ to $T_{max}$	5mA min	*	*	*	*	*
Sink $T_{min}$ to $T_{max}$	5mA min	*	*	200 $\mu A$ min	**	**
Sink $-55^{\circ}C$ to $+85^{\circ}C$				5mA min	**	**
<b>PRICE</b>						
1-24	\$4.95	\$9.95	\$17.50	\$13.50	\$19.95	\$33.00
25-99	\$4.15	\$8.20	\$13.50	\$11.00	\$15.50	\$25.50
100-999	\$3.50	\$6.50	\$10.95	\$ 7.95	\$12.95	\$19.95

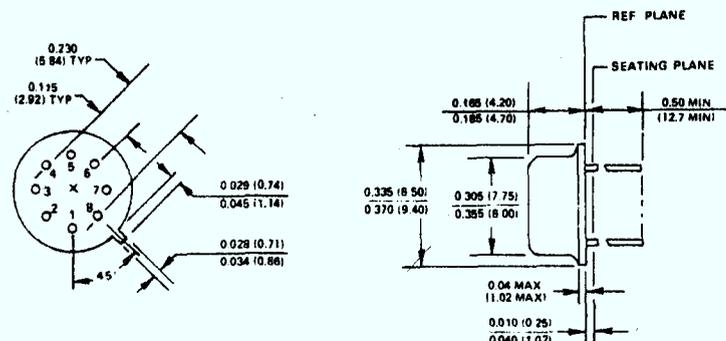
		AD584SH/883B	AD584TH/883B	AD584UH/883B
1-24	The AD584SH, TH, and UH are available with full processing to MIL-STD-883B, Class B.	\$17.50	\$23.95	\$40.00
25-99		\$14.00	\$18.50	\$32.00
100-999		\$10.50	\$15.50	\$22.50

\*Specifications same as AD584JH.  
 \*\*Specifications same as AD584SH.  
 1 At Pin 1.  
 2 Calculated as average over the operating temperature range.  
 Specifications and prices subject to change without notice.

## OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

### TO-99 CAN



**APPLYING THE AD584**

With power applied to pins 8 and 4 and all other pins open the AD584 will produce a buffered nominal 10.0V output between pins 1 and 4 (see Figure 1). The stabilized output voltage may be reduced to 7.5V, 5.0V or 2.5V by connecting the programming pins as follows:

OUTPUT VOLTAGE	PIN PROGRAMMING
7.5V	Join the 2.5V and 5.0V pins (2) and (3).
5.0V	Connect the 5.0V pin (2) to the output pin (1).
2.5V	Connect the 2.5V pin (3) to the output pin (1).

The options shown above are available without the use of any additional components. Multiple outputs using only one AD584, are also possible by simply buffering each voltage programming pin with a unity-gain noninverting op amp.

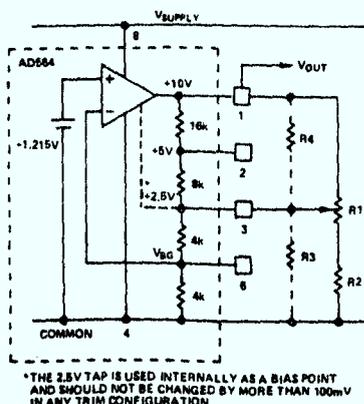


Figure 1. Variable Output Options

The AD584 can also be programmed over a wide range of output voltages, including voltages greater than 10V, by the addition of one or more external resistors. Figure 1 illustrates the general adjustment procedure, with approximate values given for the internal resistors of the AD584. The AD584 may be modeled as an op amp with a noninverting feedback connection, driven by a high stability 1.215 volt bandgap reference (see Figure 5 for schematic).

When the feedback ratio is adjusted with external resistors, the output amplifier can be made to multiply the reference voltage by almost any convenient amount, making popular outputs of 10.24V, 5.12V, 2.56V or 6.3V easy to obtain. The most general adjustment (which gives the greatest range and poorest resolution) uses R1 and R2 alone (see Figure 1). As R1 is adjusted to its upper limit the 2.5V pin 3 will be connected to the output, which will reduce to 2.5V. As R1 is adjusted to its lower limit, the output voltage will rise to a value limited by R2. For example, if R2 is about 6kΩ, the upper limit of the output range will be about 20V even for large values of R1. R2 should not be omitted; its value should be chosen to limit the output to a value which can be tolerated by the load circuits. If R2 is zero, adjusting R1 to its lower limit will result in a loss of control over the output voltage. If precision voltages are required to be set at levels other than the standard outputs, the 20% absolute tolerance in the internal resistor ladder must be accounted for.

Alternatively, the output voltage can be raised by loading the

2.5V tap with R3 alone. The output voltage can be lowered by connecting R4 alone. Either of these resistors can be a fixed resistor selected by test or an adjustable resistor. In all cases the resistors should have a low temperature coefficient to match the AD584 internal resistors, which have a negative T.C. less than 60ppm/°C. If both R3 and R4 are used, these resistors should have matched temperature coefficients.

When only small adjustments or trims are required, the circuit of Figure 2 offers better resolution over a limited trim range. The circuit can be programmed to 5.0V, 7.5V or 10V and adjusted by means of R1 over a range of about ±200mV. To trim the 2.5V output option, R2 (Figure 2) can be reconnected to the bandgap reference (pin 6). In this configuration, the adjustment should be limited to ±100mV in order to avoid affecting the performance of the AD584.

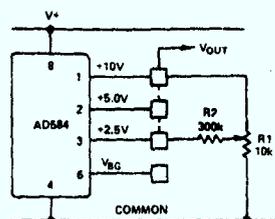


Figure 2. Output Trimming

**PIN DESIGNATION**

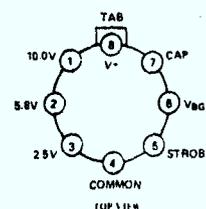
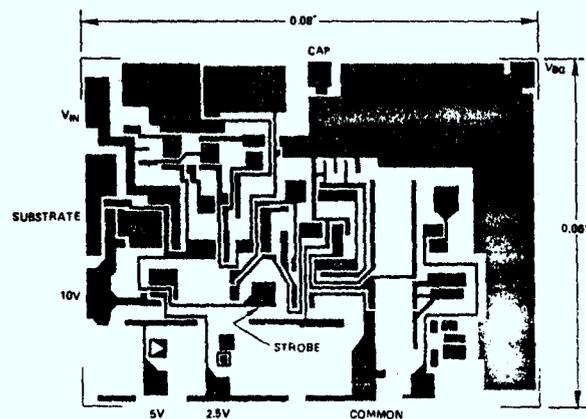


Figure 3. Pin Designations



THE AD584 IS ALSO AVAILABLE IN LASER-TRIMMED CHIP FORM WITH ALL SPECIFICATIONS GUARANTEED TO J-GRADE +25°C SPECIFICATIONS ONLY. THE CHIP HAS ADDITIONAL APPLICATION FLEXIBILITY NOT AVAILABLE IN THE EIGHT TERMINAL PACKAGED DEVICE. CONSULT FACTORY FOR FURTHER DETAILS.

Figure 4. Bonding Diagram

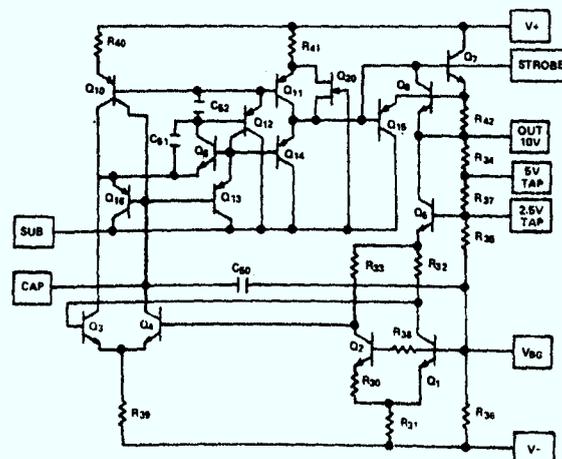


Figure 5. Schematic Diagram

# Performance of the AD584

## PERFORMANCE OVER TEMPERATURE

Each AD584 is tested at five temperatures over the  $-55^{\circ}\text{C}$  to  $-125^{\circ}\text{C}$  range to ensure that each device falls within the Maximum Error Band (see Figure 6) specified for a particular grade (i.e., S, T, or U grades); three-point measurement guarantees performance within the error band from 0 to  $+70^{\circ}\text{C}$ . (i.e., J, K, or L grades). The error band guaranteed for the AD584 is the maximum deviation from the initial value at  $+25^{\circ}\text{C}$ . Thus, given the grade of the AD584, the designer can easily determine the maximum total error from initial tolerance plus temperature variation. For example, for the AD584T, the initial tolerance is  $\pm 10\text{mV}$  and the error band is  $\pm 15\text{mV}$ . Hence, the unit is guaranteed to be 10.000 volts  $\pm 25\text{mV}$  from  $-55^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ .

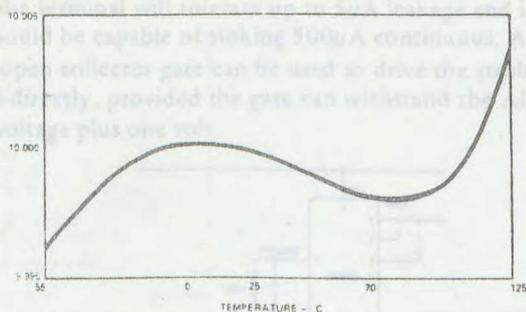


Figure 6. Typical Temperature Characteristic

## OUTPUT CURRENT CHARACTERISTICS

The AD584 has the capability to either source or sink current and provide good load regulation in either direction, although it has better characteristics in the source mode (positive current into the load). The circuit is protected for shorts to either positive supply or ground. The output voltage vs. output current characteristics of the device is shown in Figure 7. Source current is displayed as negative current in the figure; sink current is positive. Note that the short circuit current (i.e., zero volts output) is about 28mA; when shorted to +15 volts, the sink current goes to about 20mA.

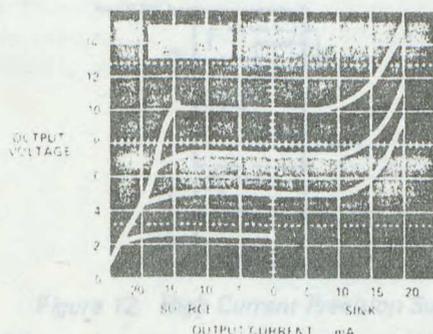


Figure 7. AD584 Output Voltage vs. Sink and Source Current

## DYNAMIC PERFORMANCE

Many low power instrument manufacturers are becoming increasingly concerned with the turn-on characteristics of the components being used in their systems. Fast turn-on components often enable the end user to keep power off when not needed, and yet respond quickly when the power is turned on for a measurement. Figure 8 displays the turn-on characteristic of the AD584. Figure 8A is generated from cold-start operation

and represents the true turn-on waveform after an extended period with the supplies off. The figure shows both the coarse and fine transient characteristics of the device; the total settling time to within  $\pm 1$  millivolt is about  $180\mu\text{s}$ , and there is no long thermal tail appearing after the point. Figure 8B demonstrates the settling characteristics using the strobe input (see Figure 11). Without compensation, the output of the AD584 typically settles within  $225\mu\text{s}$ . With a 90pF capacitor across pins (5) and (3), critical damping is approximated, as shown in Figure 8B, with settling times  $< 5\mu\text{s}$ .

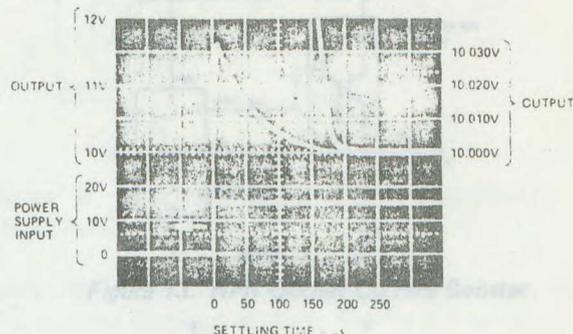


Figure 8a. Output Settling Characteristic

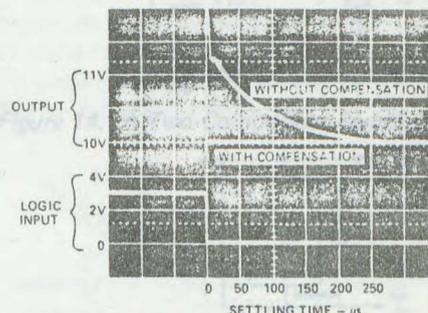


Figure 8b. Output Settling Characteristic

## NOISE FILTERING

The bandwidth of the output amplifier in the AD584 can be reduced to filter the output noise. A capacitor ranging between  $0.01\mu\text{F}$  and  $0.1\mu\text{F}$  connected between the Cap and  $V_{BG}$  terminals will further reduce the wideband and feedthrough noise in the output of the AD584, as shown in Figure 10.

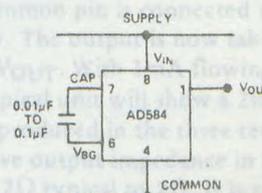


Figure 9. Additional Noise Filtering with an External Capacitor

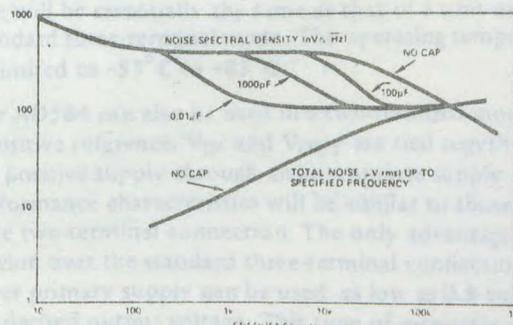


Figure 10. Spectral Noise Density and Total rms Noise vs. Frequency

### USING THE STROBE TERMINAL

The AD584 has a strobe input which can be used to zero the output. This unique feature permits a variety of new applications in signal and power conditioning circuits.

Figure 11 illustrates the strobe connection. A simple NPN switch can be used to translate a TTL logic signal into a strobe of the output. The AD584 operates normally when there is no current drawn from pin 5. Bringing this terminal low, to less than 200mV, will allow the output voltage to go to zero. In this mode the AD584 should not be required to source or sink current (unless a 0.7V residual output is permissible). If the AD584 is required to sink a transient current while strobed off, the strobe terminal input current should be limited by a 100Ω resistor as shown in Figure 11.

The strobe terminal will tolerate up to 5μA leakage and its driver should be capable of sinking 500μA continuous. A low leakage open collector gate can be used to drive the strobe terminal directly, provided the gate can withstand the AD584 output voltage plus one volt.

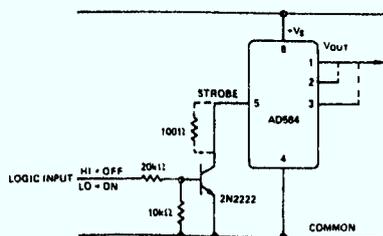


Figure 11. Use of the Strobe Terminal

### PRECISION HIGH CURRENT SUPPLY

The AD584 can be easily connected to a power PNP or power Darlington PNP device to provide much greater output current capability. The circuit shown in Figure 12 delivers a precision 10 volt output with up to 4 amperes supplied to the load. The 0.1μF capacitor is required only if the load has a significant capacitive component. If the load is purely resistive, improved high frequency supply rejection results from removing the capacitor.

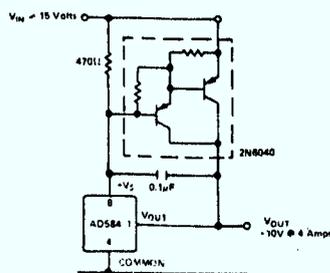


Figure 12. High Current Precision Supply

The AD584 can also use an NPN or Darlington NPN transistor to boost its output current. Simply connect the 10V output terminal of the AD584 to the base of the NPN booster and take the output from the booster emitter as shown in Figure 13. The 5.0V or 2.5V pin must connect to the actual output in this configuration. Variable or adjustable outputs (as shown in Figures 1 and 2) may be combined with +5.0V connection to obtain outputs above +5.0V.

### THE AD584 AS A CURRENT LIMITER

The AD584 represents an alternative to current limiter diodes which require factory selection to achieve a desired current.

Use of current limiting diodes often results in temperature coefficients of 1%/°C. Use of the AD584 in this mode is not limited to a set current limit; it can be programmed from 0.75 to 5mA with the insertion of a single external resistor (see Figure 14). Of course, the minimum voltage required to drive the connection is 5 volts.

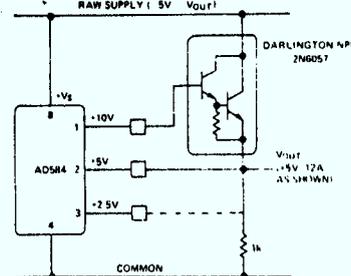


Figure 13. NPN Output Current Booster

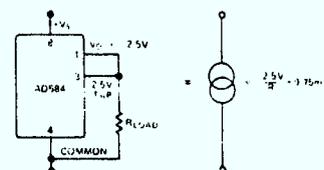


Figure 14. A Two-Component Precision Current Limiter

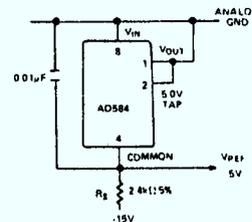


Figure 15. Two-Terminal -5 Volt Reference

### NEGATIVE REFERENCE VOLTAGES FROM AN AD584

The AD584 can also be used in a two-terminal "zener" mode to provide a precision -10, -7.5 or -5.0 volt reference. As shown in Figure 15, the  $V_{IN}$  and  $V_{OUT}$  terminals are connected together to the positive supply (in this case, ground). The AD584 common pin is connected through a resistor to the negative supply. The output is now taken from the common pin instead of  $V_{OUT}$ . With 1mA flowing through the AD584 in this mode, a typical unit will show a 2mV increase in output level over that produced in the three-terminal mode. Note also that the effective output impedance in this connection increases from 0.2Ω typical to 2Ω. It is essential to arrange the output load and the supply resistor,  $R_S$ , so that the net current through the AD584 is always between 1 and 5mA. The temperature characteristics and long-term stability of the device will be essentially the same as that of a unit used in the standard three-terminal mode. The operating temperature range is limited to -55°C to +85°C.

The AD584 can also be used in a two-terminal mode to develop a positive reference.  $V_{IN}$  and  $V_{OUT}$  are tied together and to the positive supply through an appropriate supply resistor. The performance characteristics will be similar to those of the negative two-terminal connection. The only advantage of this connection over the standard three-terminal connection is that a lower primary supply can be used, as low as 0.5 volts above the desired output voltage. This type of operation will require considerable attention to load and primary supply regulation to be sure the AD584 always remains within its regulating range of 1 to 5mA.

### 10 VOLT REFERENCE WITH MULTIPLYING CMOS D/A OR A/D CONVERTERS

The AD584 is ideal for application with the entire AD7520 series of 10- and 12-bit multiplying CMOS D/A converters, especially for low power applications. It is equally suitable for the AD7570 10-bit A/D converter. In the standard hook-up, as shown in Figure 16, the standard output voltages are inverted by the amplifier/DAC configuration to produce converted voltage ranges. For example, a +10V reference produces a 0 to -10V range. If an AD308 amplifier is used, total quiescent supply current will typically be 2mA. If a 0 to +10 volt full scale range is desired, the AD584 can be connected to the CMOS DAC in its -10 volt "zener" mode, as shown in Figure 18 (the -10V<sub>REF</sub> output is connected directly to the V<sub>REF IN</sub> of the CMOS DAC). The AD584 will normally be used in the -10 volt mode with the AD7570 to give a 0 to +10 volt ADC range. This is shown in Figure 18. Bipolar output applications and other operating details can be found in the data sheets for the CMOS products.

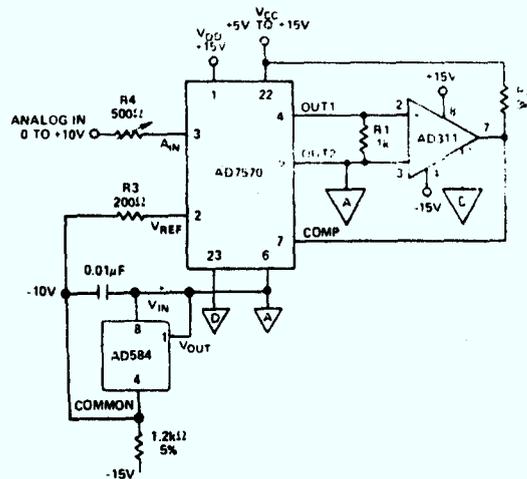


Figure 18. AD584 as Negative 10 Volt Reference for CMOS ADC

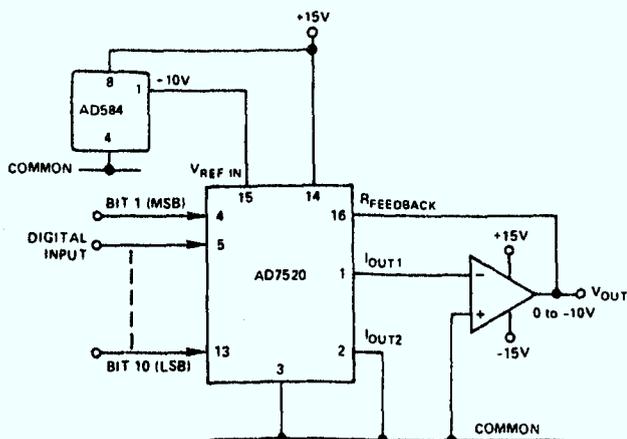


Figure 16. Low Power 10-Bit CMOS DAC Application

### PRECISION D/A CONVERTER REFERENCE

The AD562, like many D/A converters, is designed to operate with a +10 volt reference element (Figure 17). In the AD562, this 10 volt reference voltage is converted into a reference current of approximately 0.5mA via the internal 19.95kΩ resistor (in series with the external 100Ω trimmer). The gain temperature coefficient of the AD562 is primarily governed by the temperature tracking of the 19.95kΩ resistor and the 5k/10k span resistors; this gain T.C. is guaranteed to 3ppm/°C. Thus, using the AD584L (at 5ppm/°C) as the 10 volt reference

guarantees a maximum full scale temperature coefficient of 8ppm/°C over the commercial range. The 10 volt reference also supplies the normal 1mA bipolar offset current through the 9.95k bipolar offset resistor. The bipolar offset T.C. thus depends only on the T.C. matching of the bipolar offset resistor to the input reference resistor and is guaranteed to 3ppm/°C. Figure 19 demonstrates the flexibility of the AD584 applied to another popular D/A configuration.

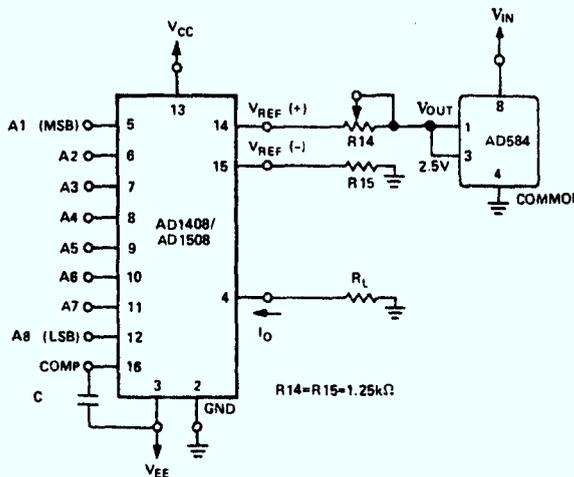


Figure 19. Current Output 8-Bit D/A

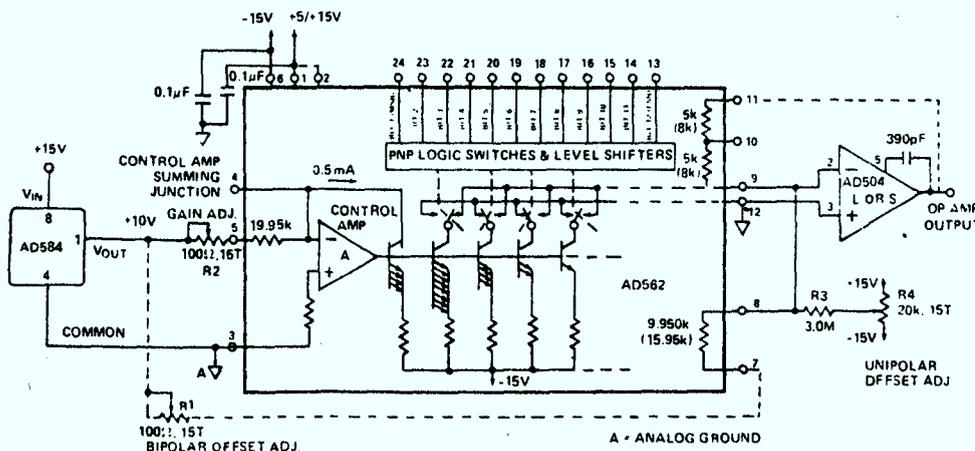
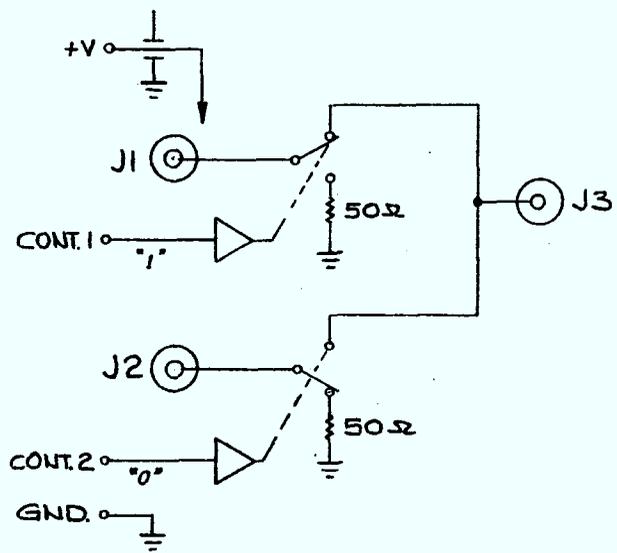
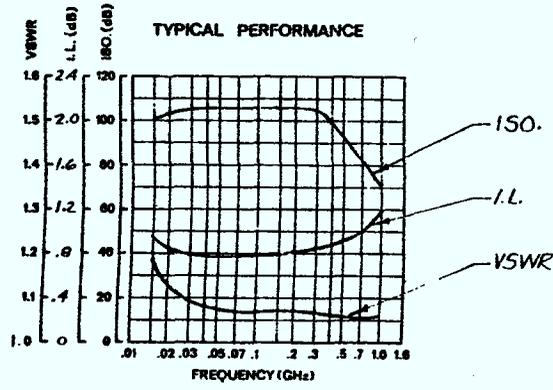
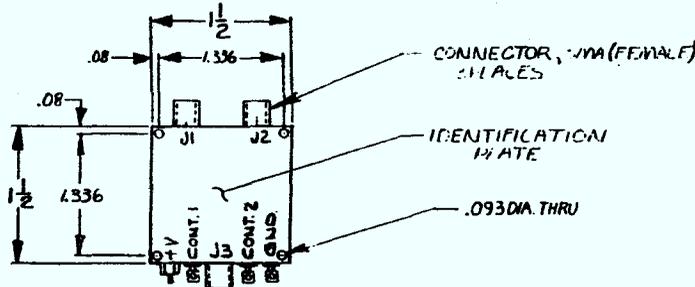


Figure 17. Precision 12-Bit D/A Converter

THE INFORMATION DISCLOSED HEREIN WAS ORIGINATED BY AND IS THE PROPERTY OF DAICO INDUSTRIES, AND EXCEPT FOR RIGHTS EXPRESSLY GRANTED TO THE UNITED STATES GOVERNMENT, DAICO INDUSTRIES RECEIVES ALL PATENT, PROPRIETARY, DESIGN, USE, SALE, MANUFACTURING AND REPRODUCTION RIGHTS THEREON.

REVISIONS				
LTR	DESCRIPTION	BY	DATE	APPROVED



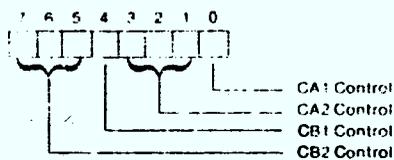
- 13 2ND ORDER I.P. TYP: 20MHZ, +61 DBM; 87 MHZ, +78 DBM; 150 MHZ, +86 DBM
  - 12 3RD ORDER I.P. TYP: 20 MHZ, +38 DBM; 87 MHZ, +45 DBM; 150 MHZ, +50 DBM
  - 11 POWER: +10V TO +15V AT 2.4 MA NOM, 3MA MAX
  - 10 SWITCHING TRANSIENTS: 1 VOLT PEAK MAX
  - 9 R.F. TRANSITION TIME 1.5 USEC NOM. ON OR OFF
  - 8 SWITCHING FEED: 2 USEC "OFF" MAX, 20 USEC "ON" MAX
  - 7 CONTROL: 2 LINE CMDS OR OPEN COLLECTION TTL WITH PULL-UP TO PDS SUPPLY. LOGIC "1" ON, LOGIC "0" OFF
  - 6 INSERTION LOSS: 15-200 MHZ, 0.9 DB MAX  
200-500 MHZ, 1.2 DB MAX  
500-1000 MHZ, 1.5 DB MAX.
  - 5 ISOLATION: 15-100 MHZ, 90 DB MIN 400-800 MHZ, 65 DB MIN.  
100-200 MHZ, 85 DB MIN 800-1000 MHZ, 60 DB MIN.  
200-400 MHZ, 75 DB MIN
  - 4 VSWR: 1.5/1 MAX, 15-1000 MHZ: 1.2/1 MAX, 20-800 MHZ
  - 3 IMPEDANCE: 50 OHMS NOM.
  - 2 R.F. POWER: 15-20 MHZ: +8 DBM MAX. 40-80 MHZ: +20 DBM MAX.  
20-40 MHZ: +13 DBM MAX. 80-1000 MHZ: +22 DBM MAX.
  - 1 FREQUENCY: 15-1000 MHZ
- NOTES. UNLESS OTHERWISE SPECIFIED

NOTES: UNLESS OTHERWISE SPECIFIED

NEXT ASSY	USED ON	NEXT ASSY	FINAL ASSY
APPLICATION		QTY REQD	

ITEM No.	PART NUMBER	PART DESCRIPTION	MATL SIZE	MATL SPEC
QTY REQD PER NOTED ASSY				
LIST OF MATERIALS				
DIMENSIONS ARE IN INCHES				
FRACTIONS DECIMALS ANGLES				
± 1/32 ± .005 ± .010 ± 1°				
REMOVE BURRS AND SHARP EDGES .015 MAX				
ALL MACHINED SURFACES				
USAS 9-60.1-62				
MEET DIM. BEFORE PLATING				
MFG REL				
MATERIAL				
FINISH				
SIZE CODE IDENT NO. DWG NO. REV.				
C 28983 100C1292				
SCALE 1/1 WT - CALC SHEET 1 OF 1				

REV B↑ 100C1292



**CA1 CONTROL**  
 PCR0 = 0 The CA1 Interrupt Flag (IFR1) will be set by a negative transition (high to low) on the CA1 pin.  
 = 1 The CA1 Interrupt Flag (IFR1) will be set by a positive transition (low to high) on the CA1 pin.

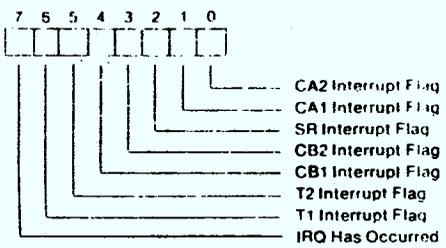
**CA2 CONTROL**

PCR3	PCR2	PCR1	Mode
0	0	0	CA2 negative edge interrupt (IFR0/ORC clear) mode — Set CA2 interrupt flag (IFR0) on a negative transition of the CA2 input signal. Clear IFR0 on a read or write of the ORC or by writing logic 1 into IFR0.
0	0	1	CA2 negative edge interrupt (IFR0 clear) mode — Set IFR0 on a negative transition of the CA2 input signal. Clear IFR0 by writing logic 1 into IFR0.
0	1	0	CA2 positive edge interrupt (IFR0/ORC clear) mode — Set CA2 interrupt flag (IFR0) on a positive transition of the CA2 input signal. Clear IFR0 on a read or write of the ORC or by writing logic 1 into IFR0.
0	1	1	CA2 positive edge interrupt (IFR0 clear) mode — Set IFR0 on a positive transition of the CA2 input signal. Clear IFR0 by writing logic 1 into IFR0.
1	0	0	CA2 handshake output mode — Set CA2 output low on a read or write of the Peripheral A Output Register. Reset CA2 high with an active transition on CA1.
1	0	1	CA2 pulse output mode — CA2 goes low for one cycle following a read or write of the Peripheral A Output Register.
1	1	0	CA2 low output mode — The CA2 output is held low in this mode.
1	1	1	CA2 high output mode — The CA2 output is held high in this mode.

**CB1 CONTROL**  
 PCR4 = 0 The CB1 Interrupt Flag (IFR4) will be set by a negative transition (high to low) on the CB1 pin.  
 = 1 The CB1 Interrupt Flag (IFR4) will be set by a positive transition (low to high) on the CB1 pin.

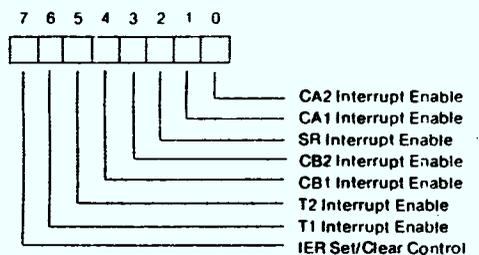
**CB2 CONTROL**

PCR7	PCR6	PCR5	Mode
0	0	0	CB2 negative edge interrupt (IFR3/ORB clear) mode — Set CB2 interrupt flag (IFR3) on a negative transition of the CB2 input signal. Clear IFR3 on a read or write of the ORB or by writing logic 1 into IFR3.
0	0	1	CB2 negative edge interrupt (IFR3 clear) mode — Set IFR3 on a negative transition of the CB2 input signal. Clear IFR3 by writing logic 1 into IFR3.
0	1	0	CB2 positive edge interrupt (IFR3/ORB clear) mode — Set CB2 interrupt flag (IFR3) on a positive transition of the CB2 input signal. Clear IFR3 on a read or write of the ORB or by writing logic 1 into IFR3.
0	1	1	CB2 positive edge interrupt (IFR3 clear) mode — Set IFR3 on a positive transition of the CB2 input signal. Clear IFR3 by writing logic 1 into IFR3.
1	0	0	CB2 handshake output mode — Set CB2 output low on a read or write of the Peripheral A Output Register. Reset CB2 high with an active transition on CB1.
1	0	1	CB2 pulse output mode — CB2 goes low for one cycle following a read or write of the Peripheral A Output Register.
1	1	0	CB2 low output mode — The CB2 output is held low in this mode.
1	1	1	CB2 high output mode — The CB2 output is held high in this mode.



IFR Bit	Set By	Cleared By
0	Active transition on CA2	Reading or writing the ORC (SA001 or SA00F)
1	Active transition on CA1	Reading or writing the ORC (SA001 or SA00F)
2	Completion of eight shifts	Reading or writing the SR (SA00A)
3	Active transition on CB2	Reading or writing the ORB (SA000)
4	Active transition on CB1	Reading or writing the ORB (SA000)
5	Time-out of Timer 2	Reading T2C-L (SA008) or writing T2C-H (SA009)
6	Time-out of Timer 1	Reading T1C-L (SA004) or writing T1C-H (SA005 or SA007)
7	Any IFR bit set with its corresponding IER bit also set	Clearing IFR0-IFR6 (SA00D) or IER0-IER6 (SA00E)

**R6522 INTERRUPT ENABLE REGISTER (IER)**



**INTERRUPT ENABLE BITS (IER0-6)**  
 IERn = 0 Disable interrupt  
 = 1 Enable interrupt

**IER SET/CLEAR CONTROL (IER7)**  
 IER7 = 0 For each data bus bit set to logic 1, clear corresponding IER bit.  
 = 1 For each data bus bit set to logic 1, set corresponding IER bit.

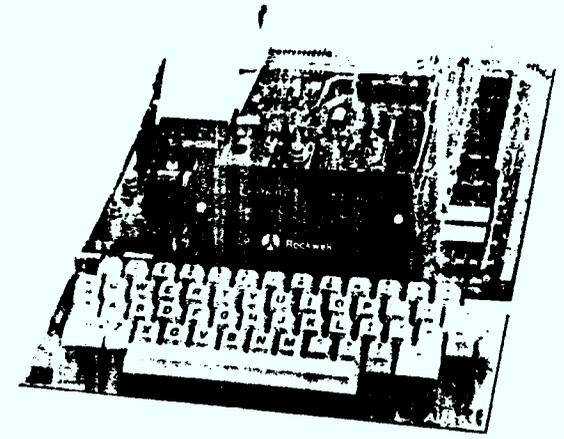
Note: IER7 is active only when  $R/\overline{W} = L$ ; when  $R/\overline{W} = H$ , IER7 will read logic 1.



# Rockwell

## AIM 65

### Summary Card



**Rockwell Microelectronic Devices**  
**Sales Offices**

**WESTERN REGION, U.S.A.**  
 3310 Miraloma Avenue  
 P.O. Box 9669  
 Anaheim, CA 92803  
 Phone (714) 632-3698

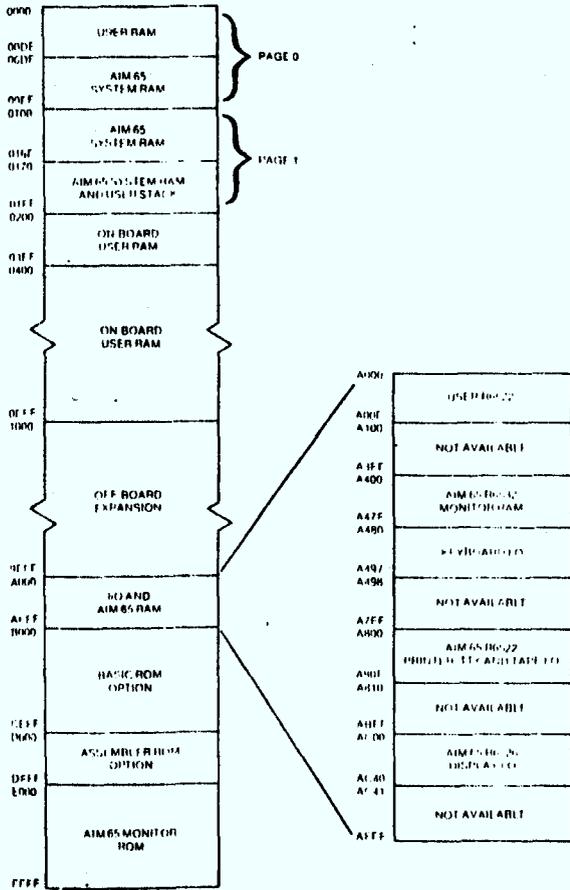
**CENTRAL REGION, U.S.A.**  
 Contact Robert O. Whitesell & Associates  
 6891 East Washington Street  
 Indianapolis, Indiana 46219  
 Attn: Milt Gamble, Mgr.  
 Phone: (317) 359-9283

**EASTERN REGION, U.S.A.**  
 Caroler Office Building  
 850-870 U.S. Route 1  
 North Brunswick, New Jersey 08902  
 Phone (201) 246-3630

**FAR EAST**  
 Rockwell International Overseas Corp.  
 Ichiban cho Central Building  
 22-1 Ichiban cho, Chiyoda-ku  
 Tokyo 102, Japan  
 Phone: 265-8808

**MIDWEST REGION, U.S.A.**  
 1011 E. Touhy — Suite 245  
 Des Plaines, Illinois 60018  
 Phone (312) 297-8882

**EUROPE**  
 Rockwell International GmbH  
 Microelectronic Devices  
 Fraunhoferstrasse 11  
 D 8033 Munchen-Martinried  
 Germany  
 Phone (089) 859 9575



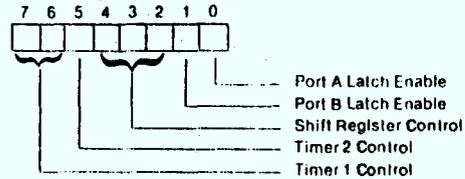
**AIM 63 USER-ALTERABLE ADDRESSES**

Location	Name	Bytes	Description
0108	UIN	2	Vector to User Input Handler
010A	UOUT	2	Vector to User Output Handler
010C	KEYF1	3	JMP to User Function 1
010F	KEYF2	3	JMP to User Function 2
0112	KEYF3	3	JMP to User Function 3
A400	IROV4	2	Vector to IRQ after Monitor Interrupt Routine
A402	NMIV2	2	Vector to NMI Interrupt Routine
A404	IRQV2	2	Vector to IRQ Interrupt Routine
A406	DILINK	2	Vector to Display Routine
A408	TSPEED	1	Audio Tape Speed Default = \$C7 (AIM 65) Options = \$5A (KIM-1 x 1) \$5B (KIM-1 x 3)
A409	GAP	1	Audio Tape Gap Default = \$08 = 32 SYN characters Option = \$80 for Assembler input & Editor update

**PORT MEMORY ASSIGNMENTS**

Location	Function
A000	Port B Output Data Register (ORB)
A001	Port A Output Data Register (ORA) Controls handshake
A002	Port B Data Direction Register (DDRB) 0 = Input
A003	Port A Data Direction Register (DDRA) 1 = Output
	Timer R/W = L R/W = H
A004	T1 Write T1L-L Read T1C-L
	Clear T1 Interrupt Flag Read T1C-H
A005	T1 Write T1L-H & T1C-H T1L-L → T1C-L
	Clear T1 Interrupt Flag Read T1L-L
A006	T1 Write T1L-L Read T1L-H
A007	T1 Write T1L-H Clear T1 Interrupt Flag
A008	T2 Write T2L-L Read T2C-L
	Clear T2 Interrupt Flag Read T2C-H
A009	T2 Write T2C-H T2L-L → T2C-L
	Clear T2 Interrupt Flag
A00A	Shift Register (SR)
A00B	Auxiliary Control Register (ACR)
A00C	Peripheral Control Register (PCR)
A00D	Interrupt Flag Register (IFR)
A00E	Interrupt Enable Register (IER)
A00F	Port A Output Data Register (ORA) No effect on handshake

**R6522 AUXILIARY CONTROL REGISTER (ACR)**



**PORT A LATCH ENABLE**

ACR0 = 1 Port A latch is enabled to latch input data when CA1 Interrupt Flag (IFR1) is set.  
 = 0 Port A latch is disabled, reflects current data on PA pins

**PORT B LATCH ENABLE**

ACR1 = 1 Port B latch is enabled to latch the voltage on the pins for the input lines or the ORB contents for the output lines when CB1 Interrupt Flag (IFR4) is set.  
 = 0 Port B latch is disabled, reflects current data on PB pins.

**SHIFT REGISTER CONTROL**

ACR4	ACR3	ACR2	Mode
0	0	0	Shift Register Disabled.
0	0	1	Shift in under control of Timer 2.
0	1	0	Shift in under control of a2.
0	1	1	Shift in under control of external clock.
1	0	0	Free-running output at rate determined by Timer 2.
1	0	1	Shift out under control of Timer 2.
1	1	0	Shift out under control of a2.
1	1	1	Shift out under control of external clock.

**TIMER 2 CONTROL**

ACR5 = 0 T2 acts as an interval timer in the one-shot mode.  
 = 1 T2 counts a predetermined number of pulses on PB6.

**TIMER 1 CONTROL**

ACR7	ACR6	Mode
0	0	T1 one-shot mode — Generate a single time-out interrupt each time T1 is loaded. Output to PB7 disabled.
0	1	T1 free-running mode — Generate continuous interrupts. Output to PB7 disabled.
1	0	T1 one-shot mode — Generate a single time-out interrupt and an output pulse on PB7 each time T1 is loaded.
1	1	T1 free-running mode — Generate continuous interrupts and a square wave output on PB7.

R6500 INSTRUCTION SET

MNEMONIC	OPERATION	IMMEDIATE		ABSOLUTE		ZERO PAGE		ACCUM		IMPLD		IMB, B	
		OP n #	OP n #	OP n #	OP n #	OP n #	OP n #	OP n #	OP n #	OP n #	OP n #	OP n #	OP n #
ADC	A + M - C - A (4) (1)	00	2 2	0D	4 3	0E	3 2						51 6 2
AND	AAM - A (1)	20	2 2	2D	4 3	2E	3 2						21 6 2
ASL	C - $\frac{C}{2}$ - 0			0E	6 3	0F	5 2	0A	2 1				
BCC	BRANCH ON C = 0 (2)												
BCS	BRANCH ON C = 1 (2)												
BEQ	BRANCH ON Z = 1 (2)												
BIF	AAM			2C	4 3	24	3 2						
BMI	BRANCH ON N = 1 (2)												
BNE	BRANCH ON Z = 0 (2)												
BPL	BRANCH ON N = 0 (2)												
BRK	BREAK (See Fig. 1)									00	7 1		
BVC	BRANCH ON V = 0 (2)												
BVS	BRANCH ON V = 1 (2)												
CLC	0 - C									16	2 1		
CLD	0 - D									08	2 1		
CLI	0 - I									50	2 1		
CLV	0 - V									08	2 1		
CMP	A - M	09	2 2	0D	4 3	0E	3 2					C1	6 2
CPX	X - M	09	2 2	0C	4 3	04	3 2						
CPY	Y - M	09	2 2	0C	4 3	04	3 2						
DEC	M - 1 - M			0E	6 3	0F	5 2						
DEX	X - 1 - X									CA	2 1		
DEY	Y - 1 - Y									08	2 1		
EOR	AVM - A (1)	48	2 2	4D	4 3	4E	3 2					41	6 2
INC	M + 1 - M			0E	6 3	0F	5 2						
INX	X + 1 - X									E8	2 1		
INY	Y + 1 - Y									00	2 1		
JMP	JUMP TO NEW LOC			4C	3 3								
JSR	JUMP SUB (See Fig. 2)			20	8 3								
LDA	M - A (1)	A0	2 2	AD	4 3	A5	3 2					A1	6 2
LDX	M - X (1)	A2	2 2	AE	4 3	A8	3 2						
LDY	M - Y (1)	A0	2 2	AC	4 3	A4	3 2						
LDR	0 - $\frac{C}{2}$ - C			0E	6 3	0F	5 2	0A	2 1				
NOP	NO OPERATION									EA	2 1		
ORA	AVM - A	08	2 2	0D	4 3	0E	3 2					01	6 2
PHA	A - M <sub>0</sub> S - 1 - S									48	3 1		
PHP	P - M <sub>0</sub> S - 1 - S									08	3 1		
PLA	S + 1 - S M <sub>0</sub> - A									08	4 1		
PLP	S + 1 - S M <sub>0</sub> - P									28	4 1		
RDL	$\frac{C}{2}$ - $\frac{C}{2}$ - C			2E	6 3	2F	5 2	2A	2 1				
ROR	$\frac{C}{2}$ - $\frac{C}{2}$ - C			0E	6 3	0F	5 2	0A	2 1				
RTI	RTN INT (See Fig. 1)									40	6 1		
RTS	RTN SUB (See Fig. 2)									60	6 1		
SBC	A - M - C - A (1)	09	2 2	0D	4 3	0E	3 2					E1	6 2
SEC	1 - C									38	2 1		
SED	1 - D									F8	2 1		
SEI	1 - I									78	2 1		
STA	A - M			0D	4 3	0E	3 2					01	6 2
STX	X - M			0E	4 3	0F	3 2						
STY	Y - M			0C	4 3	04	3 2						
TAX	A - X									AA	2 1		
TAY	A - Y									AB	2 1		
TSX	S - X									BA	2 1		
TXA	X - A									BA	2 1		
TXS	X - S									BA	2 1		
TYA	Y - A									00	2 1		

(1) ADD 1 TO 'N' IF PAGE BOUNDARY IS CROSSED  
 (2) ADD 1 TO 'N' IF BRANCH OCCURS TO SAME PAGE  
 ADD 2 TO 'N' IF BRANCH OCCURS TO DIFFERENT PAGE  
 (3) CARRY NOT - BOUNDARY  
 (4) IF IN DECIMAL MODE Z FLAG IS INVALID  
 ACCUMULATOR MUST BE CHECKED FOR ZERO RESULT

OP n #	Z PAGE, X	ABS. X	ABS. Y	RELATIVE	INDIRECT	Z PAGE, Y	PROCESSOR STATUS CODES								MNEMONIC					
							N	V	B	D	Z	C	I	S						
71	5 2	76	4 2	7D	4 3	7B	4 3					N	V	B	D	Z	C	I	S	ADC
31	5 2	36	4 2	3D	4 3	3B	4 3					N	V	B	D	Z	C	I	S	AND
		16	6 2	1E	7 3							N	V	B	D	Z	C	I	S	ASL
						80	2 2					N	V	B	D	Z	C	I	S	BCC
						80	2 2					N	V	B	D	Z	C	I	S	BCS
						F0	2 2					N	V	B	D	Z	C	I	S	BEQ
						30	2 2					M <sub>7</sub>	M <sub>6</sub>	B	D	Z	C	I	S	BIF
						80	2 2					N	V	B	D	Z	C	I	S	BMI
						10	2 2					N	V	B	D	Z	C	I	S	BNE
						10	2 2					N	V	B	D	Z	C	I	S	BPL
						50	2 2					N	V	B	D	Z	C	I	S	BRK
						70	2 2					N	V	B	D	Z	C	I	S	BVC
												N	V	B	D	Z	C	I	S	BVS
												N	V	B	D	Z	C	I	S	CLC
												N	V	B	D	Z	C	I	S	CLD
												N	V	B	D	Z	C	I	S	CLI
												N	V	B	D	Z	C	I	S	CLV
D1	5 2	D5	4 2	DD	4 3	D0	4 3					N	V	B	D	Z	C	I	S	CMP
												N	V	B	D	Z	C	I	S	CPX
												N	V	B	D	Z	C	I	S	CPY
		D8	6 2	DE	7 3							N	V	B	D	Z	C	I	S	DEC
												N	V	B	D	Z	C	I	S	DEX
												N	V	B	D	Z	C	I	S	DEY
51	5 2	55	4 2	5D	4 3	5B	4 3					N	V	B	D	Z	C	I	S	EOR
		F6	6 2	FE	7 3							N	V	B	D	Z	C	I	S	INC
												N	V	B	D	Z	C	I	S	INX
												N	V	B	D	Z	C	I	S	INY
												N	V	B	D	Z	C	I	S	JMP
												N	V	B	D	Z	C	I	S	JSR
B1	5 2	B5	4 2	BD	4 3	B0	4 3					N	V	B	D	Z	C	I	S	LDA
												N	V	B	D	Z	C	I	S	LDX
		B4	4 2	BC	4 3							N	V	B	D	Z	C	I	S	LDY
		56	6 2	5E	7 3							N	V	B	D	Z	C	I	S	LDR
												N	V	B	D	Z	C	I	S	NOP
11	5 2	15	4 2	1D	4 3	1B	4 3					N	V	B	D	Z	C	I	S	ORA
												N	V	B	D	Z	C	I	S	PHA
												N	V	B	D	Z	C	I	S	PHP
												N	V	B	D	Z	C	I	S	PLA
												N	V	B	D	Z	C	I	S	PLP
												N	V	B	D	Z	C	I	S	ROL
		36	6 2	3E	7 3							N	V	B	D	Z	C	I	S	ROR
		76	6 2	7E	7 3							N	V	B	D	Z	C	I	S	RTI
												N	V	B	D	Z	C	I	S	RTS
F1	5 2	F5	4 2	FD	4 3	F0	4 3					N	V	B	D	Z	C	I	S	SBC
												N	V	B	D	Z	C	I	S	SEC
												N	V	B	D	Z	C	I	S	SED
01	6 2	05	4 2	0D	5 3	0B	5 3					N	V	B	D	Z	C	I	S	SEI
												N	V	B	D	Z	C	I	S	STA
												N	V	B	D	Z	C	I	S	STX
1		94	4 2									N	V	B	D	Z	C	I	S	STY
												N	V	B	D	Z	C	I	S	TAX
												N	V	B	D	Z	C	I	S	TAY
												N	V	B	D	Z	C	I	S	TSX
												N	V	B	D	Z	C	I	S	TXA
												N	V	B	D	Z	C	I	S	TXS
												N	V	B	D	Z	C	I	S	



**EMERSON & CUMING, Inc.**  
Microwave Products Division  
Plastics/Ceramics for Electronics

## TECHNICAL BULLETIN 8-2-4

**ECCOSORB<sup>®</sup> AN**

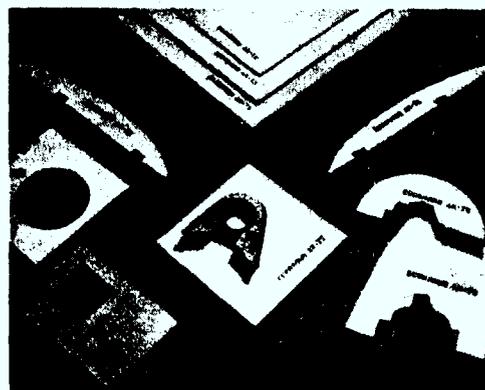
### Flexible Foam Sheet Microwave Absorber

ECCOSORB AN is a light weight flexible foam sheet broadband microwave absorber. It can be readily cemented to or draped over items which produce undesired reflections. Examples are radar antenna nacelles, anechoic enclosures, antenna or target test mounts in radar ranges, experimental anti-reflection coatings over test models, and inside or outside horn antennas or other types of antennas to produce desired modifications in antenna patterns such as reduction of side-lobes and back-lobes. By appropriate choice of design type, less than 1% reflection for normally incident energy can be obtained over several frequency bands ranging from 0.6 to 50 GHz (see performance table and curves on other side). ECCOSORB AN is equally effective against linear, elliptical or circular polarization. It is relatively insensitive to changes in incidence angle; for example, the reflectivity of ECCOSORB AN75 at 70° incidence, at parallel polarization, at 9.5 GHz has been measured at 17 dB below a metal plate. Typical infrared reflectance ranges from 0.1% at 1 micron to 6% at 40 microns for any surface color. Visible light reflectance is 0.1% when colored black; standard ECCOSORB AN is white surfaced to improve light reflection, while not appreciably affecting infrared reflectance.

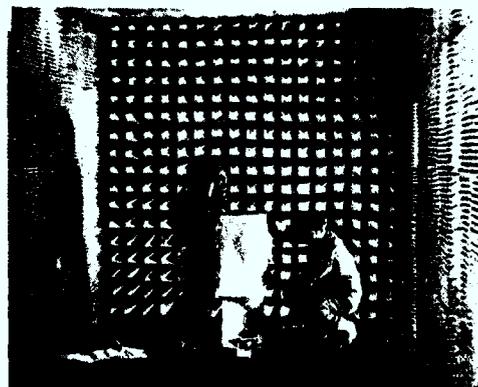
Installation is straightforward. ECCOSORB AN can be cut to appropriate shape with scissors or a sharp knife; a household electric knife has been found to be especially effective. It can be formed easily to compound curves. It may be attached to either metallic surfaces or non-metallic surfaces. Metallic surface is preferred for rated electrical performance of the absorber. However, it is permissible to use non-metallic mounting surfaces or no backing at all and still achieve adequate reflectivity characteristics. Without any backing, the insertion loss of the absorber will range typically from 10 to 25 dB depending on frequency chosen within the recommended frequency range. Many techniques are possible for permanent attachment to surfaces. ECCOBOND 87H(NF) (Technical Bulletin 3-2-16) may be either sprayed or brushed on both surfaces to be adhered. When sprayed it covers about 4.0 sq. m/liter (160 sq. ft./gal). When brushed it covers about 2.5 sq. m/liter (100 sq. ft./gal). After application of adhesive the surfaces are allowed to dry until tacky before attachment is made. For spraying a pressure-type pot spray gun is recommended. These are quick drying adhesives. They can also be used to join edges of absorber to form a continuous blanket. A two-part adhesive, ECCOBOND 45 (Technical Bulletin 3-2-3) can also be used by applying a thin layer to the mounting surface only; the bronze colored surface of the absorber is then pushed firmly and uniformly against the cement and remains in place at room temperature until the cement is set. For vertical and overhead installations, nails or small serrated pins which project every 8-10 cm (3-4 inches) from the attachment surface have been used successfully. The absorber is impaled on the pins or nailed in place; thus the absorber is held in place until the cement has set.

The back surface of ECCOSORB AN is bronze colored for identification purposes. Performance is not impaired by exposure to high relative humidity. All materials are self-extinguishing, in accordance with ASTM-D1692-59T and incombustible under City of Los Angeles Building Code (1963) Division 4, Section 91.0403(i) by ASTM Method E136-59T (Modified). Useful temperature range is from -70° C (-94° F) to +150° C (302° F). In situations where the absorber will be in contact with water, fuel, or hydraulic fluids (e.g. Skydrol), and for outdoor exposure, ECCOSORB AN-W (Technical Bulletin 8-2-4A) or ECCOSORB AN-P (Technical Bulletin 8-2-4B) is recommended.

ECCOSORB AN can be furnished to special order in any size desired. Standard sheet size is 61 cm x 61 cm (24" x 24"). ECCOSORB AN blankets may be used to reduce reflections from test mount pedestals, in drape or screen fashion as low-reflection portable baffles, or to reduce signals from any reflecting surface.



Standard Sheets and Custom Made Parts



Application to Test Pedestal

Rev. 6/75

(continued)

Printed in U. S. A.

**EMERSON & CUMING, INC.**  
CANTON, MASSACHUSETTS  
GARDENA, CALIFORNIA / NORTHBROOK, ILLINOIS  
EMERSON & CUMING Europe N.V., Oevel, Belgium

## ECCOSORB AN - Technical Bulletin 8-2-4 (continued)

PERFORMANCE TABLE

Type	Range Frequency	Bands Covered	Maximum Power Reflectivity	Sheet Size	Nominal Thickness		Weight	
							Kg/Sq. M.	Lbs/Sq. Ft.
Eccosorb AN72	20 GHz and above	K	1%	61cm x 61cm (24" x 24")	0.6cm	1/4"	0.5	0.1
Eccosorb AN73	7.5 GHz and above	X, Ku, K	1%	61cm x 61cm (24" x 24")	1.0cm	3/8"	1.0	0.2
Eccosorb AN74	3.5 GHz and above	C, A, B, X, Ku, K	1%	61cm x 61cm (24" x 24")	1.9cm	3/4"	1.5	0.3
Eccosorb AN75	2.4 GHz and above	S, C, A, B, X, Ku, K	1%	61cm x 61cm (24" x 24")	2.9cm	1-1/8"	2.4	0.5
Eccosorb AN77	1.2 GHz and above	L, S, C, A, B, X, Ku, K	1%	61cm x 61cm (24" x 24")	5.7cm	2-1/4"	4.4	0.9
Eccosorb AN79	0.6 GHz and above	L, S, C, A, B, X, Ku, K, UHF	1%	61cm x 61cm (24" x 24")	11.4cm	4-1/2"	9.8	2.0

