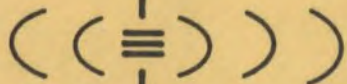


UNIVERSITÉ LAVAL

FACULTÉ DES SCIENCES ET DE GÉNIE
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE



Laboratoire de Radiocommunications
et de Traitement du Signal

Rapport final

CARACTERISATION DE L'ENVIRONNEMENT RADIO
AUX FREQUENCES SUPERIEURES A 500 MHz

par

Denis Angers, Gilles Y. Delisle, John Ahern

pour

Gouvernement du Canada
Ministère des Communications, Ottawa

sous

Contrat OSU81-00188 du Ministère
des Approvisionnements et Services

Période du 1er avril 1981 au 31 mars 1982

Octobre 1982

Rapport n° LT-82-8296

UNIVERSITÉ LAVAL

FACULTÉ DES SCIENCES ET DE GÉNIE
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE



Laboratoire de Radiocommunications
et de Traitement du Signal

Rapport final

2.
CARACTERISATION DE L'ENVIRONNEMENT RADIO
AUX FREQUENCES SUPERIEURES A 500 MHz

par

(Denis Angers), Gilles Y. Delisle, John Ahern

pour

Gouvernement du Canada
Ministère des Communications, Ottawa

sous

Contrat OSU81-00188 du Ministère
des Approvisionnements et Services

Période du 1er avril 1981 au 31 mars 1982

Octobre 1982

Rapport n° LT-82-8296

COMMUNICATIONS CANADA

OCT 12 1983

LIBRARY - BIBLIOTHÈQUE

RAPPORT FINAL

CARACTERISATION DE L'ENVIRONNEMENT RADIO
AUX FREQUENCES SUPERIEURES A 500 MHz

Par : Dr Denis Angers, Chercheur principal
Dr Gilles Y. Delisle, Collaborateur
M. John Ahern, Ingénieur

Laboratoire de Télécommunications
Département de Génie Electrique
Université Laval, Québec, Canada G1K 7P4

Pour : Ministère des Communications, Ottawa
Contrat OSU81-00188 du Ministère des
Approvisionnementnements et Services

Durée : 1er avril 1981 au 31 mars 1982

Octobre 1982

Rapport n° LT-82-8296





Photo 1: Unité mobile du CRC à bord de laquelle l'appareillage de mesures conçu a été installé (août 1982).



Photo 2: Ensemble de mesures conçu pour le traitement du bruit radio.

Table des Matières

Chapitre 1	INTRODUCTION	1.
1.1	Continuité et évolution des travaux	1.
1.2	Objectif du présent rapport	2.
1.3	Plan du rapport	2.
1.4	Remerciements	3.
Chapitre 2	DESCRIPTION DES PERFORMANCES MINIMALES EXIGÉES ET DESCRIPTION DE LA SOLUTION RETENUE	4.
2.1	Introduction	4.
2.2	Système à réaliser	4.
2.3	Evolution dans la recherche d'une solution	6.
2.3.1	Amplificateur logarithmique	6.
2.3.2	Conversion analogique-numérique	14.
2.3.3	Le récepteur	14.
2.3.4	Traitement des signaux	15.
2.4	Conclusion	15.
Chapitre 3	DEFINITION DES PARAMETRES DU BRUIT RADIO MESURES ET LEUR METHODE DE CALCUL	16.
3.1	Introduction	16.
3.2	Définition des paramètres et techniques de calcul	17.
3.2.1	Valeur moyenne de l'enveloppe (A_V)	17.
3.2.2	Valeur moyenne du logarithme de l'enveloppe (A_L)	17.
3.2.3	Valeur moyenne de l'enveloppe (A_{eff})	18.
3.2.4	Valeur pointe de l'enveloppe (A_p)	18.
3.2.5	La distribution cumulative complémentaire de l'enveloppe du bruit (APD)	19.
3.2.6	La tension de déviation (V_d) et le paramètre L_d	19.
3.2.7	Taux moyen de passage par un niveau donné (ACR)	19.

	3.3 Conclusion	21.
Chapitre 4	REALISATION DU SYSTEME DE MESURES AUTOMATIQUE DU BRUIT RADIO	22.
	4.1 Introduction	22.
	4.2 Description du système	22.
	4.2.1 Le groupe antenne-récepteur	24.
	4.2.2 L'échantillonneur-bloqueur, le convertisseur analogique-numérique et leur contrôle	24.
	4.2.3 L'ordinateur auxiliaire	26.
	4.2.4 L'ordinateur principal (AIM-65)	26.
	4.2.5 Le circuit d'horloge à 60 Hz	26.
	4.3 La procédure de calibration	31.
	4.4 Conclusion	32.
Chapitre 5	PROGRAMMES ET SOUS-PROGRAMMES ASSOCIES AU SYSTEME	33.
	5.1 Introduction	33.
	5.2 Programme principal	33.
	5.2.1 Portion du programme principal en BASIC	33.
	5.2.2 Portion du programme principal en langage machine	37.
	5.3 Programmes de l'ordinateur auxiliaire	42.
	5.4 Organigrammes des programmes RESET, NMI et IRQ	42.
	5.5 Conclusion	42.
Chapitre 6	CONCLUSION	49.
	Bibliographie	55.
Appendice A	Données techniques des amplificateurs logarithmiques de types TL441M, TL441C (Texas Instruments)	56.
Appendice B	Données techniques des amplificateurs logarithmiques de types ICL8048, ICL8049 (Intersil)	64.
Appendice C	Données techniques de l'amplificateur logarithmique du type 4127 (Burr-Brown)	73.

Appendice D	Données techniques du circuit d'échantillonnage- bloquage SHM-LM-2 (Intersil)	81.
Appendice E	Caractéristiques techniques de l'ordinateur principal Rockwell AIM-65	84.
Appendice F	Caractéristiques du convertisseur A/N AD7574 (Analog Devices)	90.
Appendice G	Caractéristiques du microprocesseur auxiliaire (John Bell Engineering)	99.
Appendice H	Commentaires sur certaines caractéristiques du récepteur NM-37/57 de Singer	104.
Appendice I	Programme permettant de tracer les APD sur la HP-85	108.

Chapitre 1

INTRODUCTION

1.1 CONTINUITÉ ET ÉVOLUTION DES TRAVAUX

Les responsables du projet décrit dans ce rapport ont entrepris en 1978, à la demande du CRC, une première étude [1] dont l'objectif primordial était l'acquisition de connaissances sur le bruit radio, qu'il soit naturel ou artificiel, en même temps qu'une revue des techniques et données nécessaires à l'évaluation de la performance d'un système de communication. Cette première étape nous a amenés à considérer rapidement l'existence de modèles empiriques d'usage courant comme les modèles log-normal et le modèle CCIR. De même avons-nous pris connaissance des nombreux travaux de Middleton dans ce domaine, dont la parution s'échelonne depuis 1969 jusqu'à ce jour.

La généralité des modèles de Middleton - que l'auteur, moyennant un choix approprié de paramètres, croit valide pour décrire tous les types de bruit radio, quelles qu'en soient les caractéristiques et la provenance -, la généralité des modèles de Middleton donc présentait un intérêt tel que nous avons cru bon, à la demande des conseillers scientifiques du CRC, de nous familiariser avec les techniques développées par cet auteur. Cette étape nous a amenés, dans une seconde étude [2], à mettre au point des programmes de traitements de signaux sur ordinateur et à reproduire tous les résultats ou presque déjà publiés par Middleton, aussi bien pour les bruits de classe A que de classe B. C'est précisément au cours de ce processus de simulation qu'il nous a été donné de constater que les approximations et développement en série que nécessitait le traitement mathématique des modèles interdisaient certaines valeurs de paramètres. Cette particularité devra un jour être examinée de plus près et nous envisageons sérieusement de revenir sur cette question ultérieurement.

1.2 OBJECTIF DU PRESENT RAPPORT

Compte tenu de l'expérience toute théorique acquise lors des premières études, nous avons cru bon de revenir, cette fois, au domaine expérimental, ou tout au moins, de nous attacher aux différents problèmes liés à la mesure des caractéristiques du bruit radio, dans certaines gammes de fréquences, entre autres celles autour de 450-470 MHz et de 900 MHz. Pour cette étape, il nous fallait successivement analyser les performances jugées minimales entre autres par Matheson [3], procéder à l'examen des instruments de mesures - du type récepteur - mis à notre disposition par le CRC pour y greffer, par la suite, un ensemble d'outils qui devraient nous fournir les résultats suivants: mesures de certains paramètres du bruit, calcul, en temps réel dans la mesure du possible, d'autres paramètres utilisés dans certains modèles sinon dans tous les modèles, comme l'APD par exemple.

C'est dans cet esprit que nous avons entrepris la conception et la réalisation de circuits (hardware) et programmes (software) devant s'intégrer dans un ensemble compatible avec l'appareillage fourni par le CRC. C'est ainsi que l'on constatera que plusieurs éléments de ce rapport sont étroitement apparentés à ceux d'un manuel d'instruction.

1.3 PLAN DU RAPPORT

C'est ainsi que, dans un deuxième chapitre, nous allons revoir l'ensemble du système de mesure, les caractéristiques désirables et les performances minimales. Nous y insérerons quelques éléments d'histoire qui constituent les étapes les plus marquantes dans la recherche de la solution retenue.

Par la suite, au troisième chapitre, nous définirons les différents paramètres mesurés et/ou calculés, de même que la façon de les obtenir. Ces paramètres sont les suivants: valeur moyenne, moyenne du logarithme, valeur efficace (RMS), valeur pointe V_d , L_d , de même que l'APD.

Pour les plus intéressés, le quatrième chapitre décrira, dans le détail, la réalisation de chacun des éléments de circuits (hardware) qu'a nécessité la réalisation du système.

Le cinquième chapitre est destiné à l'utilisateur du système et il

contient la description des programmes nécessaires au fonctionnement du système, i.e. au traitement des données injectées dans l'appareil.

1.4 REMERCIEMENTS

Les auteurs désirent remercier ici MM. T. Coyne, répondant scientifique et son adjoint W. Lauber, tous deux du CRC, à Ottawa, pour leurs constants encouragements et leur collaboration pour le prêt de matériel de mesures.

Chapitre 2

DESCRIPTION DES PERFORMANCES MINIMALES EXIGÉES ET DESCRIPTION DE LA SOLUTION RETENUE

2.1 INTRODUCTION

Nous allons d'abord décrire l'ensemble des principaux éléments du système de mesures à réaliser en mettant en évidence les caractéristiques générales exigées. Nous avons jugé intéressant de couvrir au passage, les principales étapes du cheminement qui nous a amenés à la solution retenue. Viendra par la suite se greffer la description des outils de calcul mis au point pour atteindre l'objectif.

2.2 SYSTEME A REALISER

L'instrument de mesure à réaliser est décrit dans le schéma de la figure 2-1:

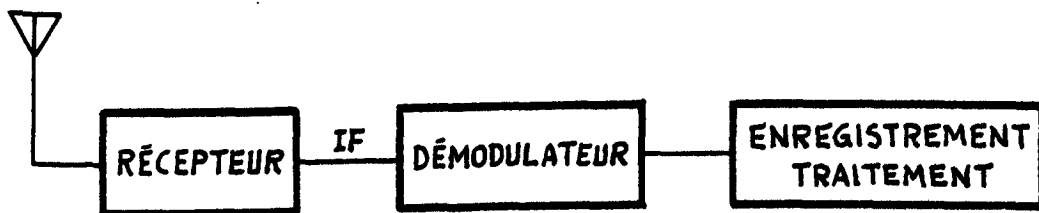


Figure 2-1: Schéma général de l'instrument de mesure pour caractériser le bruit radio.

Du groupe récepteur-démodulateur, on peut simplement dire qu'il est: a) synthonisable, dans la gamme de fréquences comprise entre 30 MHz et 1000 MHz; b) de largeur de bande réglable, par valeurs discrètes, typiquement de 10 kHz, 100 kHz et 1 MHz.

L'ensemble antenne-récepteur-démodulateur est formé des composantes

fournies par le CRC. A titre d'illustration, elles sont constituées par:

- 1) une antenne discone (WJ-7591-2) de Watkins Johnson,
 - 2) un préamplificateur à faible bruit dont le gain était de 30 dB (AM-3A-0510 de MITEQ),
- ces deux dernières pièces couvrant la bande de fréquences compris entre 500 et 1000 MHz;
- 3) une alimentation à 115 volts alternatif était assurée par une petite génératrice à essence d'une capacité de 300 watts, placée à quelque 30 mètres de l'unité mobile.

Cela dit, notre intérêt a surtout porté sur les éléments associés à l'enregistrement et au traitement des signaux fournis par le démodulateur de la figure 2-1, l'enregistrement et le traitement subséquent n'ayant pas rigoureusement à se dérouler simultanément.

1.- L'enregistrement des données.

Nous avons le choix entre les techniques d'enregistrement analogique d'une part et numérique sur ruban d'autre part. Ces solutions n'ont pas été retenues en raison des coûts particulièrement élevés pour ce genre d'appareil en regard du coût total de l'ensemble du système à l'étude. Il faut dès lors noter la dimension de la plage dynamique d'un système comportant un mécanisme de conversion analogique numérique: si l'ensemble numérique opère à 8 bits, la plage dynamique est définie par l'expression:

$$\begin{aligned} 20 \log 2^8 &= 48 \text{ dB} \\ &\approx (6 \text{ dB/bit}) \end{aligned} \quad (2-1)$$

Certaines considérations élaborées par Matheson [3] font état d'une plage dynamique nettement plus grande pour la mesure de plusieurs caractéristiques du bruit radio. Par ailleurs le traitement subséquent de ces signaux sur une base de 8 bits est tout à fait satisfaisant. C'est donc immédiatement qu'est prise la décision d'introduire un mécanisme de compression, un amplificateur logarithmique par exemple, dans l'ensemble à concevoir, de telle sorte que le schéma de l'appareil devient celui de la figure 2-2. Enfin l'enregistrement numérique proprement dit, aussi bien sur ruban qu'en mémoire d'ordinateur, devient rapidement prohibitif à cause du grand nombre de données qu'un échantillonnage le moins rapide génèrera. Cela dit, nous avons pris la décision de construire uniquement un histogramme du signal échantillonné. Cette méthode est nettement moins coûteuse sur tous les plans, l'histogramme permettant à lui seul de retrouver,

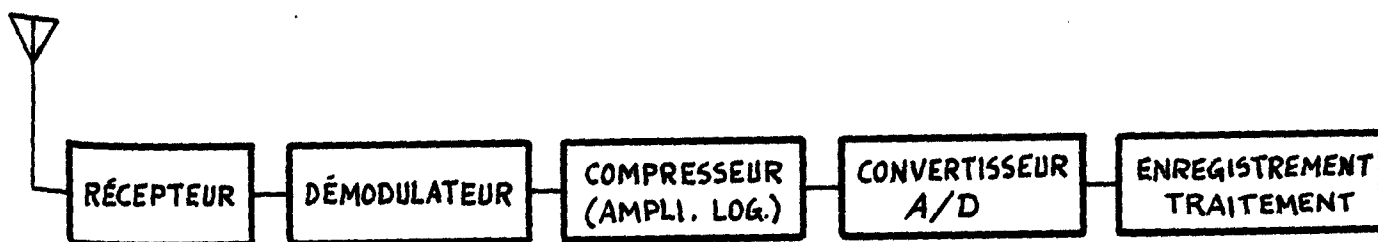


Figure 2-2: Schéma modifié de l'ensemble de mesures de bruit radio proposé.

avec 256 compteurs à 24 bits, un grand nombre de propriétés statistiques du signal à mesurer.

2.- Traitement des données.

Cette partie du projet, consécutive à la fabrication de l'histogramme fera l'objet spécifiquement du troisième chapitre.

2.3 EVOLUTION DANS LA RECHERCHE D'UNE SOLUTION

Comme nous l'avons mentionné plus haut, nous croyons nécessaire ici, pour le bénéfice du lecteur, de faire état des principales étapes de notre cheminement, et d'indiquer, le cas échéant, les motifs de rejet de certaines formes de solution.

2.3.1 Amplificateur logarithmique.

Nous avons déjà rapporté que l'ensemble comportait certaines exigences quant à la plage dynamique. Bien que n'ayant aucune expérience des niveaux observés dans la gamme de fréquences supérieures à 500 MHz, nous nous sommes inspirés des ordres de grandeur des données publiés par Matheson (déjà cité, [3]), où l'écart entre la valeur pointe et le niveau pour lequel l'ordonnée est dépassée 99% du temps donne un écart de l'ordre de 85 à 90 dB. Il est rapidement devenu évident cependant que les composantes sur le marché, de même que les caractéristiques propres des meilleurs récepteurs disponibles, ne couvraient pas cette gamme et qu'il fallait se limiter à une gamme de l'ordre de 60 dB.

Bien que certains types de récepteurs comportent déjà un amplificateur logarithmique, ce que nous avons appris assez tardivement, nous avons examiné

quelques circuits disponibles sur le marché:

1) le premier, qui s'appuie sur le TL441 de Texas Instruments, dont le circuit est représenté à la figure 2-3:

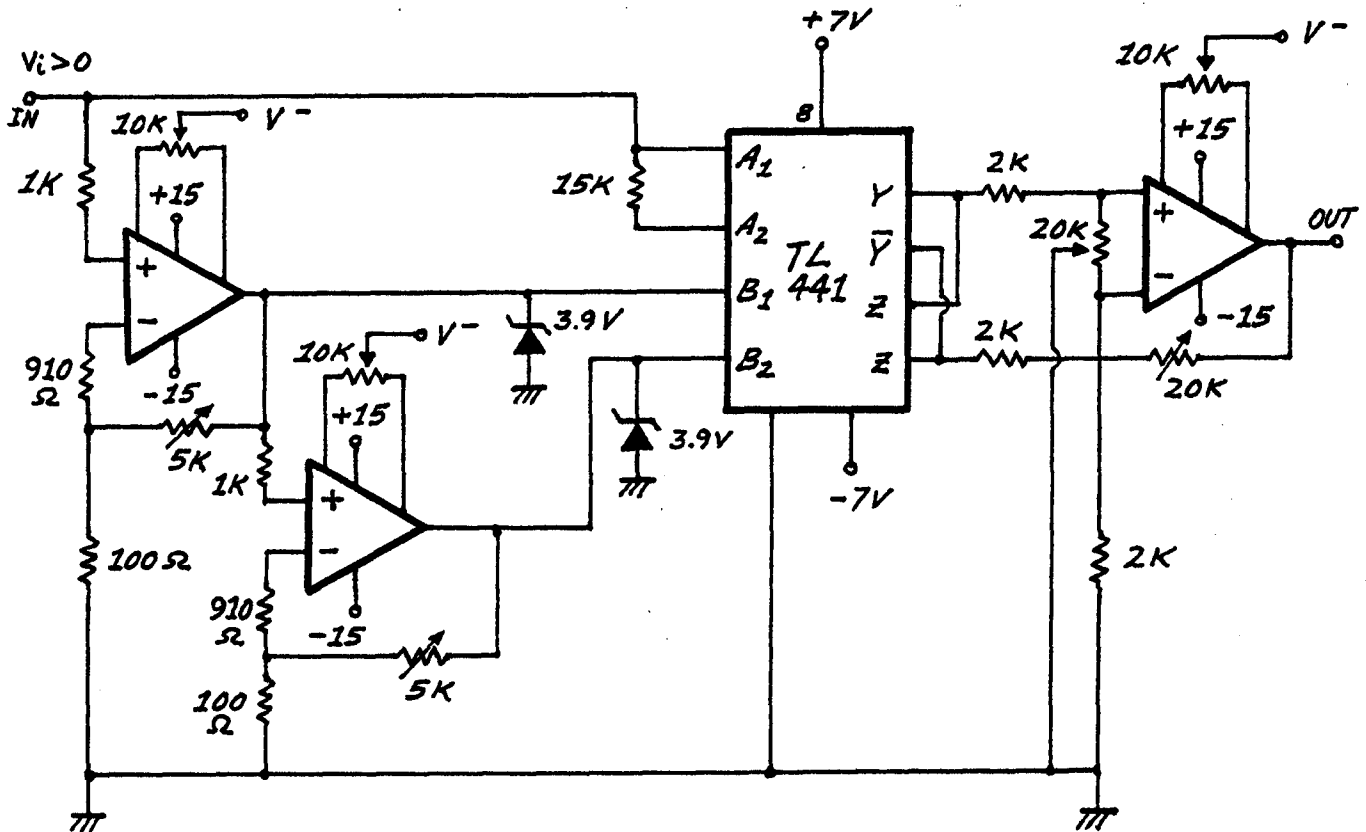


Figure 2-3: Diagramme de l'amplificateur logarithmique s'appuyant sur le TL441 de Texas Instruments.

La relation entrée-sortie, montrée à la figure 2-4, offre une plage dynamique de l'ordre de 20 dB seulement, ce qui est nettement insuffisant pour les besoins présents. Nous donnons à l'Appendice A les caractéristiques de ce circuit fournies par le manufacturier.

2) le second circuit s'appuyait sur l'amplificateur logarithmique 8048 de Intersil dont la largeur de bande a été jugée insuffisante pour le cas traité, celle-ci étant fonction du niveau d'entrée (voir l'appendice B pour les caractéristiques du 8048).

3) un circuit de notre propre conception, repris à la figure 2-5, a été mis à l'essai et rejeté par la suite. Il s'appuyait sur une cascade d'amplificateurs amenés en saturation graduellement. Les motifs du rejet sont les sui-

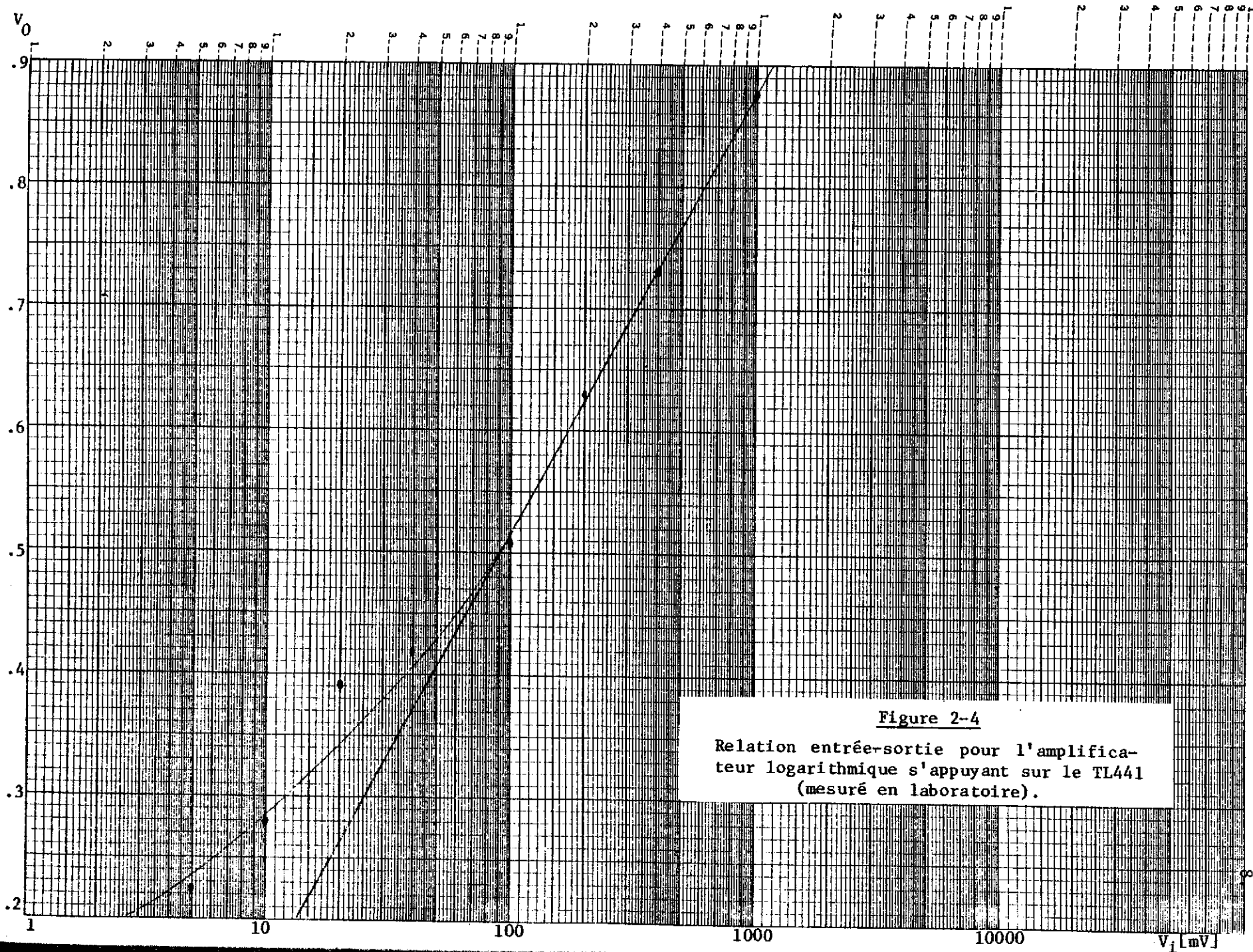


Figure 2-4
Relation entrée-sortie pour l'amplificateur logarithmique s'appuyant sur le TL441 (mesuré en laboratoire).

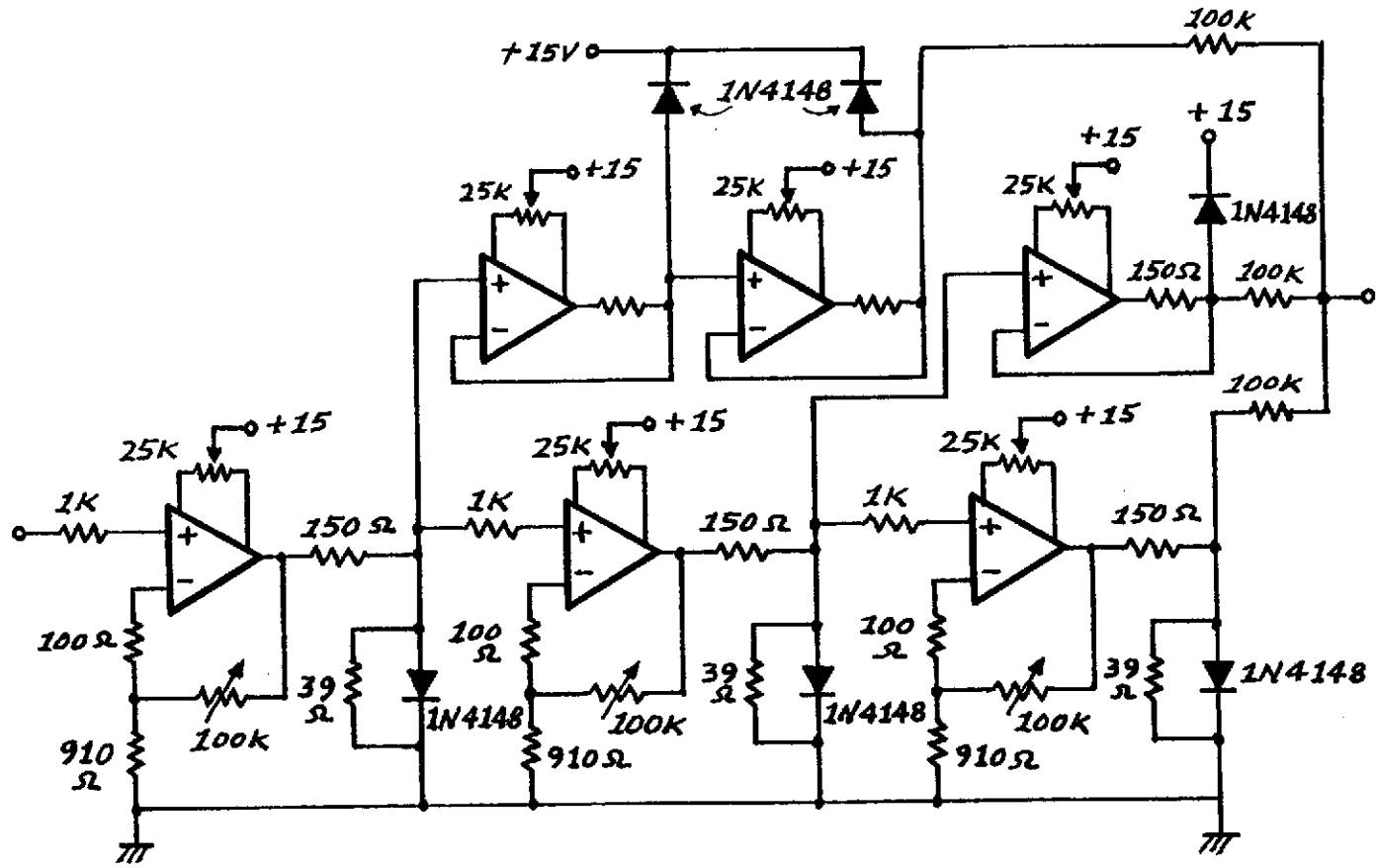


Figure 2-5: Circuit logarithmique de notre propre conception mais non retenu (voir texte).

vants: (a) le retard associé à chacun des amplificateurs supposés identiques varie d'une unité à l'autre de telle sorte que le déphasage total de n étages en cascade diffère de celui de n autres étages en cascade placés en parallèle; (b) le temps de remise en état normal après saturation varie d'un amplificateur à l'autre, donc d'une chaîne à l'autre.

4) le seul amplificateur logarithmique qui répondait aux exigences de largeur de bande et de plage dynamique demeure le 4127KG de Burr-Brown, dont le circuit et la caractéristique entrée-sortie sont représentés sur les figures 2-6 et 2-7. Dans le cas présent, la plage dynamique est plus que satisfaisante, se situant dans la gamme de 90 dB (l'appendice C donne les caractéristiques fournies par le manufacturier).

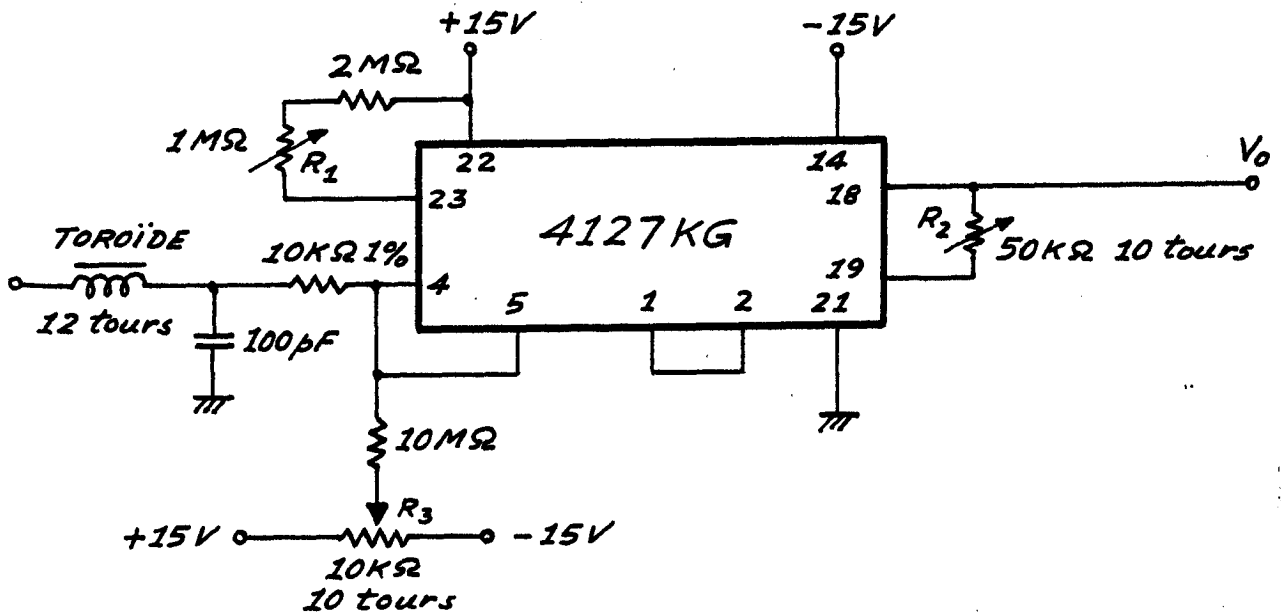


Figure 2-6: Amplificateur logarithmique s'appuyant sur le 4127KG de Burr-Brown dont la plage dynamique est très intéressante.

5) un dernier circuit, soit celui de la figure 2-8, a été imaginé, quoique non mis à l'épreuve. Nous l'offrons ici à titre purement gratuit en raison de l'intérêt qu'il présente si l'on ne dispose par d'un démodulateur de qualité. Notons qu'il est alimenté directement par le signal IF et que le module MC 1330 est un démodulateur.

La caractéristique entrée-sortie est donnée à la figure 2-9, et l'écart (erreur) entre la courbe idéale et celle calculée pourra être diminué appréciablement en doublant, par exemple, le nombre de démodulateurs. Notons ici

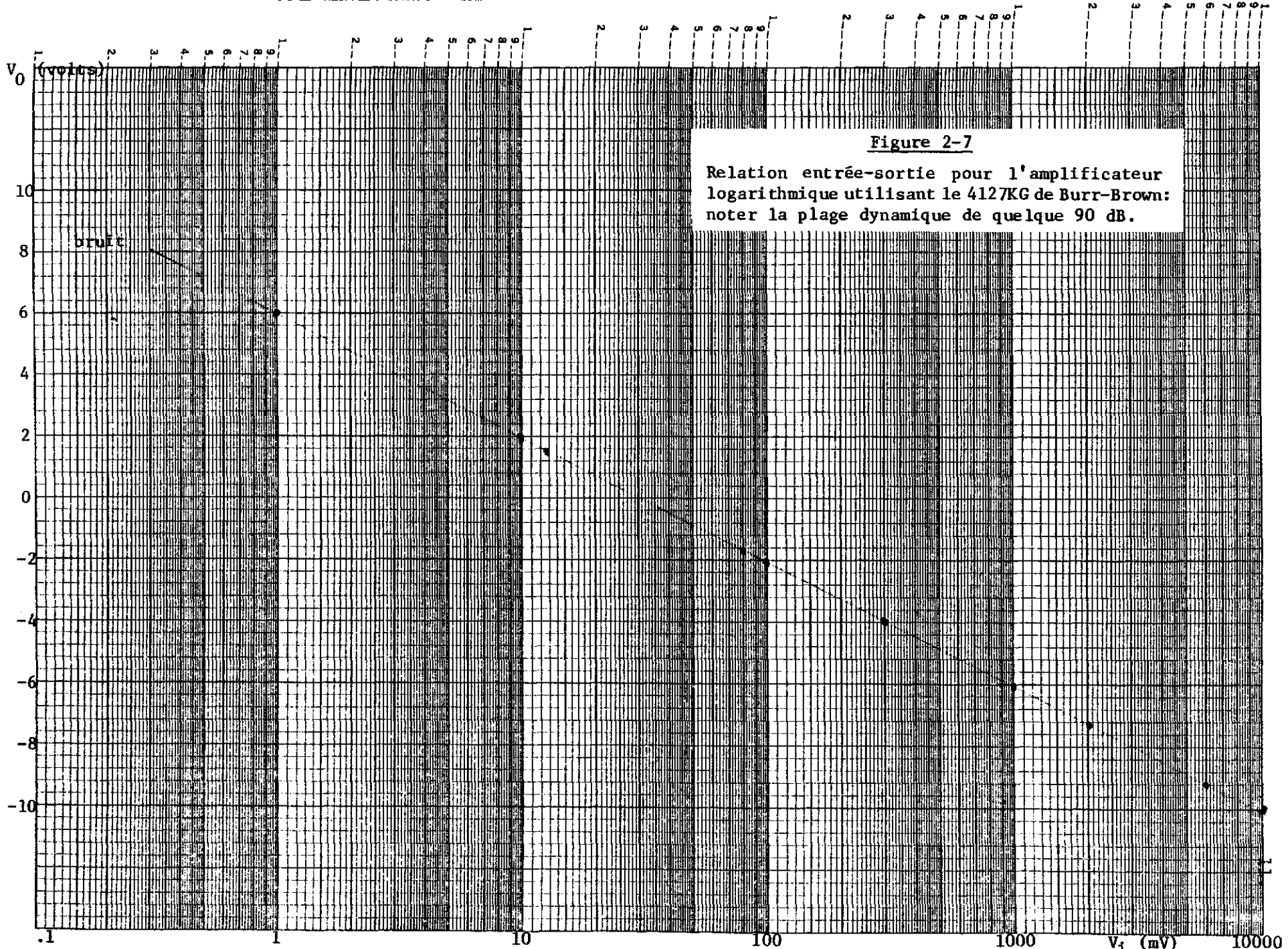


Figure 2-7

Relation entrée-sortie pour l'amplificateur logarithmique utilisant le 4127KG de Burr-Brown: noter la plage dynamique de quelque 90 dB.

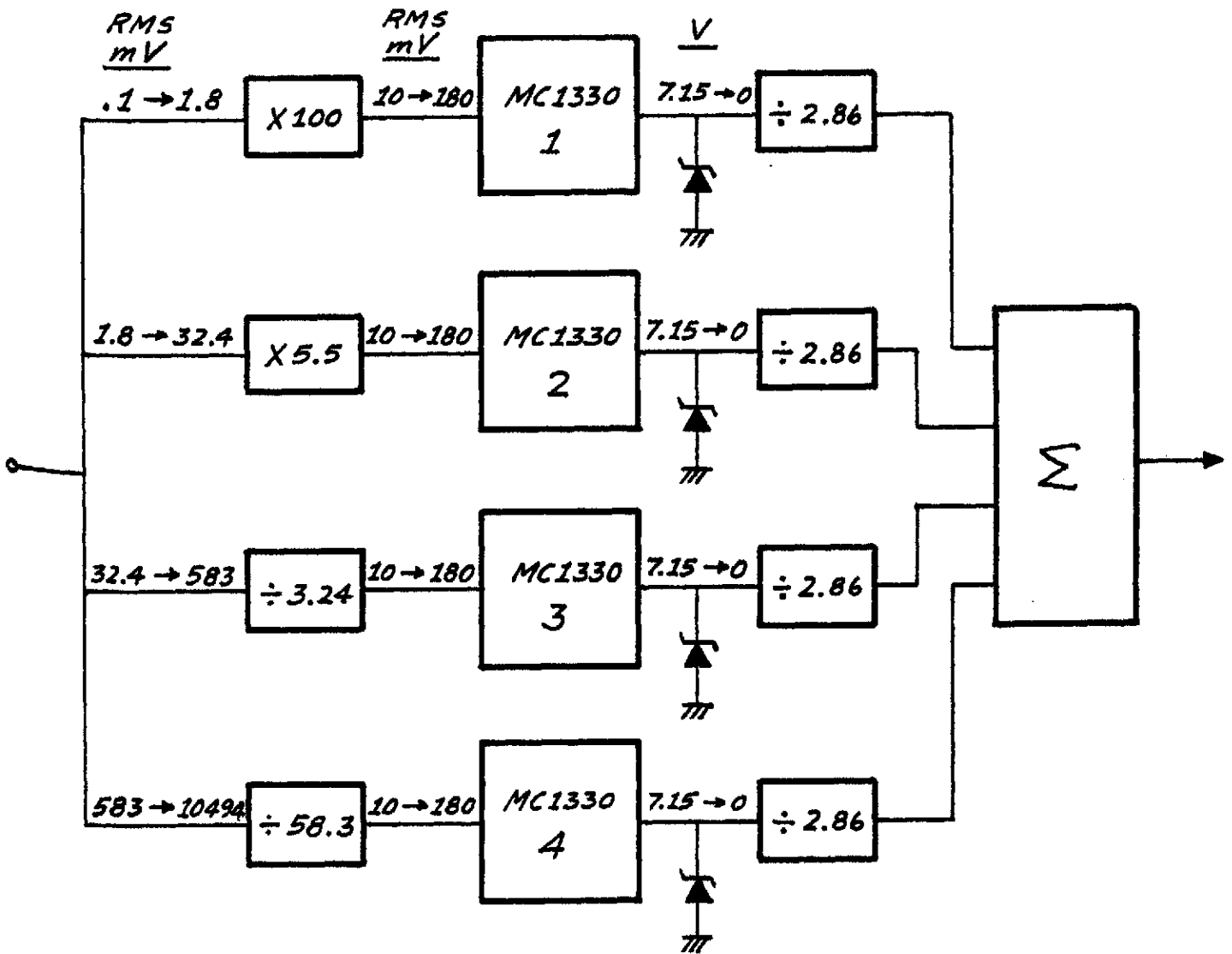


Figure 2-8: Proposition d'un démodulateur-amplificateur logarithmique (non mis à l'essai) utilisant le circuit MC 1330 de Motorola.

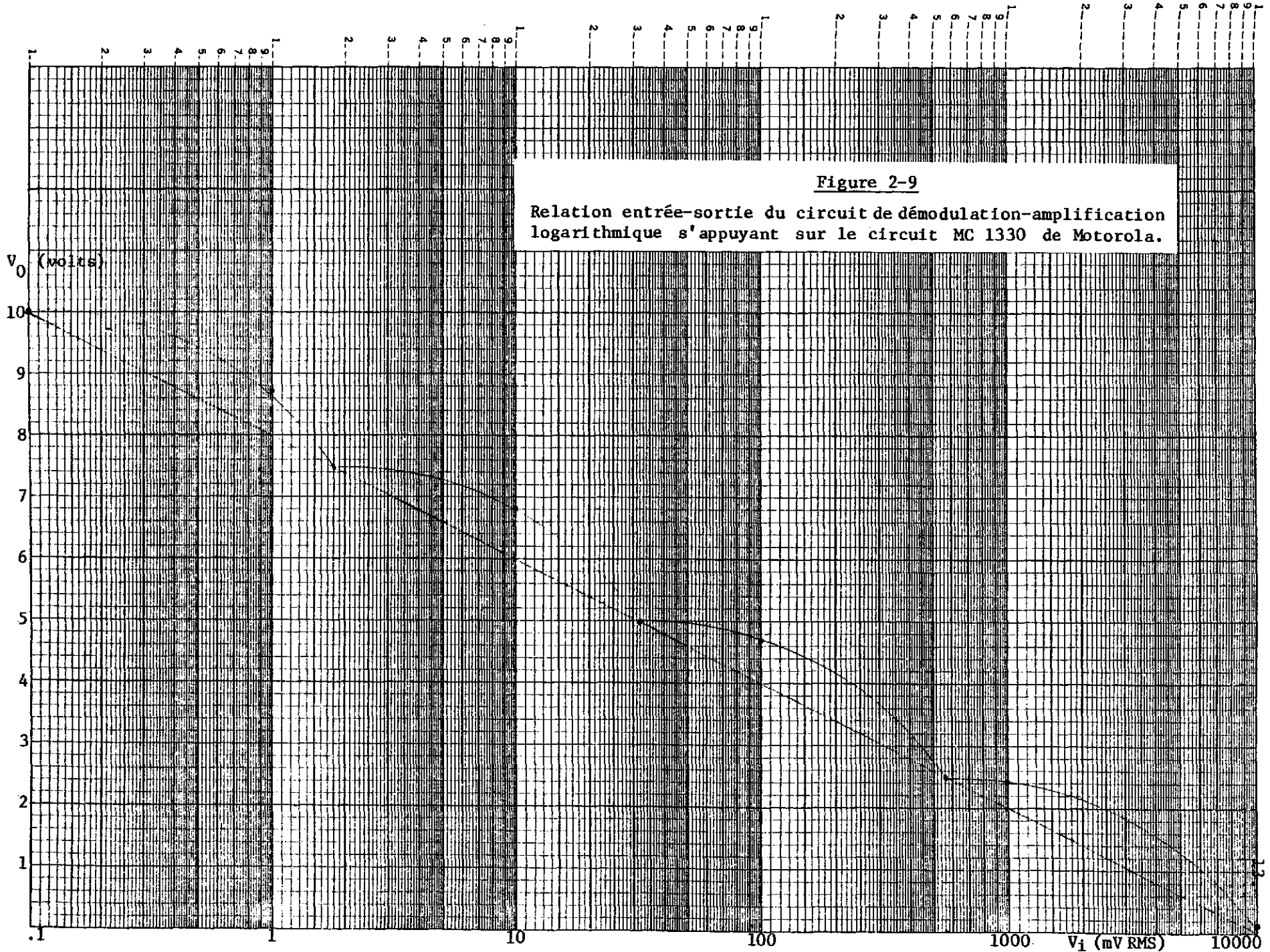


Figure 2-9

Relation entrée-sortie du circuit de démodulation-amplification logarithmique s'appuyant sur le circuit MC 1330 de Motorola.

le faible coût du démodulateur, sa qualité - il est largement utilisé dans les récepteurs de télévision domestiques - de même que sa plage dynamique de l'ordre de 100 dB.

Enfin, il est bien évident que la transformation du signal causée par son passage dans l'amplificateur logarithmique sera compensée au niveau du traitement du signal de façon à retrouver la grandeur originelle.

2.3.2 Conversion analogique-numérique.

L'ensemble d'acquisition et de traitement de données conçu est destiné à être branché à la sortie de récepteurs dont les caractéristiques: gain, fréquence centrale et largeur de bande surtout, sont variables sur un même instrument et d'un instrument à l'autre. Ceci vaut en particulier pour la largeur de bande IF qui varie par valeurs discrètes, typiquement 10 kHz, 100 kHz et 1 MHz.

Par ailleurs, comme il est éminemment désirable que les échantillons du signal soient aussi indépendants les uns des autres, il est souhaitable que la fréquence (ou la période) d'échantillonnage soit ajustable selon les conditions imposées par le récepteur. Celle-ci l'est donc de façon continue entre 2 kHz et 20 kHz. De même, la durée de l'échantillonnage est-elle aussi réglable, de façon continue, entre 0 et 300 secondes, selon les besoins de l'utilisateur et la plus ou moins grande stationnarité du phénomène observé.

2.3.3 Le récepteur.

Le montage à concevoir devrait donc être adapté aux caractéristiques du groupe antenne-récepteur mis à notre disposition. C'est ainsi que nous avons pu évaluer certains appareils et que nous croyons nécessaire d'apporter ici deux commentaires:

- a) des essais à l'aide du Singer NM-37/57 ont montré que la plage dynamique ne dépassait guère 60 dB,
- b) la plupart des récepteurs de ce type comportent un amplificateur logarithmique intégré dont nous nous sommes servi d'ailleurs.

Des mesures sur les niveaux de bruit à la sortie de cet amplificateur ont donné des résultats relativement élevés qui feront l'objet d'une analyse au chapitre suivant, une fois définis les paramètres typiques du bruit à mesurer.

2.3.4 Traitement des signaux.

Le programme proprement dit de traitement, lequel constitue le dernier élément de la figure 2-2, fait l'objet spécifiquement des troisième et quatrième chapitres. On y trouvera les opérations, les méthodes utilisées (logiciel), de même que la description des circuits (hardware).

2.4 CONCLUSION

Nous avons donc, très brièvement, décrit ici l'ensemble des fonctions du système à concevoir, les performances minimales que nous avons fixées, de même que quelques analyses des circuits logarithmiques; ces derniers n'ont pas été retenus dans le montage final mais ils pourront néanmoins être de quelque utilité pour d'autres applications connexes.

Chapitre 3

DEFINITION DES PARAMETRES DU BRUIT RADIO MESURES ET LEUR METHODE DE CALCUL

3.1 INTRODUCTION

Comme nous l'avons dit au tout début, notre objectif est de concevoir un système qui puisse nous fournir, le plus rapidement possible, certains paramètres du bruit radio exigés pour l'évaluation de la performance de système de communication, dans le cadre de l'utilisation d'abord des modèles classiques du CCIR et log-normal. En outre, il importe d'obtenir la distribution cumulative complémentaire d'amplitude (APD). Les résultats fournis par l'ensemble conçu doivent satisfaire ces exigences. C'est ainsi que le système réalisé fournira à l'utilisateur les données suivantes: valeur moyenne de l'amplitude (enveloppe), valeur moyenne du logarithme de l'amplitude, valeur efficace, valeur pointe, tension de déviation, le paramètre L_d et l'APD. Tout ceci sur des intervalles de temps d'une durée ajustable comprise entre 0 et 300 secondes.

Rappelons ici certains préalables:

1) l'introduction d'un étage logarithmique dans la chaîne devra être compensée par un correctif avant traitement final, pour ramener V_0 en termes de V_1 . Pour illustrer cette opération, on pourra représenter l'ensemble du circuit placé en amont de l'échantillonneur par le circuit de la figure 3-1. La relation $V_1 = f(V_0)$ est dès lors définie par:

$$V_1 = \text{antilog} \left[\frac{V_0 - BA_2}{A_2 C} - \log A_1 \right] \quad (3-1)$$

On verra donc en tout début du programme à introduire chacune des valeurs A_1 , A_2 , B et C demandées par le système.

2) l'ensemble des opérations de calcul portera sur un ensemble d'échantillons qu'on a préalablement emmagasiné sous la forme d'histogrammes comportant 256 niveaux d'amplitude. Ce sont précisément ces niveaux qui seront convertis

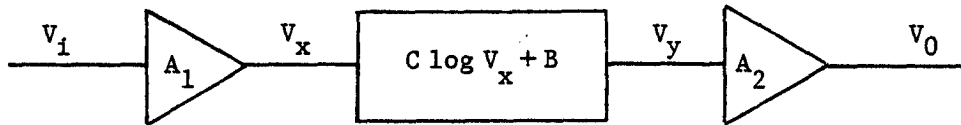


Figure 3-1

Modèle représentant l'ensemble du circuit en amont de l'échantillonneur:

A_1 = gain de l'ensemble récepteur-antenne

$C \log V_x + B$ = caractéristique de l'amplificateur logarithmique (C et B sont obtenus de la courbe mesurée $V_y = f(V_x)$) (pente de conversion et intersection).

A_2 = gain de l'amplificateur de sortie (s'il y a lieu).

en grandeur d'origine V_i à l'aide de la relation (3-1). Nous utiliserons donc, pour la suite de ce rapport, les valeurs V_i ainsi retrouvées.

3) il va de soi que, l'ensemble des mesures portant sur un signal démodulé (en bande de base), les statistiques ainsi obtenues caractériseront l'enveloppe du bruit seulement.

3.2 DEFINITION DES PARAMETRES ET TECHNIQUES DE CALCUL

3.2.1 Valeur moyenne de l'enveloppe (A_v).

La valeur moyenne A_v , tirée des échantillons obtenus, est définie par la relation:

$$A_v = \frac{1}{N} \sum_{i=0}^{255} n_i V_i \quad (3-2)$$

où N = nombre total d'échantillons,
 n_i = nombre d'échantillons à un niveau i ,
 V_i = tension correspondant au niveau i .

Le calcul est donc effectué directement à partir des valeurs n_i tirées de l'histogramme.

3.2.2 Valeur moyenne du logarithme de l'enveloppe (A_L).

La valeur moyenne du logarithme de l'enveloppe du bruit est une quantité d'intérêt pour caractériser le bruit à relativement basse fréquence. Nous

avons cru bon d'obtenir ce résultat que l'on définira par A_L :

$$A_L = \frac{\sum_{i=0}^{255} n_i \log V_i}{N} \quad (3-3)$$

où les paramètres n_i , N et V_i sont ceux définis dans l'équation précédente. Compte tenu de la présence d'un amplificateur logarithmique on pourra déduire la valeur de $\log V_i$ directement de la relation (3-1). Portant donc cette valeur de $\log V_i$ (3-1 dans 3-3) on obtiendra:

$$A_L = \frac{1}{N} \sum_{i=0}^{255} n_i \left[\frac{V_{0i} - BA_2}{A_2 C} - \log A_1 \right] \quad (3-4)$$

cette dernière valeur étant emmagasinée dans l'histogramme au niveau i . L'équation (3-4) devient donc:

$$A_L = \frac{1}{N} \sum_{i=0}^{255} n_i \left(\frac{V_{0i}}{K_1} + K_2 \right) \quad (3-5)$$

où $K_1 = \frac{1}{A_2 C}$ et $K_2 = - \left[\frac{B}{C} + \log A_1 \right]$

C'est précisément la technique de calcul utilisée dans l'organe de traitement.

3.2.3 Valeur efficace de l'enveloppe du bruit.

Cette notion qui est probablement la plus importante pour la statistique du signal analysé, est définie par la relation suivante:

$$A_{\text{eff}} = \frac{1}{N} \sqrt{\sum_{i=0}^{255} n_i (V_i)^2} \quad (3-6)$$

On devra donc remplacer le niveau V_i par sa définition donnée en (3-1).

3.2.4 Valeur pointe de l'enveloppe (A_p).

Cette valeur est un élément qui permet de définir la plage dynamique, et c'est la valeur de V_i pour laquelle tous les n_i des V_i plus grands sont nuls.

3.2.5 La distribution cumulative complémentaire de l'enveloppe du bruit (APD).

Cette distribution qui établit une relation entre un niveau donné et la fraction du temps où ce niveau est dépassé, se traduit pratiquement, lorsqu'elle est tirée d'un histogramme, par la fraction des échantillons qui dépasse un niveau donné (abscisse) versus ce même niveau (ordonnée). Cette fraction est évidemment donnée, pour chaque niveau j , par:

$$\frac{1}{N} \sum_{i=j}^{255} n_i \quad (3-7)$$

ce décompte sera effectué directement.

3.2.6 La tension de déviation (V_d) et le paramètre L_d .

Ces deux paramètres découlent directement des autres déjà définis plus haut. Ainsi:

$$A_d = \text{valeur efficace} - \text{valeur moyenne}$$

$$\boxed{A_d = A_{\text{eff}} - A_v} \quad (3-8)$$

De même, pour L_d :

$$L_d = \text{valeur efficace} - \text{valeur moyenne du logarithme}$$

$$\boxed{L_d = A_{\text{eff}} - A_L} \quad (3-9)$$

3.2.7 Taux moyen de passage par un niveau donné (average crossing rate).

Disons tout de suite que pour des raisons techniques nous n'avons pu réaliser le programme de calcul du taux moyen de passage par un niveau donné (avec une pente d'un signe donné), mais nous proposons ici une technique qui, à partir d'un histogramme des extrema (distribution des valeurs maximum et minimum de l'enveloppe) du bruit, permet d'obtenir ce résultat. Une illustration de cette technique suppose que l'on dispose déjà des moyens de détecter des minimum et maximum locaux, cela va de soi. Ainsi, chaque fois que l'on observera un changement de signe dans la dérivée de l'enveloppe, un compteur, associé au niveau de ce signal, sera incrémenté. Une fois ceci réalisé, on peut expliquer la suite

du processus à l'aide de la figure 3-2:

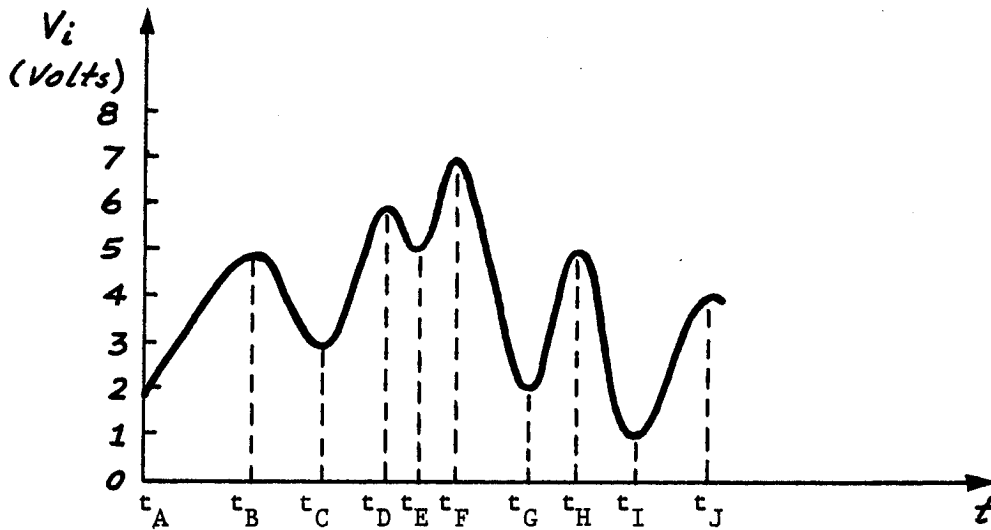


Figure 3-2: Enveloppe du bruit radio mettant en évidence les extrema.

Au temps t_A le compteur numéro 2 est incrémenté, au temps t_B c'est le compteur numéro 5, etc. A la suite de cet échantillonnage, on obtiendra, dans l'exemple considéré, le tableau suivant pour les compteurs associés à chacun des 255 niveaux "i":

# du compteur	0	1	2	3	4	5	6	7	8	...
valeur indiquée	0	2	2	2	2	2	1	0	0	

En ne retenant que les deux extrémités, on peut conclure que tous les niveaux intermédiaires compris entre 1 et 7 ont été traversés positivement (on ne retient que les pentes positives lors d'un croisement). En éliminant une unité de décompte, le tableau précédent deviendra celui-ci:

# du compteur	0	1	2	3	4	5	6	7	8	...
valeur indiquée	0	1	2	2	2	2	0	0	0	

Maintenant on observe que tous les niveaux entre les extrêmes non nuls 1 et 5 ont été traversés avec une pente positive une autre fois. Répétant la même opération on peut à nouveau soustraire une unité aux extrema. Il suffit donc de tenir une comptabilité du nombre de passages du niveau i au niveau $i+1$. Ce jusqu'à ce que le tableau des valeurs indiquées ne compte que des zéros.

Répetons que, pour un vice de fonctionnement qui reste à identifier, le programme décrit ici n'a pu être rendu opérationnel.

3.3 CONCLUSION

Nous avons décrit dans ces quelques lignes les différents paramètres d'abord conçus pour une utilisation des modèles dits classiques de caractérisation de l'enveloppe du bruit radio. Ceux-ci sont la valeur moyenne (A_v), la moyenne du logarithme (A_L), la valeur efficace A_{eff} , la tension de déviation (V_d), de même que le facteur L_d . En outre, nous y avons présenté la distribution cumulative complémentaire (APD), tout cela accompagné d'une brève description des méthodes numériques utilisées pour les obtenir. Toutes ces caractéristiques sont tirées de l'histogramme des échantillons.

Enfin, même si nous n'avons pu réaliser le calcul du taux moyen de passage par un niveau donné, nous y avons présenté une méthode de calcul pour y parvenir.

Il reste à présenter les différents éléments de circuits qui ont permis de réaliser ces différentes mesures, ce dont traite le chapitre suivant.

Chapitre 4

REALISATION DU SYSTEME DE MESURES AUTOMATIQUE DU BRUIT RADIO

4.1 INTRODUCTION

Le présent chapitre contient une description du système réalisé dans le cadre de ce travail, du mode de fonctionnement, des circuits utilisés et des relations qui existent entre chacun des éléments principaux qui le composent.

Nous examinerons successivement chacun des organes en partant du récepteur jusqu'à l'affichage des résultats désirés.

4.2 DESCRIPTION DU SYSTEME

L'ensemble du système de mesure est représenté à la figure 4-1:

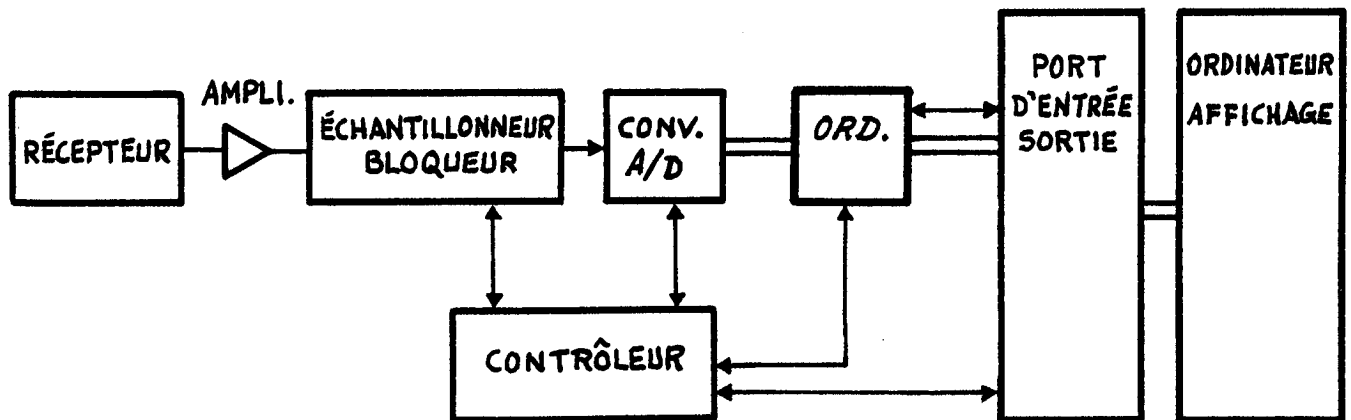


Figure 4-1: Principaux éléments du système de mesure automatique réalisé.

lequel comporte un échantillonneur-bloqueur, un convertisseur analogique-numérique, un contrôleur, un ordinateur auxiliaire avec un port d'entrée et de sortie, le tout géré par un ordinateur principal. La figure 4-2 représente cet arrangement du système.

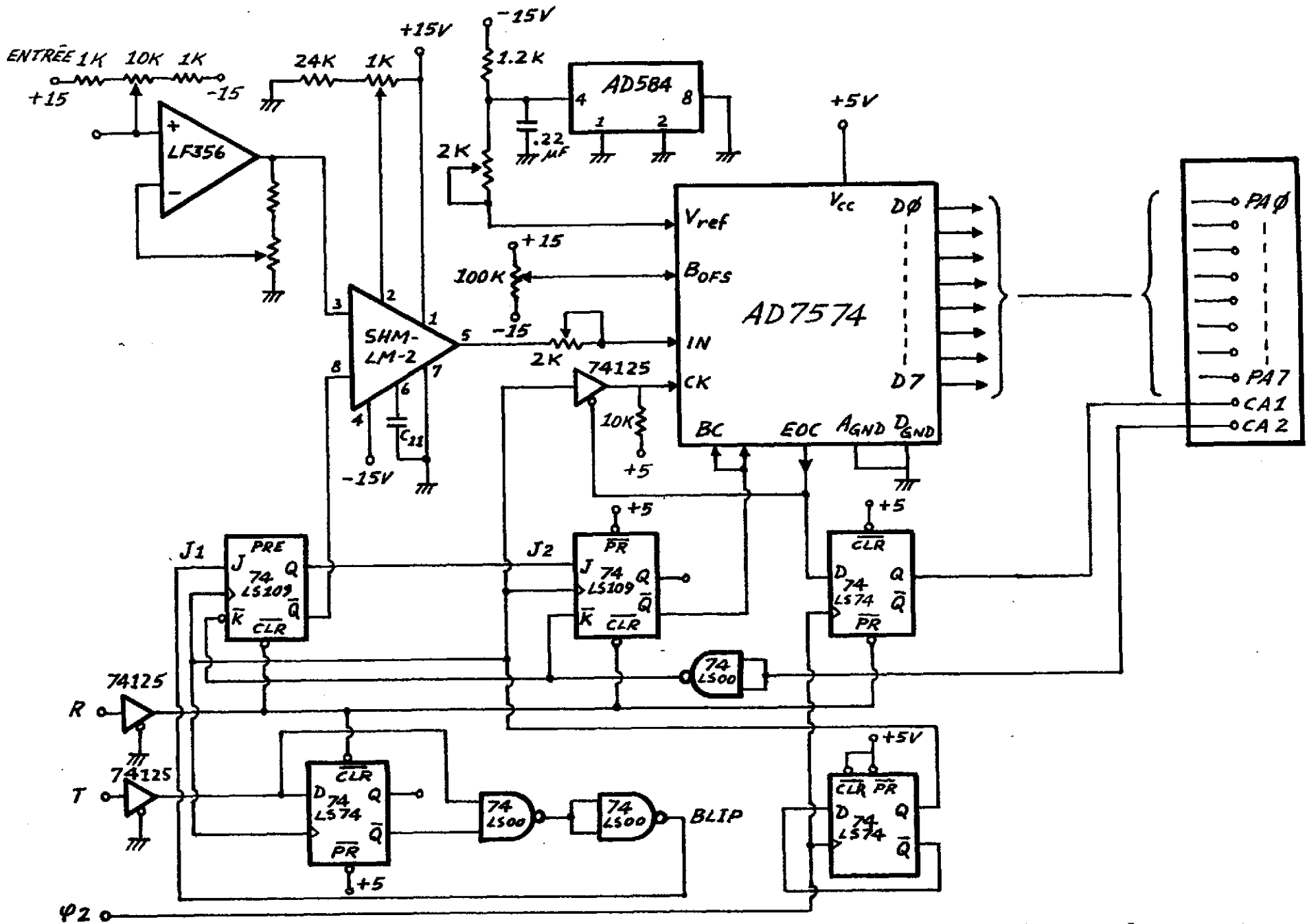


Figure 4-2: Schéma représentant l'ensemble amplificateur de sortie, échantillonneur-bloqueur, convertisseur analogique-numérique et circuits de commande.

4.2.1 Le groupe antenne-récepteur.

Comme nous l'avons dit plus haut, l'ensemble antenne-récepteur, de même que l'étage d'amplification logarithmique, nous est fourni et, à l'aide d'un étage d'isolation et d'amplification supplémentaire, nous réglons les caractéristiques du tout pour tirer profit des performances du convertisseur analogique-numérique, en particulier de sa plage dynamique. La programmation, on le verra, tiendra compte de cette contrainte que nous nous sommes fixée. Notons que l'amplificateur d'isolation (de gain A_2) dont il est question est réalisé autour du circuit LF356 de la figure 4-2.

4.2.2 L'échantillonneur-bloqueur, le convertisseur analogique-numérique, et leur contrôle.

Nous reproduisons sur la figure 4-2, outre l'étage d'amplification, le circuit de l'échantillonneur-bloqueur, centré sur le circuit SHM LM-2, et du convertisseur analogique-numérique - réalisé à l'aide du circuit AD7574. Enfin le circuit AD584 sert à fournir au convertisseur une tension de référence $V_{\text{réf}}$. L'ensemble des autres composantes, les flip-flops LS109 et LS74, de même que les portes 74L125 constituent ce que l'on appelle ici le circuit de contrôle, régissant l'opération de l'échantillonneur-bloqueur et du convertisseur analogique-numérique selon le mode que nous décrivons dans les lignes qui suivent.

L'ordinateur principal - nous en traiterons au paragraphe 4.2.4 - transmet au circuit de contrôle trois signaux. Le premier est une remise à zéro générale ("reset") pour permettre une initialisation du système dans un état connu. Un second est le signal d'horloge ϕ_2 du système, lequel d'ailleurs sert de signal de synchronisation pour le système au complet. Un dernier signal, en onde carrée, de période variable selon le taux d'échantillonnage désiré. Et c'est précisément ce signal qui met en marche l'échantillonneur et démarre la conversion analogique-numérique. Une fois celle-ci terminée, le convertisseur en prévient l'ordinateur auxiliaire (traité au paragraphe 4.2.3) à l'aide d'un signal identifié par le code EOC. Le message en 8 bits du convertisseur est dès lors présenté à l'ordinateur auxiliaire qui le traitera de façon appropriée.

La figure 4-3 présente le diagramme temporel de la séquence des différents signaux que l'on vient de décrire.

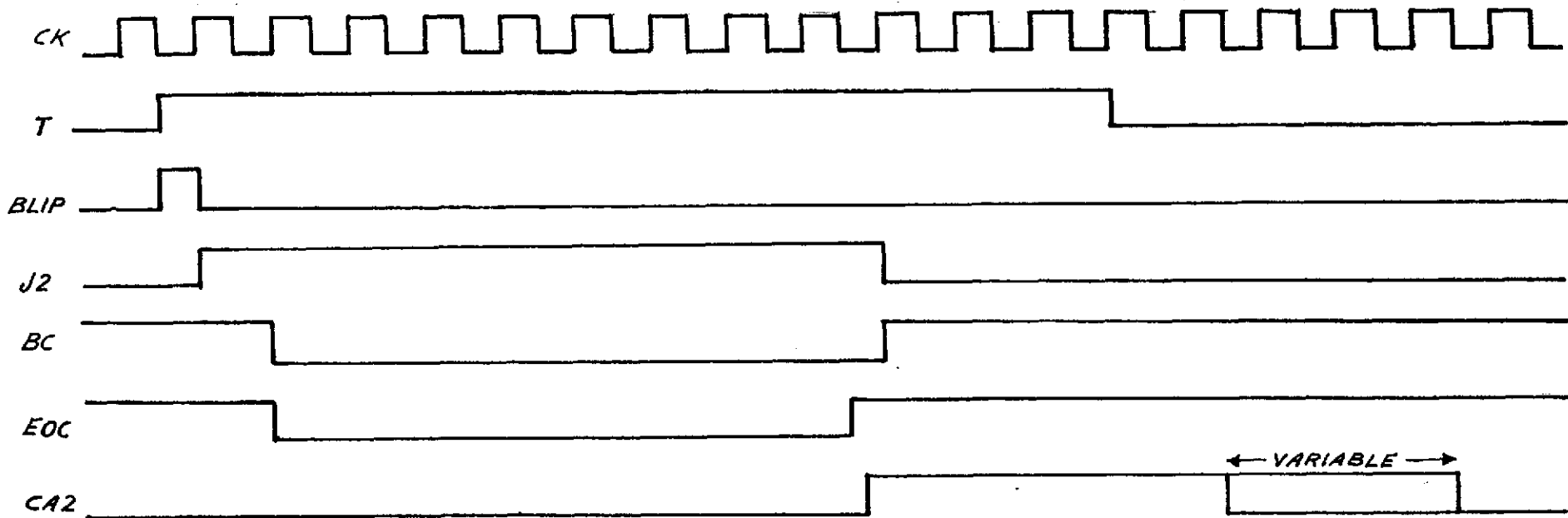


Figure 4-3: Diagramme temporel.

4.2.3 L'ordinateur auxiliaire.

L'ordinateur auxiliaire, dont le schéma apparaît sur la figure 4-4, est constitué d'un microprocesseur 6502, d'un circuit d'entrée-sortie 6522, de 2048 octets de mémoires mortes (ROM-2516), utilisés pour les programmes, et de 2048 octets de mémoires vives (RAM-2114) pour l'emmagasinement des histogrammes et des calculs n'ayant pas à être retenus.

Cet ordinateur auxiliaire a pour fonction principale le calcul des histogrammes du signal d'entrée, d'où découle toute la suite des opérations.

Mentionnons, au passage, que le calcul du taux moyen de passage par un niveau donné aurait nécessité un circuit de même nature.

4.2.4 L'ordinateur principal (AIM-65).

L'ordinateur principal, du type AIM-56, gère l'ensemble des opérations d'acquisition des données. Ainsi il initialise le système avant la cueillette des signaux, commande le départ de la période de mesure, calcule la période de mesures, début et fin, récupère les données que lui présente l'ordinateur auxiliaire et effectue les différents calculs que lui demande l'opérateur, tels ceux de la valeur moyenne, la valeur efficace, pour fournir les différents paramètres demandés et décrits au deuxième chapitre.

La figure 4-5 présente le circuit d'entrée-sortie (6522) de l'ordinateur principal et sa relation avec les principaux éléments constitutifs de l'ensemble de mesures conçu, soit l'échantillonneur-bloqueur, le convertisseur analogique-numérique et l'ordinateur auxiliaire. Nous référons le lecteur au tableau T-4-1 pour la description détaillée des signaux d'entrée-sortie du 6522.

Quant à la description des caractéristiques de l'ordinateur principal, de ses éléments constitutifs, ces détails sont donnés en annexe (appendice D).

4.2.5 Le circuit d'horloge à 60 Hz.

L'objet de ce circuit est de générer des périodes d'un soixantième de seconde (1/60), avec une très grande précision. Celle-ci est atteinte grâce à un circuit de division de fréquence, à partir d'un oscillateur stabilisé par un cristal opérant à 3,579545 MHz. L'intérêt de ce choix de fréquence réside dans le faible coût des composantes qu'on retrouve en grand nombre dans les récepteurs de télévision conventionnels.

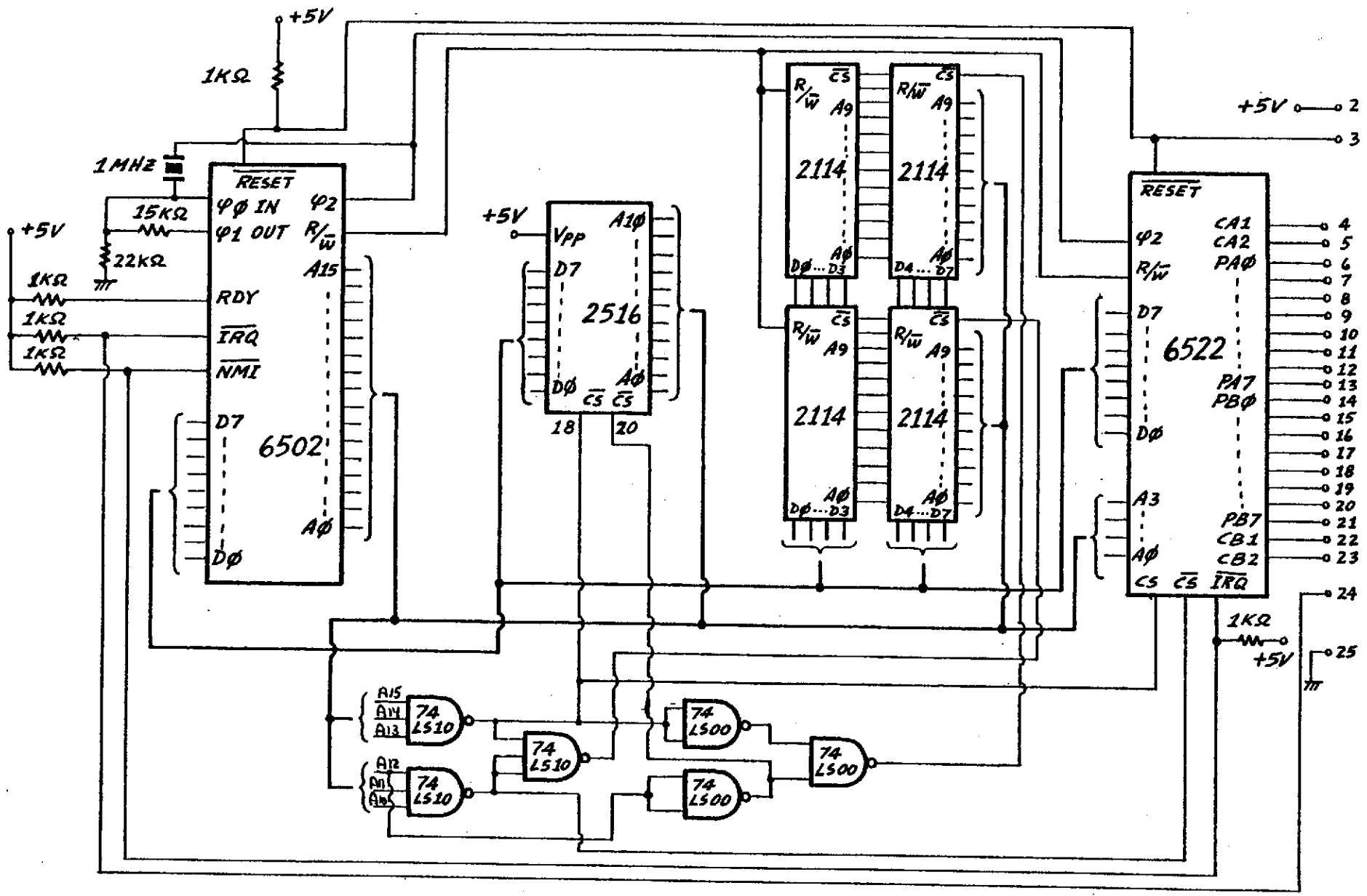


Figure 4-4: Diagramme de l'ordinateur auxiliaire.

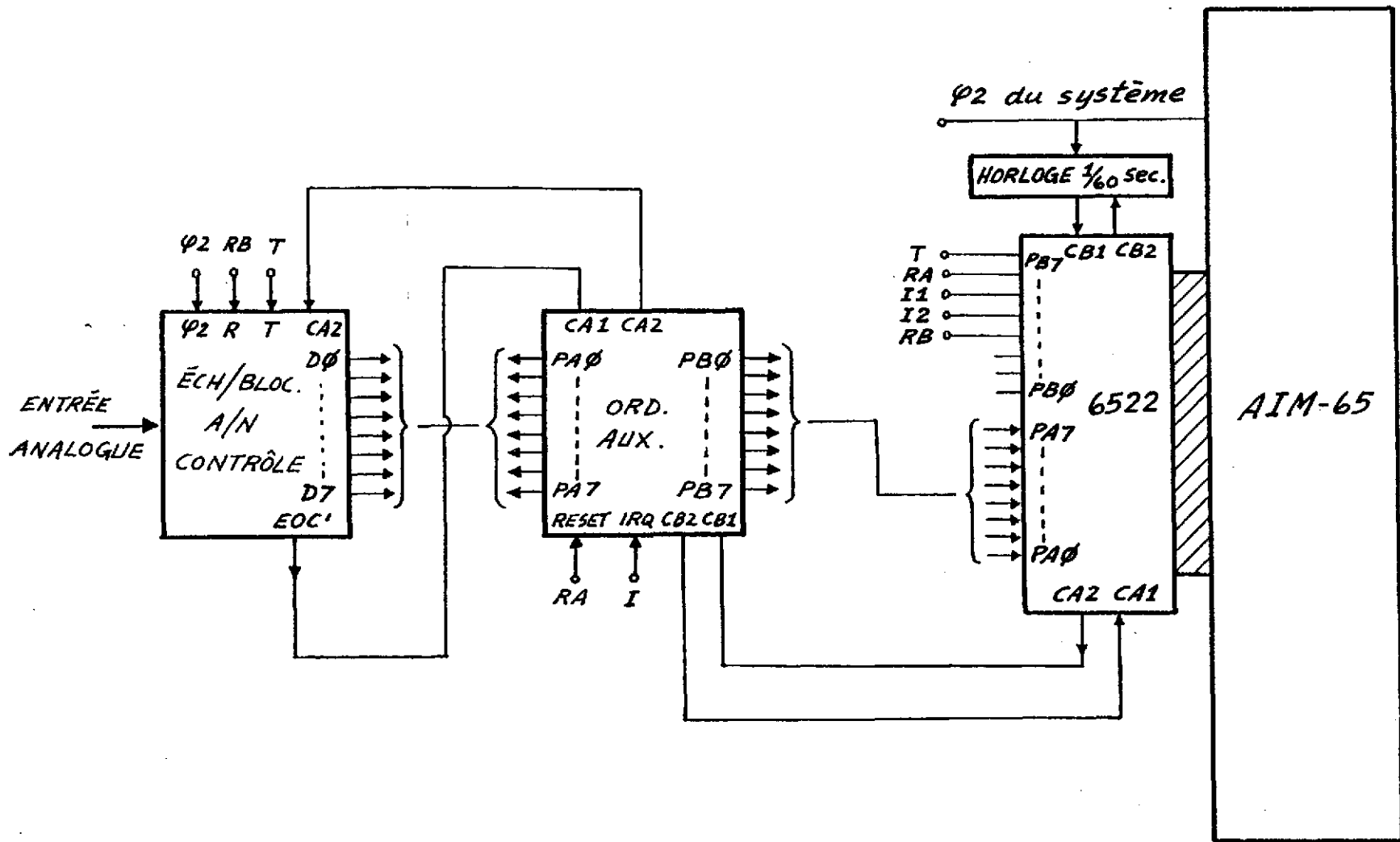


Figure 4-5: Schéma représentant l'ordinateur principal AIM-65 en relation avec les autres principales composantes du système.

Tableau T-4-1

Signaux d'entrée/sortie du circuit 6522

Signal (symbole)	Description/usage
CB1	Pulsation de 60 Hz venant du circuit horloge
CB2	démarre le circuit d'horloge
PB7	sortie qui commande l'échantillonnage
PB6	signal remise à zéro (A) destiné à l'ordinateur auxiliaire
PB5	I1, commande à l'ordinateur auxiliaire de transmettre son histogramme
PB4	inutilisé
PB3	remise à zéro (B), qui initialise le circuit de commande (contrôleur)
PB2	inutilisé
PB1	inutilisé
PB0	inutilisé
PA7	} bornes d'entrées des données en provenance de l'ordinateur auxiliaire, après échantillonnage
PA6	
PA5	
PA4	
PA3	
PA2	
PA1	
PA0	
CA2	} commandent le transfert (par "handshake") des données
CA1	

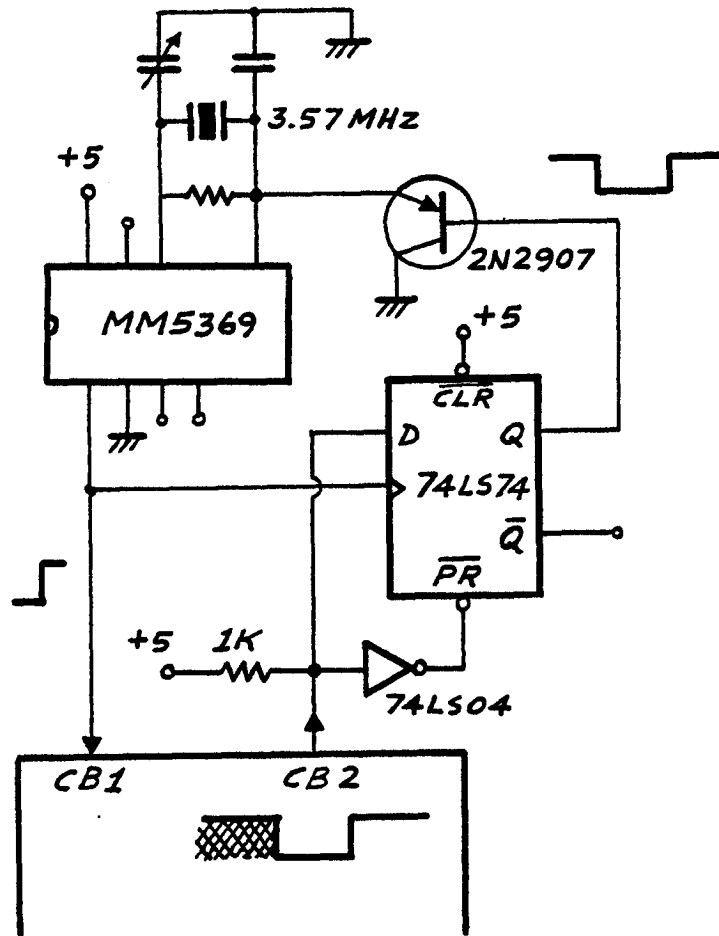


Figure 4-6: Circuit de l'horloge à 60 Hz.

Comme le montre la figure 4-6, le circuit MM5369 produit un signal avec montée positive à la borne CB1 du circuit d'entrée-sortie 6522 et la borne CB1 du même circuit commande le démarrage de l'horloge. D'autre part, le circuit 74LS74 permet l'initialisation du MM5364 dans un état connu.

4.3 PROCEDURE DE CALIBRATION

Après avoir montré les principaux éléments composant l'ensemble de mesures de bruit radio, il est nécessaire de définir les conditions qui permettront le fonctionnement optimal avec un récepteur donné. C'est ce que nous appelons ici la procédure de calibration. Celle-ci portera sur:

- 1) le réglage des paramètres du convertisseur analogique-numérique (gain, offset et tension de référence),
- 2) le réglage de l'amplificateur de sortie (déjà désigné par le symbole A_2) (gain et offset),
- 3) identification des paramètres de l'amplificateur logarithmique (pente et intersection de l'axe des y).

La séquence des opérations de calibration devient donc la suivante:

1.- s'assurer que le convertisseur analogique-numérique fonctionne proprement, i.e. que les gains offset et tension de référence sont réglés de façon que, pour une entrée de 0 volt, la sortie indique 0 (binaire) et pour une entrée de 10 volts la sortie indique 255 (binaire). Vérifier la linéarité de l'opération pour quelques valeurs de niveau intermédiaires (voir spécifications du AD7575 à l'appendice E).

2.- obtenir les caractéristiques entrée-sortie logarithmique de l'ensemble récepteur-amplificateur logarithmique ($V_y - V_i$) dont le modèle est reproduit ici (figure 3-1) pour raison de commodité:

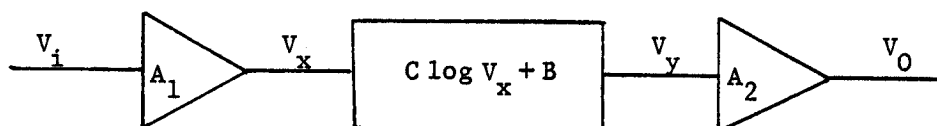


Figure 3-1

- a) fixer A_1 arbitrairement (= 100 par exemple),
- b) mesurer la pente de cette relation (papier semi-log) et calculer le

point d'intersection avec l'axe des y (relation du type $y = mx + b$).
On déterminera ainsi les paramètres C et B.

3.- réglage de l'amplificateur de sortie: celui-ci, réalisé à l'aide du circuit LF356 (voir la figure 4-2), est réglé de telle sorte que son offset ne permet pas au bruit du récepteur de fournir un signal mesurable à sa sortie et son gain (A_2) est ajusté pour que la sortie fournisse 10 volts lorsque l'entrée V_y est sur le point de saturer (valeur tirée de la relation entrée-sortie du récepteur). Une fois cette opération terminée, il suffira d'introduire dans le système les différents paramètres A_1 , A_2 , B et C lorsqu'ils seront demandés par le programme.

4.4 CONCLUSION

Nous avons donc présenté, au long de ce quatrième chapitre, les principales composantes utilisées dans le processus d'acquisition des données et de leur traitement mathématique. C'est ainsi que nous avons situé d'abord l'amplificateur interne du système, lequel permet de l'adapter à toute combinaison d'antenne et de récepteur disponible sur le marché et destiné à la mesure du bruit dans la gamme de fréquences considérée. Puis nous avons présenté successivement l'échantillonneur-bloqueur, le convertisseur analogique-numérique avec les organes de contrôle associés. Par la suite, nous avons présenté l'ordinateur auxiliaire dont la fonction principale est d'obtenir l'histogramme des signaux échantillonnés. L'ordinateur principal réalisé avec un AIM-65 procède au traitement des données, tirées des histogrammes emmagasinés et fournit les paramètres d'intérêt, valeur moyenne, valeur efficace, APD, entre autres. Enfin nous avons présenté la réalisation du circuit d'horloge de même que la procédure de calibration du système qui tient compte des caractéristiques du type de récepteur utilisé pour une campagne de mesures donnée. Reste un dernier élément pour compléter le portrait du système: le logiciel utilisé pour commander et l'ordinateur auxiliaire et l'ordinateur principal. Ceci fait l'objet du prochain chapitre.

Chapitre 5

PROGRAMMES ET SOUS-PROGRAMMES ASSOCIES AU SYSTEME

5.1 INTRODUCTION

Bien que cette partie ne soit pas indispensable à l'utilisateur du système de mesure automatique de bruit radio, il demeure nécessaire de fournir au chercheur les techniques et moyens utilisés pour obtenir les différents paramètres calculés et/ou mesurés. C'est pourquoi nous présenterons le logiciel mis au point pour atteindre les objectifs visés. C'est ainsi que nous présenterons successivement les programmes d'une part, destinés à l'ordinateur principal, appelé ici programme principal, i.e. ceux qui commandent la cueillette des données, les modalités de cueillette, et qui permettent l'interaction avec l'utilisateur; d'autre part, ceux qui régissent le fonctionnement de l'ordinateur auxiliaire, identifié sous l'appellation programme auxiliaire.

5.2 PROGRAMME PRINCIPAL

Le programme principal de commande (contrôle) et de calcul est divisé en deux parties. La première, en langage BASIC, couvre l'interaction avec l'opérateur de même que le traitement des données. La seconde, en langage machine 6502, permet de définir la durée de l'expérience d'échantillonnage et veille à la commande de l'ordinateur auxiliaire.

5.2.1 Portion du programme principal en BASIC.

Ce programme demande à l'utilisateur qu'on lui fournisse certains paramètres tels durée et taux d'échantillonnage, limites supérieures et inférieures pour ces caractéristiques d'échantillonnage, préalables à la cueillette des données, et qui sont, en même temps, nécessaires pour les calculs statistiques du bruit mesuré. La figure 5-1 fournit l'organigramme du programme et le tableau T-5-1 en donne le "listing". Nous avons cru bon d'ajouter une des-

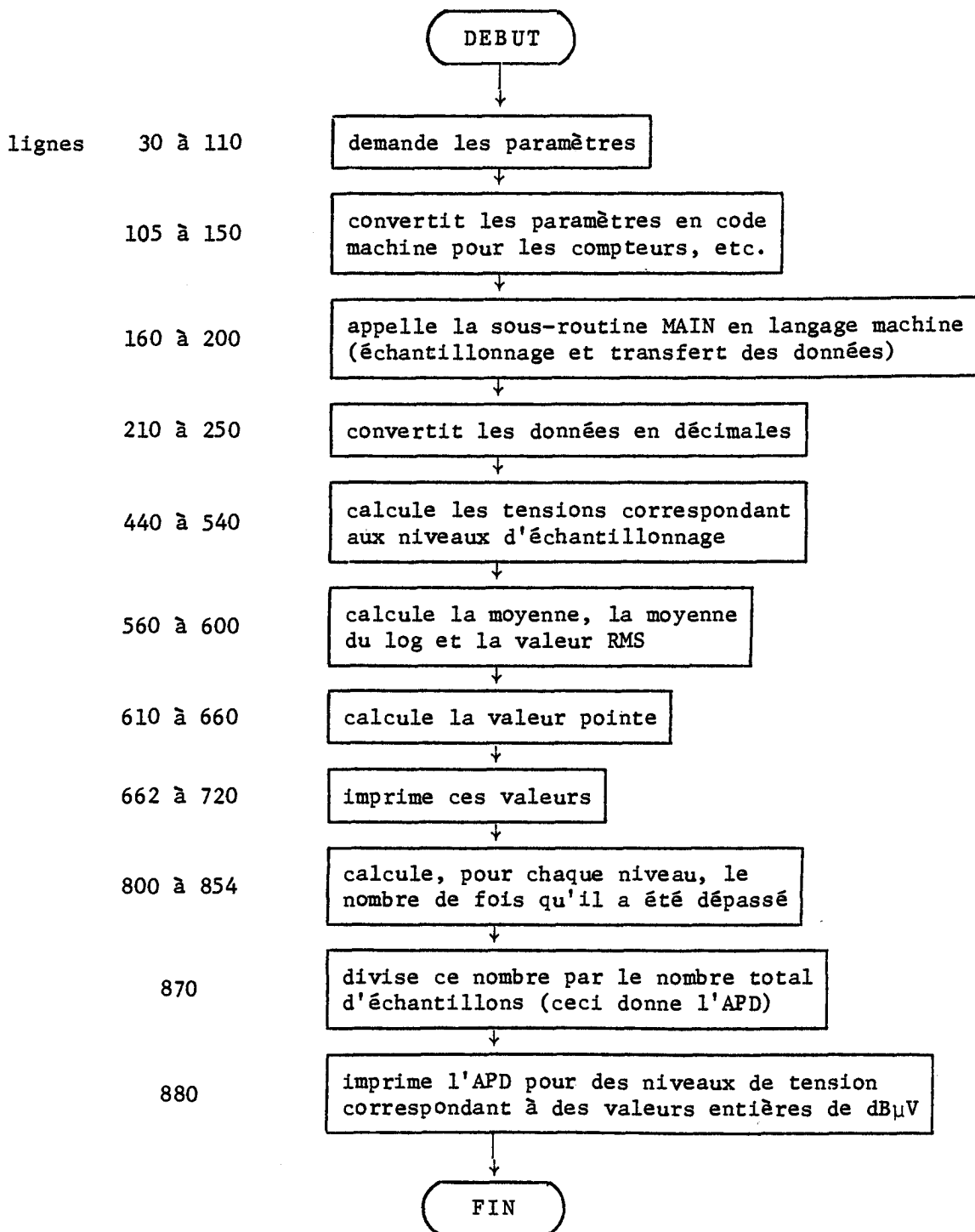


Figure 5-1

Organigramme de la portion du programme principal en BASIC.

Tableau T-5-1: Portion du programme principal en BASIC.

```

5 E=256:E0=65536:E1=512:E2=254:E3=255
10 A0=A1=A2=N0=N1=N2=Z=0
20 DIMD0(256)
30 PRINT"DONNEES PRE-ENREGISTREES?"
35 PRINT"OUI OU NON?"
37 INPUTA$
38 IFA$="N"GOTO50
40 A1=2985:A2=17.4:B=.77:C=.17
45 GOTO70
50 PRINT"GAIN DE L'AMPLI D'ENTREE "
51 GOSUB3000
52 INPUTA1
54 PRINT"GAIN DE L'AMPLI DE SORTIE "
55 GOSUB3000
56 INPUTA2
58 PRINT"POINT D'INTERCEPTION "
59 GOSUB3000
60 INPUTB
62 PRINT"GAIN DU CONV. LOG "
63 GOSUB3000
64 INPUTC
70 PRINT"TEMPS D'ECHANTILLONNAGE? (EN SECONDES, MAX=300)"
75 GOSUB3000
80 INPUTT1
90 IFT1>300ORT1<0THENGOTO2000
100 PRINT"TAUX D'ECHANTILLONNAGE? (EN KHZ, MIN=2,MAX=20)"
105 GOSUB3000
110 INPUTR1
120 IFR1<20ORR1>20GOTO2000
130 R2=ABS((5E5/(R1*1E3))-1.75)
140 POKE 40966,R2
145 POKE40971,192
150 T2=ABS(T1*60)
160 POKE4,00
170 POKES,203
180 PRINT"ECHANTILLONAGE"
185 GOSUB3000
190 Q=USR(T2)
200 PRINT"ECHANTILLONAGE TERME"
205 GOSUB3000
210 B0=25672
220 FORI=ZTOE3
230 D0(I)=PEEK(B0+I)+(E*PEEK(B0+I+E))+(E0*PEEK(B0+I+E1))
240 N0=N0+D0(I)
250 NEXT
440 IFD0(E3)>0GOTO2020
460 V0=V1=V2=0:L1=LOG(10)
465 L2=LOG(A1)/L1
470 FORI=0TOE2
480 X=(((I/(25.6*A2))-B)/C)
490 Y=(10↑X)/A1
510 V0=V0+(D0(I)*Y)
520 V1=V1+D0(I)*((X*LOG(10)/L1)-L2)
530 V2=V2+(Y*Y*D0(I))
540 NEXT

```

Tableau T-5-1 (suite)

```

560 V3=V0/N0
570 V4=V1/N0
580 V5=SQR(V2/N0)
590 V6=V5-V3
600 V7=V5-V4
610 J1=E3
620 IFD0(J1)<>0GOTO660
630 J1=J1-1
640 IFJ1=0GOTO2040
650 GOTO620
660 P0=(10↑(((J1/(25.6*A2))-B)/C))/A1
662 PRINT"PARAMETRES"
663 GOSUB3000
665 PRINT"POINTE ";P0
670 PRINT"AV ";V3
680 PRINT"AV LOG ";V4
690 PRINT"RMS ";V5
700 PRINT"VD ";V6
710 PRINT"LD ";V7
720 GOSUB3000
730 PRINT"APD APD APD APD"
740 PRINT" "
750 PRINT"NIVEAU MINIMUM(DBUV)"
755 INPUT W1
760 PRINT"NIVEAU MAX.(DBUV)"
765 INPUT W2
770 PRINT"PAS (NOMBRE ENTIER)"
775 INPUT W3
780 GOSUB3000
785 PRINT"NIVEAU(DBUV) % DU TEMPS DEPASSE"
800 FORU=W1TOW2STEPW3
805 N4=0
810 U1=(10↑(U/20))*1E-6
820 I=INT(25.6*A2*(B+C*(LOG(A1*U1)/L1)))
830 IFI<1THEN N5=100:GOTO880
840 IFI>254GOTO870
850 FORI1=IT0254
852 N4=N4+D0(I1)
854 NEXT
870 N5=N4*100/N0
880 PRINTU,N5
890 NEXTU
895 GOSUB 3000
960 END
2000 PRINT"ERREUR, LISEZ LES DIRECTIONS!"
2010 GOTO50
2020 PRINT"IL Y A EU SATURATION"
2030 END
2040 PRINT"VALEUR POINTE TROP BASSE"
2050 END
3000 PRINT" ":PRINT" "
3010 RETURN

```

cription des lignes importantes, étant donné l'absence* de commentaires insérés dans le programme; celles-ci sont données dans le tableau T-5-2:

Tableau T-5-2

Description des lignes importantes facilitant
la compréhension du programme

130	- conversion du taux d'échantillonnage en binaire pour l'opération du compteur qui gère l'échantillonnage.
140 & 145	- insertion des codes pour l'opération du compteur.
150	- conversion du temps d'échantillonnage en 1/60 seconde.
210	- table des données située à l'adresse 7000 (base 16).
230	- conversion des données en décimales.
480 & 490	- conversion des niveaux d'échantillonnage en niveaux de tension.
510	- accumulation pour le calcul de la moyenne.
520	- accumulation pour la moyenne du log.
530	- accumulation pour la valeur RMS.
560,570,580	- moyennage.
590,600	- calcul de V_d et L_d .
660	- calcul de la valeur pointe (en tension).
810,820	- conversion des niveaux de dB μ V entiers en niveaux correspondant à ceux de l'échantillonnage.
2000 à 2050	- messages d'erreurs.

5.2.2 Portion du programme principal en langage machine.

Cette portion du programme principal, écrit en langage machine, comporte deux sous-programmes. Le premier, identifié sous le nom de MAIN, voit à initialiser les ports d'entrée-sortie qui serviront à la communication avec l'ordinateur auxiliaire. En outre, il règle les différents compteurs qui fixent et la fréquence et la durée d'échantillonnage. Le second, appelé DUMP, gère le transfert des données de l'ordinateur auxiliaire vers l'ordinateur principal en vue de calculs subséquents. La figure 5-2 montre l'organigramme de ces deux sous-programmes. Notons qu'ils sont appelés en sous-routine par le programme en BASIC via la fonction USR. Enfin, le listing de ces deux sous-programmes, en langage machine, est donné au tableau T-5-3.

* L'absence de commentaires a été dictée par l'économie de mémoires dans le système.

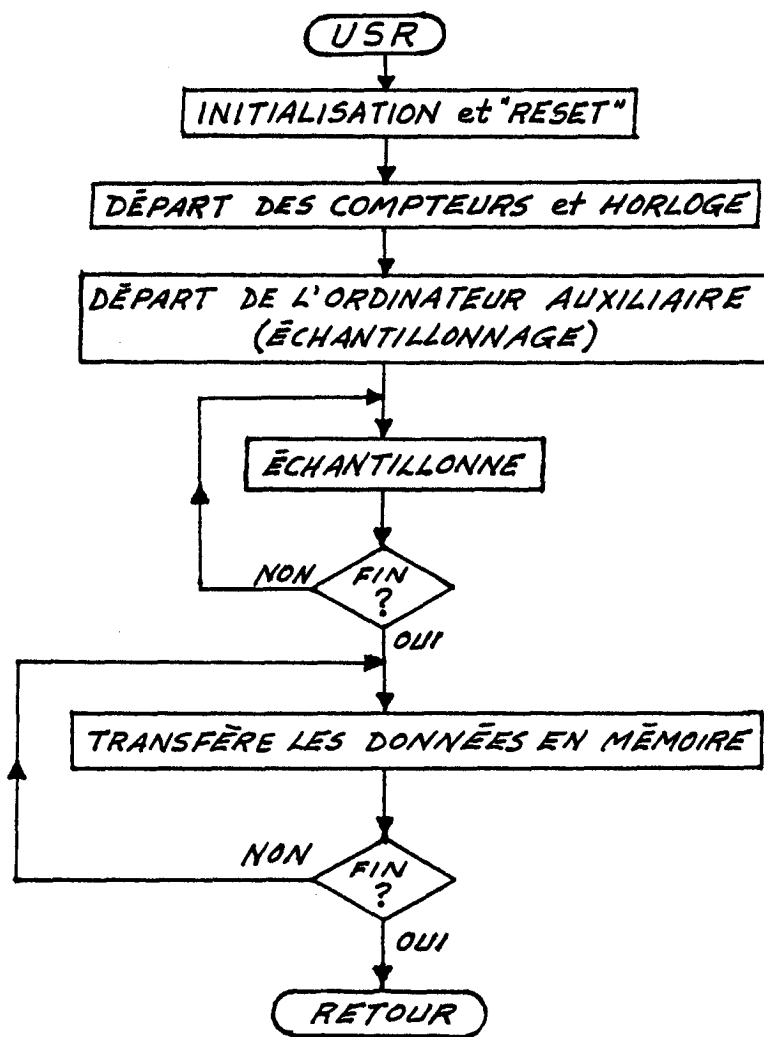


Figure 5-2

Organigramme des deux sous-programmes du programme principal écrit en langage machine, dont le listing est donné au tableau T-5-3.

Tableau T-5-3: Listing des sous-programmes du programme principal écrits en langage machine.

	0005 ;		
	0010	.OS	
	0020	.BA \$D000	
	0030	.MC \$5000	
	0040 ORR	.DE \$A000	- 6522 à l'adresse A000 base 16
	0050 ORA	.DE ORB+\$1	
	0060 DDRB	.DE ORB+\$2	
	0070 DDRA	.DE ORB+\$3	
	0080 TILL	.DE ORB+\$6	
	0090 TILH	.DE ORB+\$5	
	0100 ACREG	.DE ORB+\$B	
	0110 PCREG	.DE ORB+\$C	
	0120 IFRFG	.DE ORB+\$D	
	0130 TABLE1	.DE \$7000	- table pour l'histogramme
	0140 TABLE2	.DE \$7A00	
	0150 INDXL	.DE \$00AC] compteurs pour le temps d'échantil- lonnage et transfert des données
	0160 INDXH	.DE \$00AD	
	0170 SECL	.DE \$7800] compteurs de 1/60 de seconde
	0180 SECH	.DE \$7801	
	0190 LOLIM	.DE \$7802	
	0200 HILIM	.DE \$7803	
	0210 ;		
	0220 ;		
	0230 ;		
D000-	20 FF BF	0240 MAIN	JSR \$BEFE]
D003-	A5 AC	0250	LDA *INDXL]
D005-	A6 AD	0260	LDX *INDXH] prend le temps d'échantillonnage et
D007-	86 AC	0270	STX *INDXL] prépare le compteur pour le décompte
D009-	85 AD	0280	STA *INDXH]
D00R-	A9 00	0290	LDA #\$00]
D00D-	8D 00 78	0300	STA SECL] efface les compteurs de 1/60 de seconde
D010-	8D 01 78	0310	STA SECH] (pour partir à zéro)
D013-	A9 FF	0320	LDA #\$FF]
D015-	8D 02 A0	0330	STA DDRB] configure le port B en sortie
D018-	A9 30	0340	LDA #\$30]
D01A-	8D 00 A0	0350	STA ORB] reset du système auxiliaire
D01D-	A9 D0	0360	LDA #\$D0]
D01F-	8D 0C A0	0370	STA PCREG] configure CB1 et CB2, et préparation de l'horloge 1/60 de seconde

Tableau T-5-3 (suite)

D022-	A9 70	0380		LDA #S70]	départ de l'ordinateur auxiliaire
D024-	8D 00 A0	0390		STA ORB]	
D027-	20 A3 D0	0400		JSR SDLY	-	petit délai
D02A-	A9 78	0410		LDA #S78]	départ des circuits auxiliaires
D02C-	8D 00 A0	0420		STA ORB]	
D02F-	20 9A D0	0430		JSR LDLY	-	petit délai
D032-	A9 00	0440		LDA #S00]	départ du compteur de taux d'échantillonnage
D034-	8D 05 A0	0450		STA IILH]	
D037-	A9 F0	0460		LDA #SF0]	configuration de CB1 et CB2 et départ
D039-	8D 0C A0	0470		STA PCREG]	de l'horloge 1/60 de seconde
D03C-	AD 0D A0	0480	LOOP	LDA IFREG]	
D03F-	29 10	0490		AND #S10]	boucle et attend les signaux de 1/60
D041-	F0 F9	0500		BEQ LOOP]	de seconde
D043-	AD 00 A0	0510		LDA ORB	-	lecture bidon pour reset des flags
D046-	FF 00 78	0520		INC SECL	-	incrémente le compteur (partie basse)
D049-	F0 11	0530		BEQ HIBYTE	-	si = 0, incrémente la partie haute du compteur
D04B-	AD 01 78	0540	CHECK	LDA SECH]	
D04F-	C5 AD	0550		CMP *INDXH]	vérifie le compteur (partie haute)
D050-	D0 FA	0560		BNE LOOP]	
D052-	AD 00 78	0570		LDA SECL]	
D055-	C5 AC	0580		CMP *INDXL]	vérifie le compteur (partie basse)
D057-	D0 F3	0590		BNE LOOP]	
D059-	4C 62 D0	0600		JMP DUMP	-	fait le transfert des données
D05C-	FE 01 78	0610	HIBYTE	INC SECH]	
D05F-	4C 4B D0	0620		JMP CHECK]	incrémente le compteur haut
		0630 ;				
		0640 ;				
D062-	A9 00	0660	DUMP	LDA #S00]	initialisation du "handshake"
D064-	8D 0B A0	0670		STA ACRFG]	
D067-	8D 03 A0	0680		STA DDKA	-	configure le port A en entrée
D06A-	A9 CA	0690		LDA #SCA]	configure CA1 et CA2 pour le "handshake"
D06C-	8D 0C A0	0700		STA PCREG]	et arrêt de l'horloge 60 Hz
D06F-	A9 00	0710		LDA #L, TABLE1]	
D071-	85 AC	0720		STA *INDXL]	début de la table de l'histogramme
D073-	A9 70	0730		LDA #H, TABLE1]	
D075-	85 AD	0740		STA *INDXH]	fin de la table de l'histogramme
D077-	A9 58	0750		LDA #S58]	transmet le IRQ à l'ordinateur au-
D079-	8D 00 A0	0760		STA ORB]	xiliaire # 1
D07C-	A2 00	0770		LDX #S00	-	efface l'indice de transfert
D07E-	AD 01 A0	0780		LDA OKA	-	lecture bidon

Tableau T-5-3 (fin)

D081-	AD 0D A0	0790	NTRDY	LDA IFREG] attend le "handshake"
D084-	29 02	0800		AND #S02	
D086-	F0 F9			BEQ NTRDY	
D088-	AD 01 A0	0820		LDA ORA	- lecture des données
D08R-	81 AC	0830		SIA (INDXL,X)	- place les données en mémoire
D08D-	F6 AC	0840		INC *INDXL	- incrémente l'indice
D08F-	D0 F0	0850		BNE NTRDY] vérifie la fin des transferts
D091-	F6 AD	0860		INC *INDXH	
D093-	A5 AD	0870		LDA *INDXH	
D095-	C9 73	0880		CMP #H, TABLE1+S0300	
D097-	D0 E8	0890		BNE NTRDY	
D099-	60	0900		RTS	
		0910 ;			
		0920 ;			
		0930 ;			
D09A-	A0 10	0940	LDLY	LDY #S10	- long délai
D09C-	20 A3 D0	0950	AGAIN	JSR SDLY] boucle
D09F-	88	0960		DEY	
D0A0-	D0 FA	0970		BNE AGAIN	
D0A2-	60	0980		RTS	
D0A3-	A2 FF	0990	SDLY	LDX #SFF	- petit délai
D0A5-	CA	1000	AGAN	DEX] boucle
D0A6-	D0 FD	1010		BNE AGAN	
D0A8-	60	1020		RTS	
		1030		.FN	

LABEL FILE: [/ • EXTERNAL]

/ORR•A000
 /DDRA•A003
 /ACREG•A00B
 /TABLE1•7000
 /INDXH•00AD
 /LOLIM•7802
 LOOP•D03C
 PUMP•D062
 AGAIN•D09C

/ORA•A001
 /TILL•A006
 /PCREG•A00C
 /TABLE2•7A00
 /SFCL•7800
 /HILIM•7803
 CHECK•D04B
 NTRDY•D081
 SDLY•D0A3

/DDRKB•A002
 /TILH•A005
 /IFREG•A00D
 /INDXL•00AC
 /SECH•7801
 MAIN•D000
 HIBYTE•D05C
 LDLY•D09A
 AGAN•D0A5

//0000,D0A9,50A9

5.3 PROGRAMMES DE L'ORDINATEUR AUXILIAIRE

Nous avons écrit trois séries de programmes pour l'ordinateur auxiliaire, lesquels sont appelés et mis en marche par la mise à la terre de l'une des trois bornes du 6502 identifiées par les symboles IRQ, NMI et RESET. Lorsque cet événement se produit, l'ordinateur principal complète l'instruction qu'il est en train d'exécuter, met en mémoire l'adresse suivante et procède à l'exécution du sous-programme correspondant. La description de chacune des fonctions associées à chacun de ces sous-programmes est donnée ici:

RESET : initialise les ports d'entrée/sortie et les compteurs;
 NMI : prend les données et incrémente les compteurs de l'histogramme;
 IRQ : commande la fin de l'échantillonnage ainsi que le transfert des données vers l'ordinateur principal.

5.4 ORGANIGRAMMES DES PROGRAMMES RESET, NMI ET IRQ

Nous présentons, sur les figures 5-3, 5-4, 5-5, les organigrammes associés à chacun des programmes de l'ordinateur auxiliaire, dans l'ordre suivant: RESET, NMI et IRQ. Nous complétons la description de ces trois programmes en offrant, au tableau T-5-4, le listing des trois mêmes programmes en y insérant les explications nécessaires à sa compréhension.

5.5 CONCLUSION

Le présent chapitre avait pour but de présenter, à l'utilisateur du système de mesure de bruit radio que nous avons réalisé, le détail du traitement réservé aux données recueillies. Nous l'avons fait en présentant et les organigrammes et les listings de chacun des programmes et sous-programmes associés à l'ordinateur principal (AIM-65) aussi bien qu'à l'ordinateur auxiliaire. Il va de soi que ces éléments ne sont pas rigoureusement essentiels à l'utilisateur, qui n'a qu'à fournir à l'ordinateur principal les réponses aux questions qui lui sont posées, ce qui lui confère une extrême simplicité d'usage.

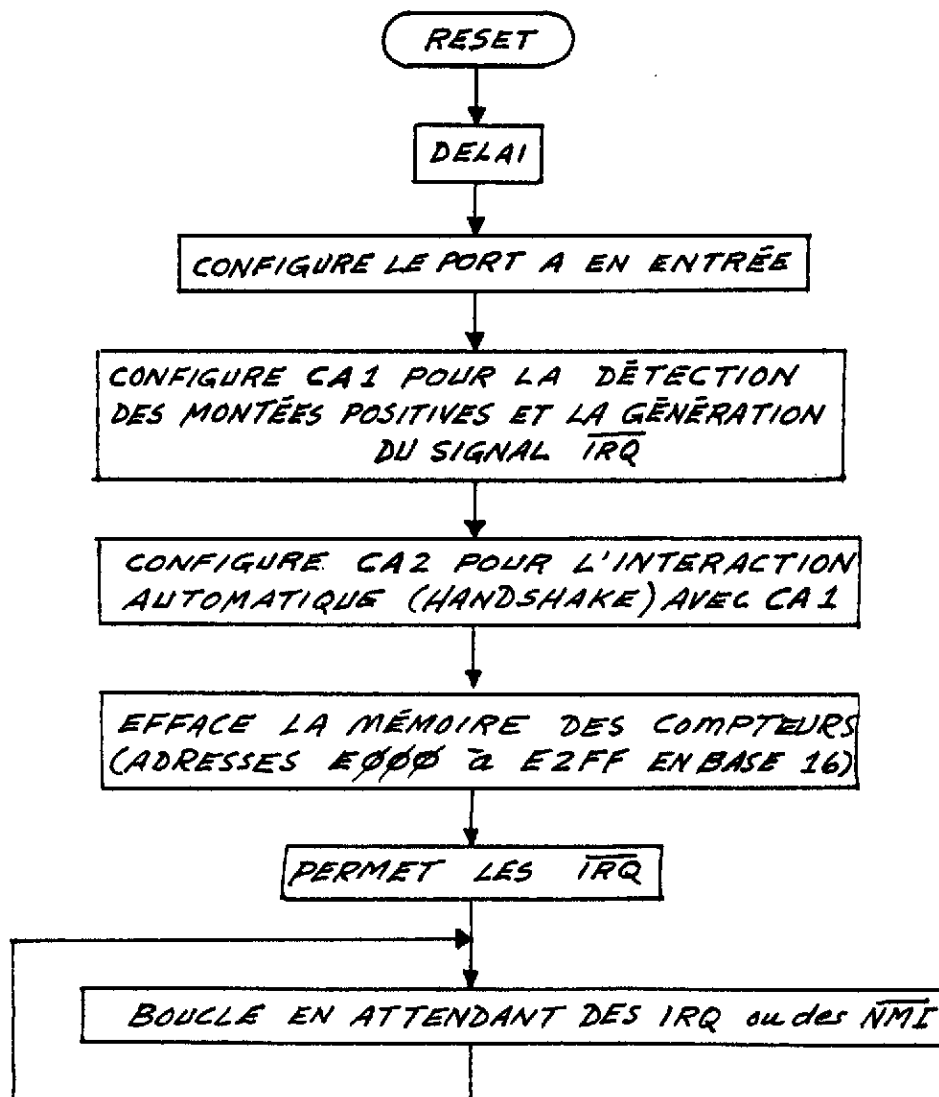


Figure 5-3

Organigramme du programme RESET de l'ordinateur auxiliaire.

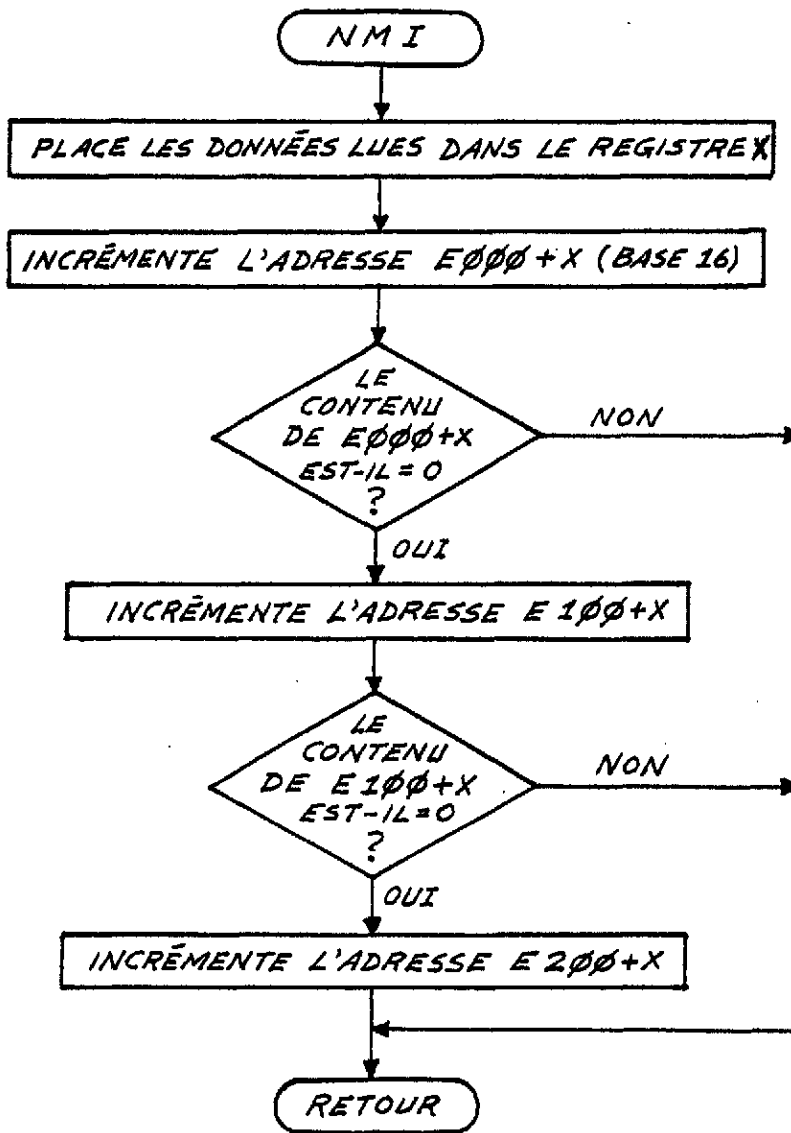


Figure 5-4

Organigramme du programme NMI de l'ordinateur auxiliaire.

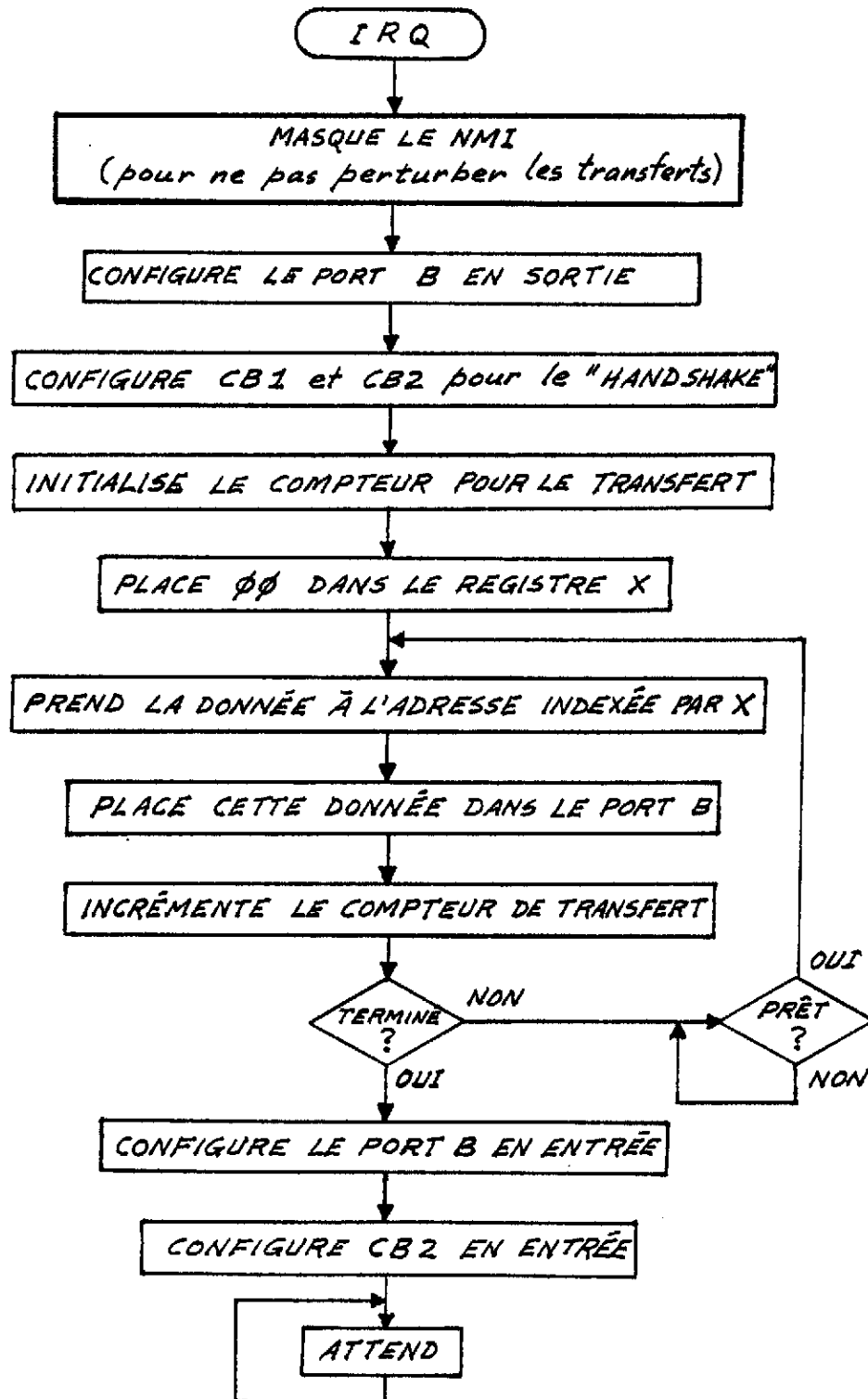


Figure 5-5

Organigramme du programme IRQ de l'ordinateur auxiliaire.

Tableau T-5-4: Listing des programmes RESET, NMI et IRQ de l'ordinateur auxiliaire.

```

0010 ;
0020      .OS
0030      .BA $F800
0040      .MC $5000
0050 ORR      .DE $1C00
0060 ORA      .DE ORB+$01
0070 DDKB     .DE ORB+$02
0080 DDRA     .DE ORB+$03
0090 ACREG    .DE ORB+$0B
0100 PCREG    .DE ORB+$0C
0110 IFREG    .DE ORB+$0D
0120 IEREG    .DE ORB+$0E
0130 HIS0     .DE $F000
0140 HIS1     .DE HIS0+$100
0150 HIS2     .DE HIS0+$200
0160 COUNL    .DE $0010
0170 COUNH    .DE COUNL+$01
0180 ;
0190 ;
0200 ;
0210 ;
F800- D8      0220 RESET      CLD      — enlève le mode décimal
F801- A2 00   0230          LDX # $00  ]
F803- F8      0240 RLP       INX      ]
F804- 8A      0250          TXA      ] petit délai
F805- D0 FC   0260          BNE RLP  ]
F807- 8D 03 1C 0270          STA DDRA  — configure le port A en entrée
F80A- A9 01   0280          LDA # $01  ]
F80C- 8D 0B 1C 0290          STA ACREG ] permet le "latching" sur le port A
F80F- A9 09   0300          LDA # $09  ]
F811- 8D 0C 1C 0310          STA PCREG ] configure CA1 et CA2 pour l'interaction
F814- A9 82   0320          LDA # $82  ] avec les circuits externes
F816- 8D 0E 1C 0330          STA IEREG ] IRQ généré par CA1
F819- A2 00   0340          LDX # $00  ]
F81R- 8A      0350          TXA      ] prépare X et A pour effacer la mémoire
F81C- 9D 00 F0 0360 CLP0     STA HIS0,X ]
F81F- F8      0370          INX      ] efface la page E0
F820- D0 FA   0380          BNE CLP0 ]

```

Tableau T-5-4 (suite)

F822-	9D 00 F1	0390	CLP1	STA HIS1,X] efface la page E1
F825-	F8	0400		INX	
F826-	D0 FA	0410		BNE CLP1] efface la page E2
F828-	9D 00 F2	0420	CLP2	STA HIS2,X	
F82B-	F8	0430		INX	
F82C-	D0 FA	0440		BNE CLP2	
F82F-	4C 80 F8	0450		JMP PATCH	
F831-	FA	0460		NOP	
		0470		;	
		0480		;	
		0490		;	
F832-	AF 01 1C	0500	NMI	LDX ORA] incrémente l'octet le moins significatif
F835-	FF 00 F0	0510		INC HIS0,X	
F838-	D0 08	0520		BNE OUT] incrémente le prochain octet le plus significatif (si nécessaire)
F83A-	FF 00 F1	0530		INC HIS1,X	
F83D-	D0 03	0540		BNE OUT] incrémente l'octet le plus significatif (si nécessaire)
F83F-	FF 00 F2	0550		INC HIS2,X	
F842-	40	0560	OUT	RTI	
		0570		;	
		0580		;	
		0590		;	
F843-	A9 00	0600	IR01	LDA #S00] masque le NMI
F845-	8D 0F 1C	0610		STA IEREG	
F848-	A9 FF	0620		LDA #SFF] configure le port B en sortie
F84A-	8D 02 1C	0630		STA DDRB	
F84D-	A9 90	0640		LDA #S90] configure CB1 et CB2 pour "handshake"
F84F-	8D 0C 1C	0650		STA PCREG	
F852-	A9 00	0660		LDA #L,HIS0] prépare les compteurs de transfert
F854-	85 10	0670		STA *COUNL	
F856-	A9 F0	0680		LDA #H,HIS0] prend les données
F858-	85 11	0690		STA *COUNH	
F85A-	A2 00	0700		LDX #S00	
F85C-	A1 10	0710	MORE	LDA (COUNL,X)	
F85E-	FA	0720		NOP	
F85F-	8D 00 1C	0730		STA ORB	— place les données sur le port B
F862-	F6 10	0740		INC *COUNL] incrémente les compteurs de transfert et vérifie la fin
F864-	D0 10	0750		BNE READY	
F866-	E6 11	0760		INC *COUNH	
F868-	A5 11	0770		LDA *COUNH	
F86A-	C9 F3	0780		CMP #H,HIS2+\$0100	
F86C-	D0 08	0790		BNE READY	

Tableau T-5-4 (fin)

F86F-	A9 00	0800	LDA #S00] configure le port B en entrée
F870-	8D 02 1C	0810	STA DDRB	
F873-	4C 87 F8	0820	JMP PATCH2	
F876-	AD 0D 1C	0830	LDA IFREG] attend le "handshake"
F879-	29 10	0840	AND #S10	
F87B-	F0 F9	0850	BEQ READY	
F87D-	4C 5C F8	0860	JMP MORE	
		0870	;	
		0880	;	
		0890	;	
F880-	58	0900	PATCH	CLI — permet les IRQ
F881-	AD 01 1C	0910	LDA ORA	— lecture bidon
F884-	4C 84 F8	0920	WAIT	JMP WAIT — attend
		0930	;	
F887-	A9 00	0940	PATCH2	LDA #S00]
F889-	8D 0C 1C	0950	STA PCREG	configure CB2 en entrée
F88C-	4C 84 F8	0960	JMP WAIT	— attend
		0970	.EN	

LABEL FILE: [/ • EXTERNAL]

/ORR•1C00	/ORA•1C01	/DDRB•1C02
/DDRA•1C03	/ACREG•1C0B	/PCREG•1C0C
/IFRFG•1C0D	/IEREG•1C0E	/HIS0•E000
/HIS1•E100	/HIS2•E200	/COUNL•0010
/COUNH•0011	RESET•F800	KLP•F803
CLP0•F81C	CLP1•F822	CLP2•F828
NMI•F832	OUT•F842	IRQ1•F843
MORF•F85C	HERE•F873	READY•F876
PATCH•F880	WAIT•F884	PATCH2•F887

//0000, F88F, 508F

>

Chapitre 6

CONCLUSION

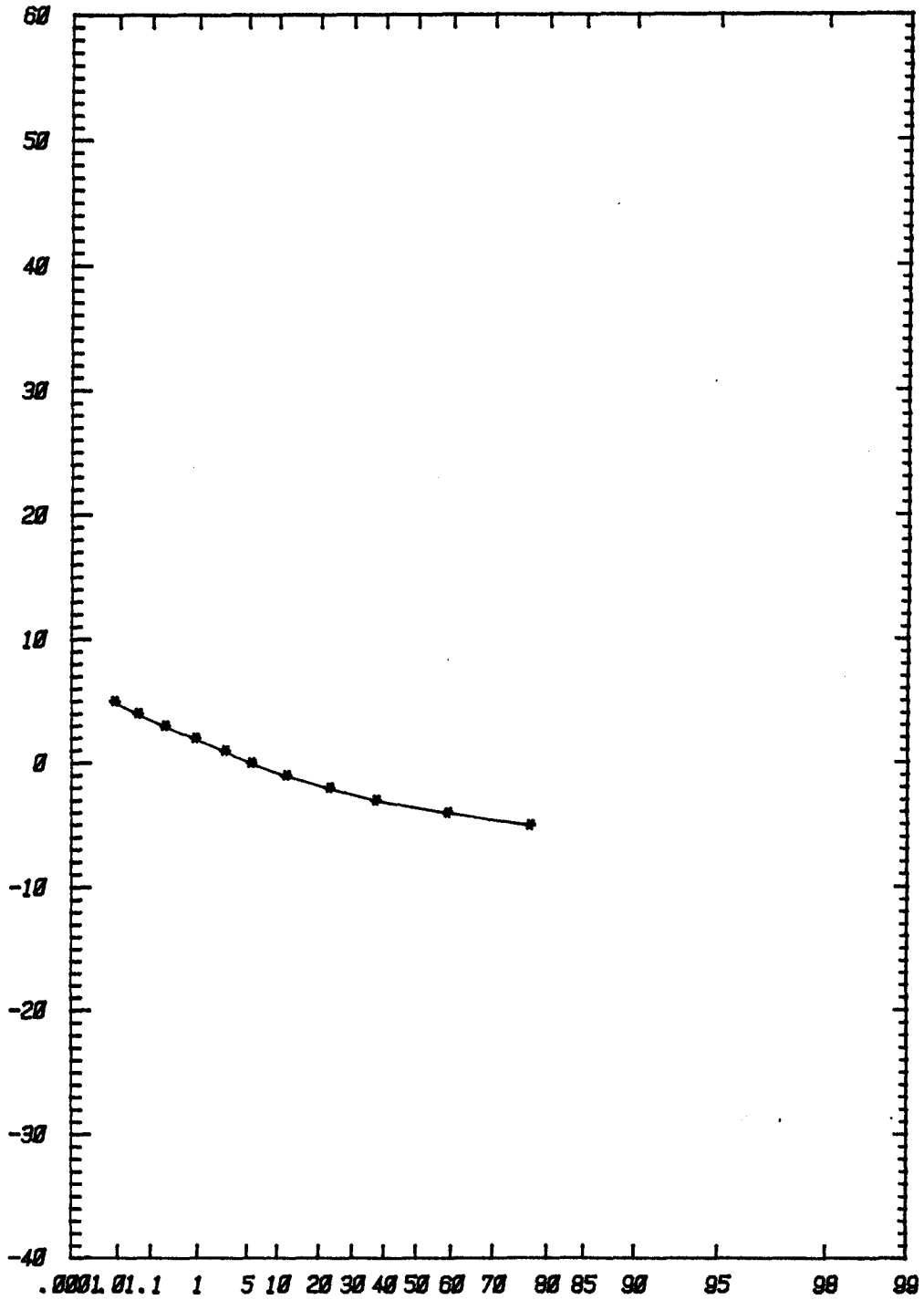
L'objectif du travail entrepris visait à la réalisation d'un ensemble destiné à caractériser l'enveloppe du bruit radio, dans la gamme de fréquences de 500 MHz jusqu'à 1000 MHz, ce, à l'aide des paramètres classiques utilisés dans des régions de plus basses fréquences. Ce sont les valeur moyenne, valeur efficace, valeur pointe, moyenne du logarithme, la tension V_d et le paramètre L_d , de même que la distribution cumulative complémentaire (APD) de l'enveloppe. Nous avons réalisé un système qui, lorsqu'il est alimenté par un récepteur dont la sortie est logarithmique, donc en bande de base, échantillonne, à des taux compris entre deux et vingt kHz, pendant des intervalles variables jusqu'à une valeur maximale de 300 secondes, et fournit, après quelques secondes de calcul, tous ces paramètres. L'ensemble du système s'appuie sur un micro-ordinateur AIM-65, auquel nous avons greffé un ordinateur auxiliaire dont la fonction est d'échantillonner et de fournir au système principal un histogramme des données recueillies. Par la suite nous avons décrit, dans les chapitres 4 et 5, les éléments intégrés utilisés pour y parvenir de même que le logiciel associé aux ordinateurs utilisés.

Les résultats obtenus sont tout à fait satisfaisants. Quelques exemples d'APD mesurés sont fournis ici, à titre d'illustration (figures 6-1, 6-2, 6-3, 6-4, 6-5). Ces mesures ont été effectuées à bord de l'unité mobile du CRC, avec une antenne et un préamplificateur déjà décrits au deuxième chapitre (antenne discone, préamplificateur MITEQ).

Nous nous sommes affranchis du bruit du système en fixant le seuil d'opération du convertisseur analogique-numérique au-delà du niveau généré par l'ensemble de mesures.

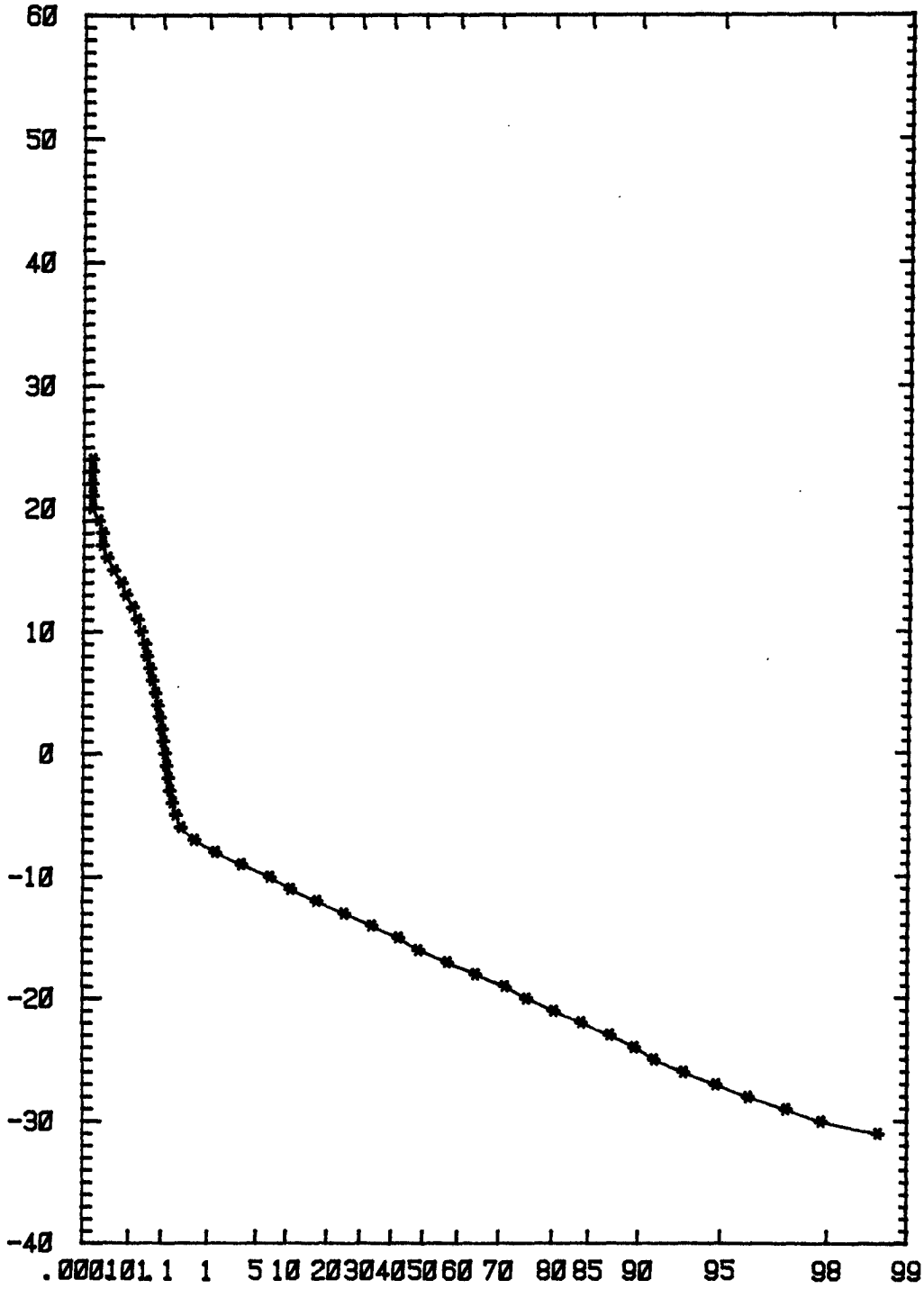
Il va de soi que l'interprétation de ces APD n'est pas l'objet de nos préoccupations dans cette étude, mais le deviendra dans une étape subséquente alors que nous comptons appliquer le modèle de Middleton aux sources de bruit mesuré pour en évaluer la validité et le bien-fondé.

Figure 6-1



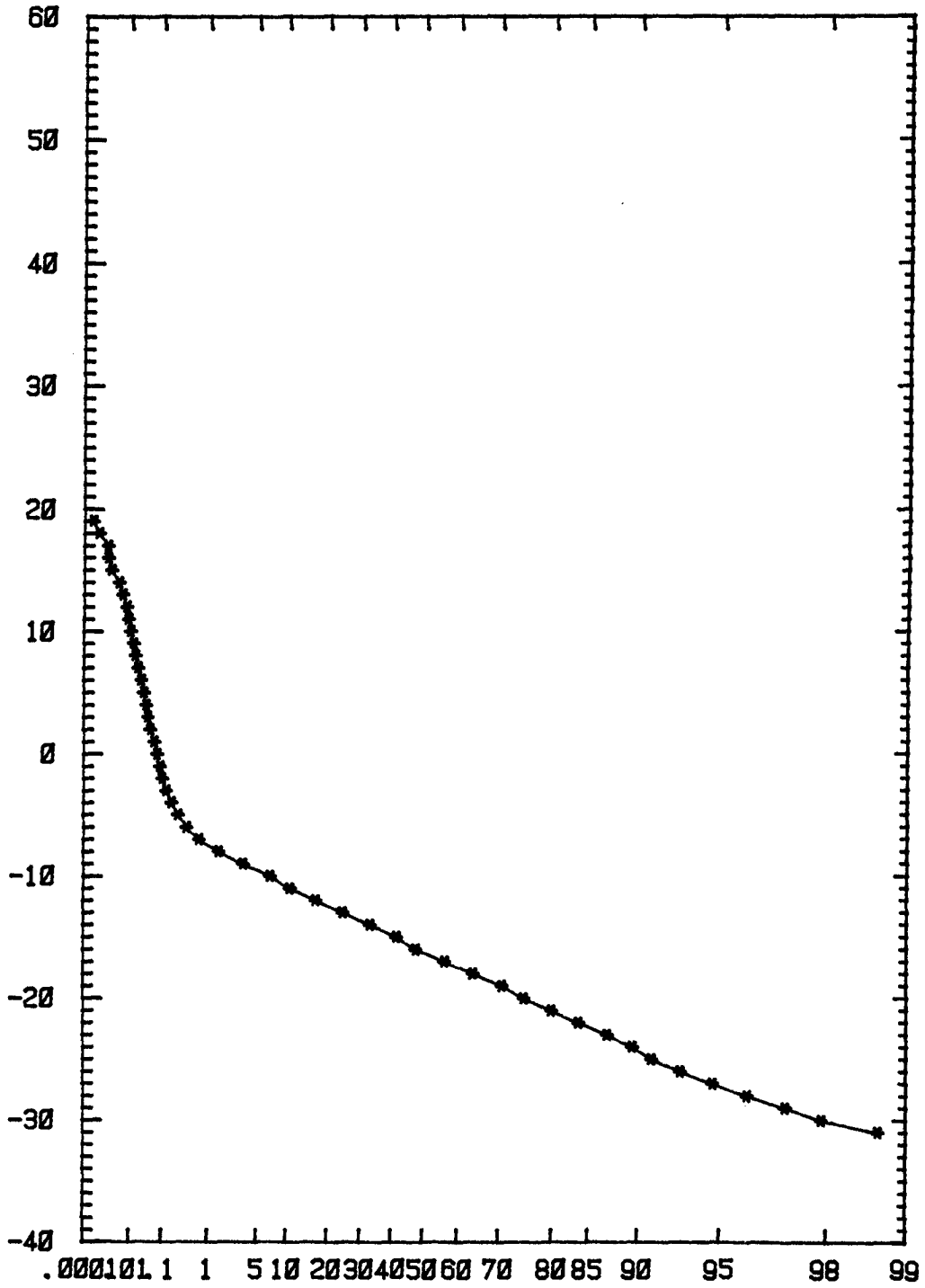
8 SEPT 82 BRUIT DU RECEPTEUR SEUL A 560 MHZ

Figure 6-2



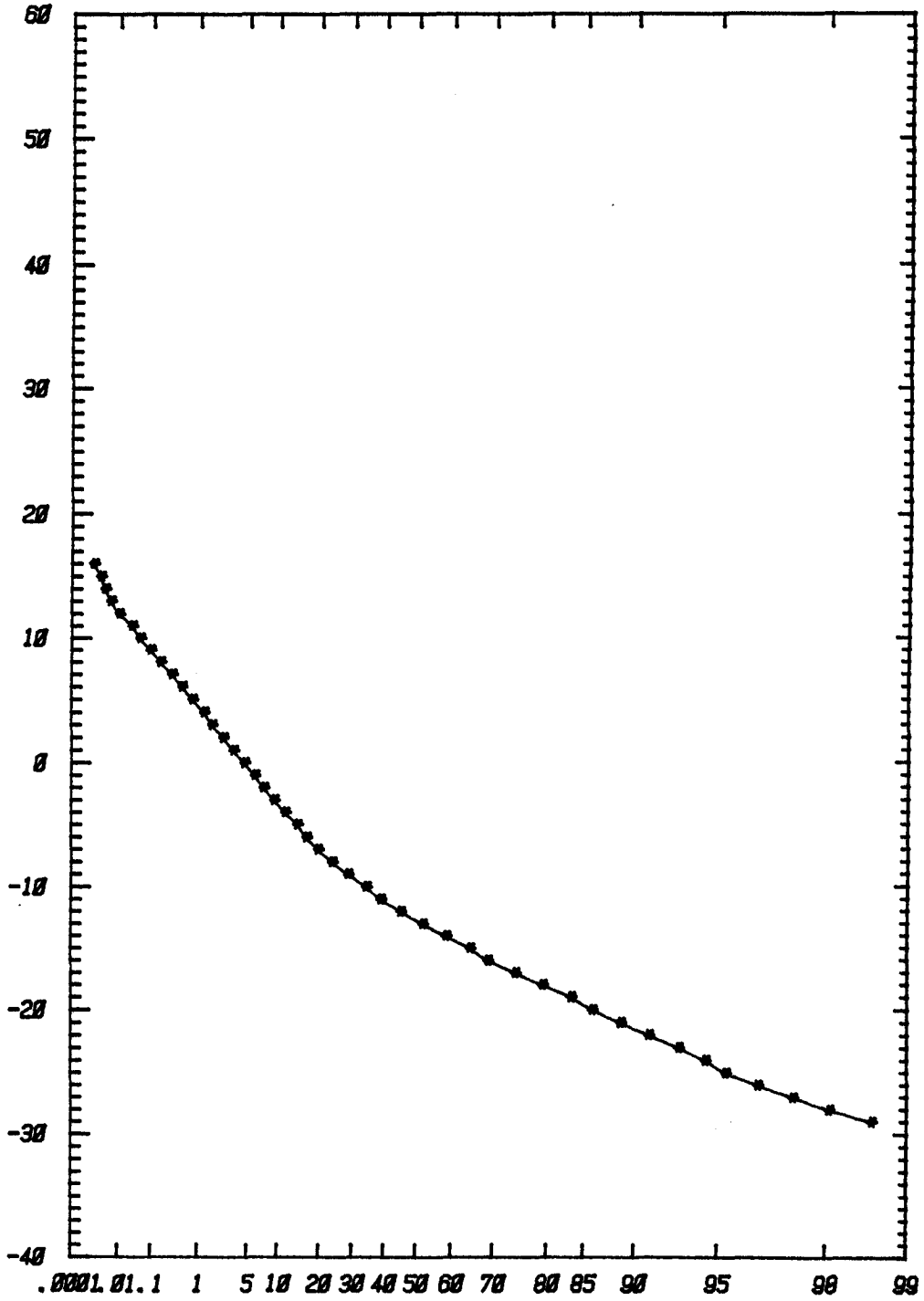
82 INDUSTRIES ST. LAURENT 560MHZ (ECH=2KHZ)

Figure 6-3



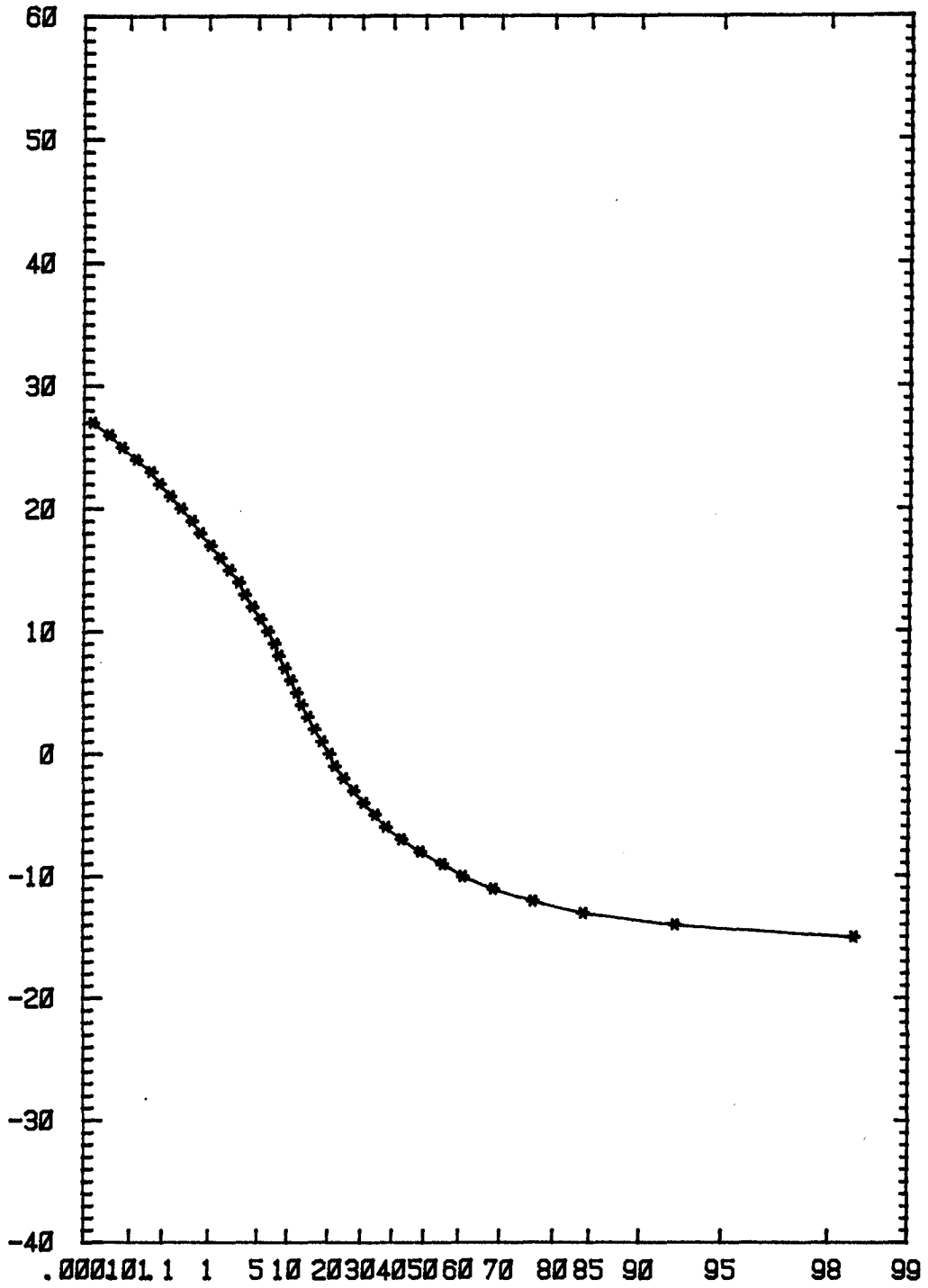
5 AOUT 82 CAPITALE 560MHZ (ECH=2KHZ)

Figure 6-4



25 AOUT 82 DAVIE 560MHZ (ECH=10KHZ)

Figure 6-5



25 AOUT 82 DAVIE 560MHZ (ECH=2KHZ)

Bibliographie

- [1] D. ANGERS, G.Y. DELISLE, N. CYR, "Etude des problèmes associés à la mesure du bruit radio et à l'utilisation des données pour prédire la performance des systèmes de communications", Rapport final LT-79-8231, Contrat OSU78-00242 du Ministère des Approvisionnements et Services, Laboratoire de Télécommunications, Département de Génie Electrique, Université Laval, Québec, Canada, mars 1979.
- [2] D. ANGERS, G.Y. DELISLE, G. GONTHIER, "Caractérisation de l'environnement radio aux fréquences supérieures à 500 MHz", Rapport final LT-81-8278, Contrat OSU80-00170 du Ministère des Approvisionnements et Services, Laboratoire des Télécommunications, Département de Génie Electrique, Université Laval, Québec, Canada, mars 1981.
- [3] R.J. MATHESON, "Instrumentation problems encountered making man-made electromagnetic noise measurements for predicting communication system performance", IEEE Trans. Electromagn. Compat., vol. EMC-12, n° 4, pp. 151-158, novembre 1970.

Appendice A

Données techniques des amplificateurs logarithmiques
de types TL441M, TL441C (Texas Instruments)

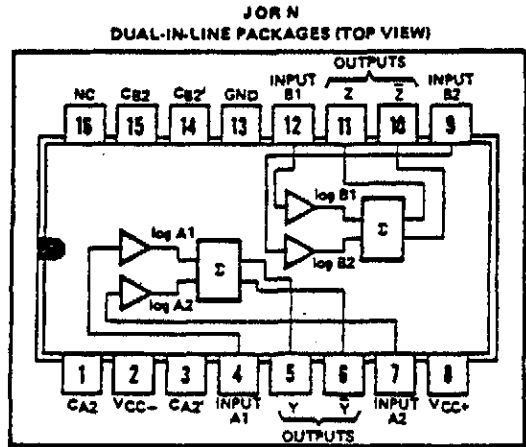
**LINEAR
INTEGRATED CIRCUITS**

**TYPES TL441M, TL441C
LOGARITHMIC AMPLIFIERS**

BULLETIN NO. DL-S 7611427, JANUARY 1971—REVISED JUNE 1976

FORMERLY SN56502, SN76502

- Excellent Dynamic Range
- Wide Bandwidth
- Built-In Temperature Compensation
- Log Linearity (30 dBV Sections) . . . 1 dBV
- Wide Input Voltage Range



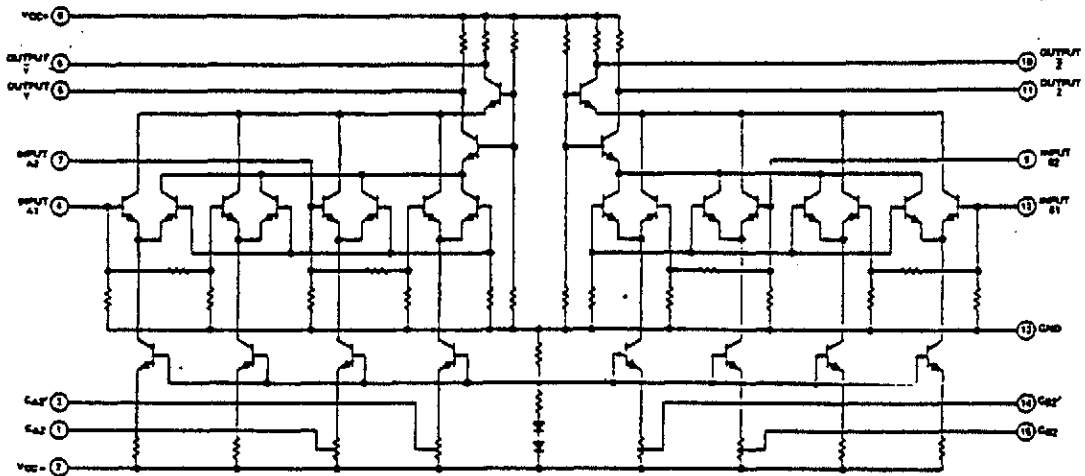
$Y = \log A1 + \log A2$; $Z = \log B1 + B2$
 where: A1, A2, B1, and B2 are in dBV, 0 dBV = 1 V.
 CA2, CA3, CA2', and CA2' are detector compensation inputs.
 NC—No internal connection

description

This monolithic logarithmic amplifier circuit contains four 30-dBV log stages. Gain in each stage is such that the output of each stage is proportional to the logarithm of the input voltage over the 30-dBV input voltage range. Each half of the circuit contains two of these 30-dBV stages summed together in one differential output which is proportional to the sum of the logs of the input voltages of the two stages. The four stages may be interconnected to obtain a theoretical input voltage range of 120 dBV. In practice, this permits the input voltage range to be typically greater than 80 dBV with log linearity of ± 0.5 dBV (see application data). Bandwidth is from dc to 40 megahertz.

These circuits are useful in military weapons systems, broadband radar, and infrared reconnaissance systems. They serve for data compression and analog compensation. The logarithmic amplifiers are used in log IF circuitry as well as video and log amplifiers. The TL441M is characterized for operation over the full military temperature range of -55°C to 125°C ; the TL441C is characterized for operation from 0°C to 70°C .

schematic



TYPES TL441M, TL441C LOGARITHMIC AMPLIFIERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltages (see Note 1):	
V _{CC+}	8V
V _{CC-}	-8V
Input voltage (see Note 1)	6V
Output sink current (any one output)	30 mA
Continuous total dissipation at (or below) 70°C free-air temperature (see Note 2)	500 mW
Operating free-air temperature range: TL441M Circuits	-55°C to 125°C
TL441C Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. All voltages, except differential output voltages, are with respect to network ground terminal.
2. For operation of the TL441M above 70°C free-air temperature, refer to Dissipation Derating Curves, Section 2.

recommended operating conditions

	TL441M			TL441C			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Input voltage for each 30-dBV stage	0.01	1	0.01	1			V _{pp}
Operating free-air temperature, T _A	-55	125	0	70			°C

electrical characteristics, V_{CC+} = 6 V, V_{CC-} = -6 V, T_A = 25°C

PARAMETER	TEST FIGURE	TL441M			TL441C			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Differential output offset voltage	1	±25 ±60			±40			mV
Quiescent output voltage	2	5.45	5.6	5.85	5.46	5.6	5.85	V
D-c scale factor (differential output), each 30-dBV stage, -35 dBV to -5 dBV	3	7	8	10	6	8	12	mV/dBV
A-c scale factor (differential output)		8			8			mV/dBV
D-c error at -20 dBV (midpoint of -35 dBV to -5 dBV range)	3	1 2			1			dBV
Input impedance		500			500			Ω
Output impedance		200			200			Ω
Rise time, 10% to 90% points, C _L = 24 pF	4	20 30			20 30			ns
Supply current from V _{CC+}	2	14.5	18.5	23	14.5	18.5	23	mA
Supply current from V _{CC-}	2	-6	-8.5	-10.5	-6	-8.5	-10.5	mA
Power dissipation	2	123	162	201	123	162	201	mW

PARAMETER MEASUREMENT INFORMATION

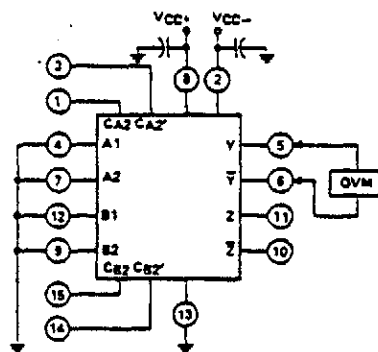


FIGURE 1

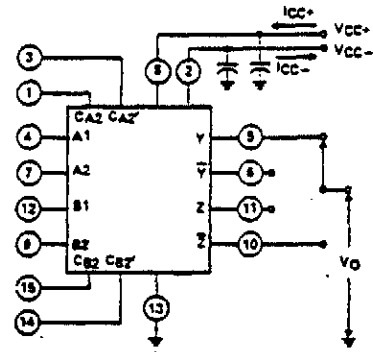
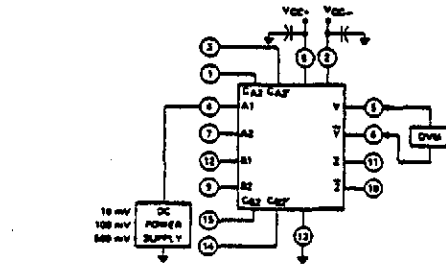


FIGURE 2

TYPES TL441M, TL441C LOGARITHMIC AMPLIFIERS

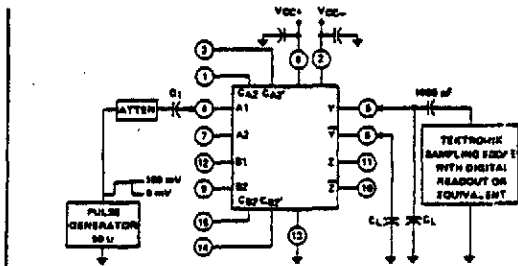
PARAMETER MEASUREMENT INFORMATION



$$\text{Scale Factor} = \frac{V_{\text{out}}(550 \text{ mV}) - V_{\text{out}}(18 \text{ mV})}{30 \text{ dBV}}$$

$$\text{Error} = \frac{V_{\text{out}}(100 \text{ mV}) - 0.5 V_{\text{out}}(550 \text{ mV}) - 0.5 V_{\text{out}}(18 \text{ mV})}{\text{Scale Factor}}$$

FIGURE 3



NOTES: A. The input pulse has the following characteristics: $t_w = 50 \text{ ns}$, $t_r < 2 \text{ ns}$, $t_f < 2 \text{ ns}$, $\text{PRF} = 10 \text{ MHz}$.

B. Capacitor C_1 consists of three capacitors in parallel: $1 \mu\text{F}$, $0.1 \mu\text{F}$, and $0.01 \mu\text{F}$.

C. C_1 includes probe and jig capacitance.

FIGURE 4

TYPICAL CHARACTERISTICS

TL441M DIFFERENTIAL OUTPUT OFFSET VOLTAGE VS. FREE-AIR TEMPERATURE

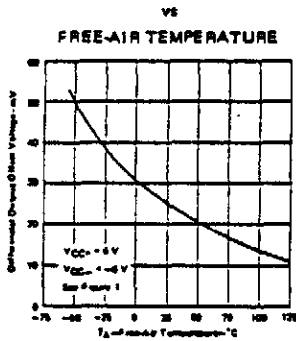


FIGURE 5

TL441C QUIESCENT OUTPUT VOLTAGE VS. FREE-AIR TEMPERATURE

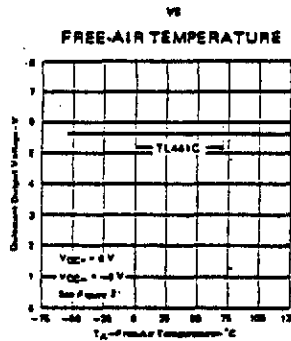


FIGURE 6

TL441M D-C SCALE FACTOR VS. FREE-AIR TEMPERATURE

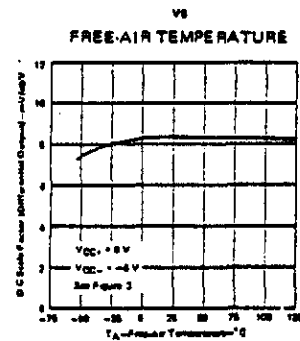


FIGURE 7

TL441M D-C ERROR VS. FREE-AIR TEMPERATURE

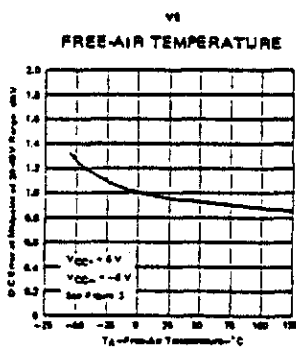


FIGURE 8

OUTPUT RISE TIME VS. LOAD CAPACITANCE

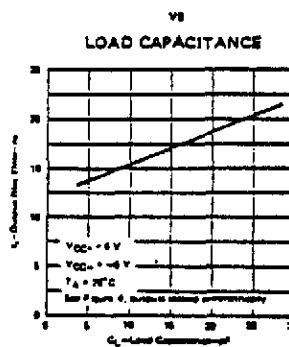


FIGURE 9

POWER DISSIPATION VS. FREE-AIR TEMPERATURE

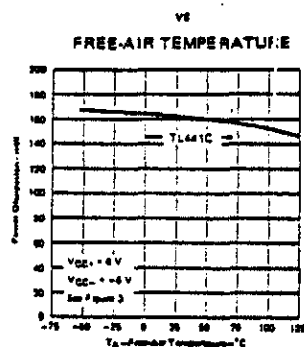


FIGURE 10

TYPES TL441M, TL441C LOGARITHMIC AMPLIFIERS

TYPICAL APPLICATION DATA

Although designed for high-performance applications such as broadband radar infrared detection, and weapons systems, this device has a wide range of applications in data compression and analog computation.

basic log function

The basic log response is derived from the exponential current-voltage relationship of collector current and base-emitter voltage. This relationship is given in the equation:

$$m \cdot V_{BE} = \ln [(I_C + I_{CES})/I_{CES}]$$

where: I_C = collector current

I_{CES} = collector current at $V_{BE} = 0$

$m = q/kT$ (in V^{-1})

V_{BE} = base-emitter voltage

The differential input amplifier allows dual-polarity inputs, is self-compensating for temperature variations, and is relatively insensitive to noise.

functional block diagram

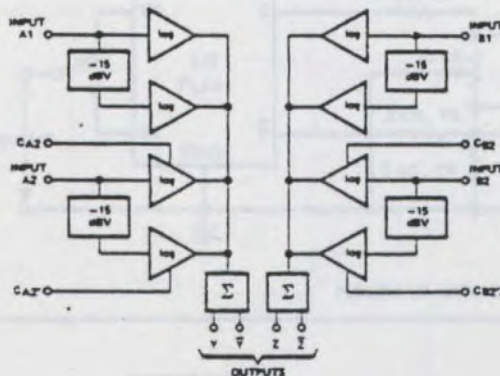


FIGURE 11

log sections

As can be seen from the schematic, there are eight differential pairs. Each pair is a 15-dBV log subsection, and each input feeds two pairs for a range of 30 dBV per stage.

Four compensation points are made available to allow slight variations in the gain (slope) of the two individual 15-dBV stages of input A2 and B2. By slightly changing the voltage on any of the compensation pins from its quiescent value, the gain of that particular 15-dBV stage can be adjusted to match the other 15-dBV stage in the pair. The compensation pins may also be used to match the transfer characteristics of input A2 to A1 or B2 to B1.

The log stages in each half of the circuit are summed by directly connecting their collectors together and summing through a common-base output stage. The two sets of output collectors are used to give two log outputs, Y and \bar{Y} (or Z and \bar{Z}) which are equal in amplitude but opposite in polarity. This increases the versatility of the device.

By proper choice of external connections, linear amplification, linear attenuation, and many different applications requiring logarithmic signal processing are possible.

input levels

The recommended input voltage range of any one stage is given as 0.01 volt to one volt. Input levels in excess of one volt may result in a distorted output. When several log sections are summed together, the distorted area of one section overlaps with the next section and the resulting distortion is insignificant. However, there is a limit to the amount of overdrive that may be applied. As the input drive reaches ± 3.5 volts, saturation occurs, clamping the collector-summing line and severely distorting the output. Therefore, the signal to any input must be limited to approximately ± 3 volts to ensure a clean output.

output levels

Differential-output-voltage levels are low, generally less than 0.6 volt. As demonstrated in Figure 12, the output swing and the slope of the output response can be adjusted by varying the gain by means of the slope control. The coordinate origin may also be adjusted by positioning the offset of the output buffer.

TYPES TL441M, TL441C
LOGARITHMIC AMPLIFIERS

TYPES TL441M, TL441C
LOGARITHMIC AMPLIFIERS

TYPICAL APPLICATION DATA

circuits

Figures 12 through 19 show typical circuits using these logarithmic amplifiers. Operational amplifiers not otherwise designated are uA741. For operation at higher frequency, use of uA733 is recommended instead of uA741, with the differential outputs connected as in Figure 14.

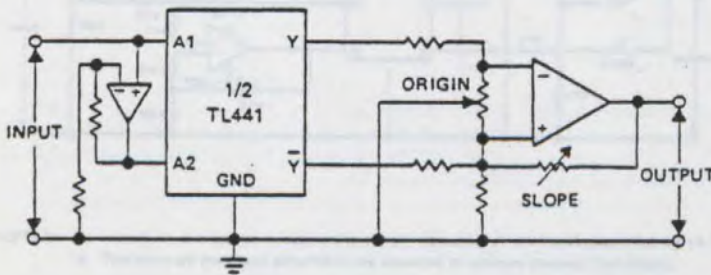


FIGURE 12—OUTPUT SLOPE AND ORIGIN ADJUSTMENT

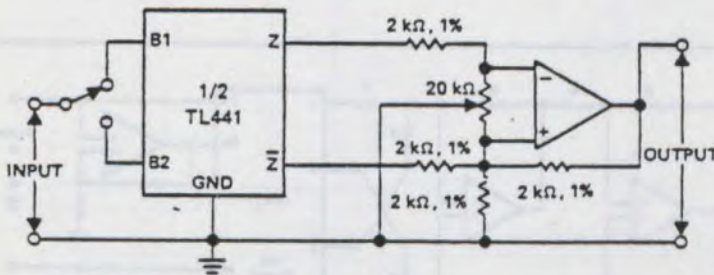
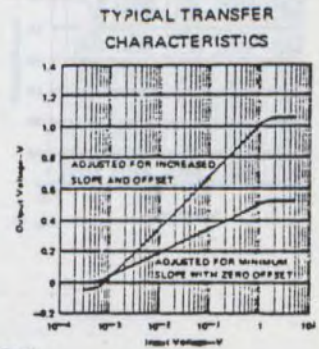


FIGURE 13—UTILIZATION OF SEPARATE STAGES

TRANSFER CHARACTERISTICS OF TWO TYPICAL INPUT STAGES

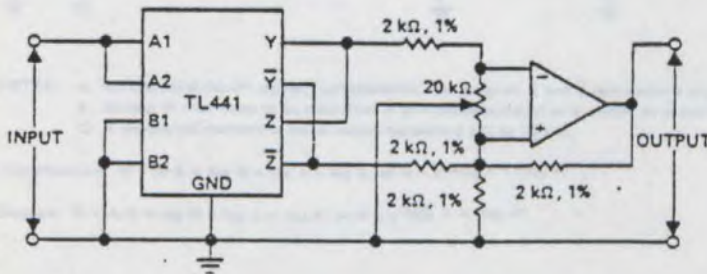
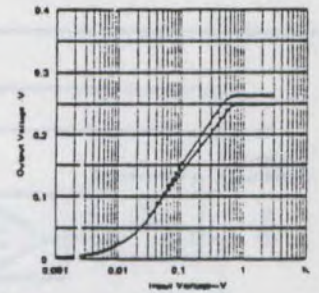
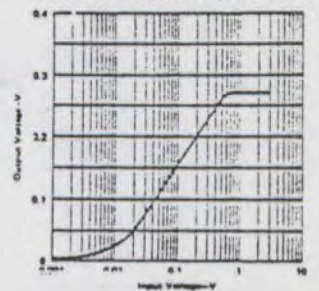


FIGURE 14—UTILIZATION OF PARALLELED INPUTS

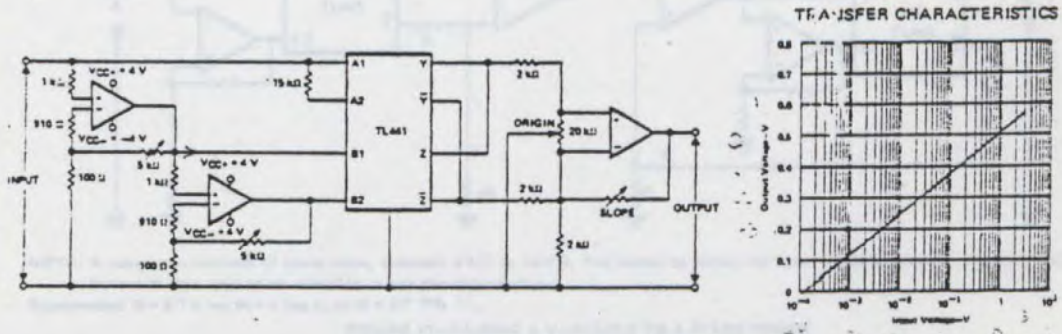
TRANSFER CHARACTERISTICS WITH BOTH SIDES PARALLELED



TYPES TL441M, TL441C LOGARITHMIC AMPLIFIERS

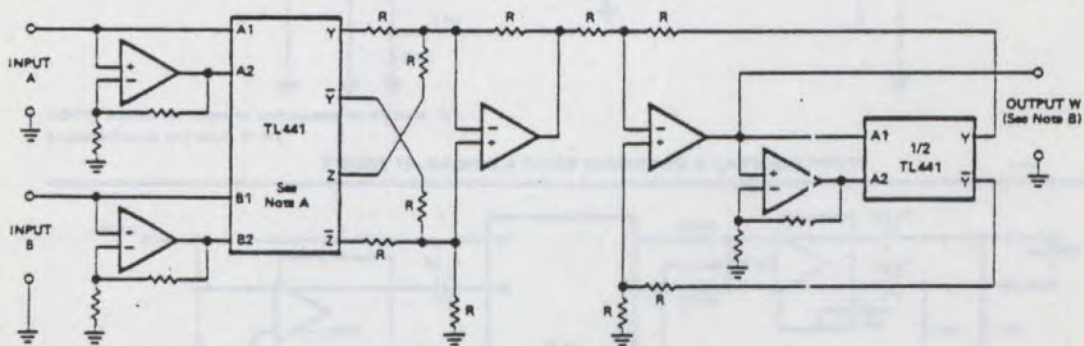
TYPES TL441M, TL441C
LOGARITHMIC AMPLIFIERS

TYPICAL APPLICATION DATA



- NOTES: A. Inputs are limited by reducing the supply voltages for the input amplifiers to ± 4 V.
B. The gains of the input amplifiers are adjusted to achieve smooth transitions.

FIGURE 15—LOGARITHMIC AMPLIFIER WITH INPUT VOLTAGE RANGE GREATER THAN 80 dBV



- NOTES: A. Connections shown are for multiplication. For division, Z and \bar{Z} connections are reversed.
B. Output W may need to be amplified to give actual product or quotient of A and B.
C. R designates resistors of equal value, typically 2 k Ω to 10 k Ω .

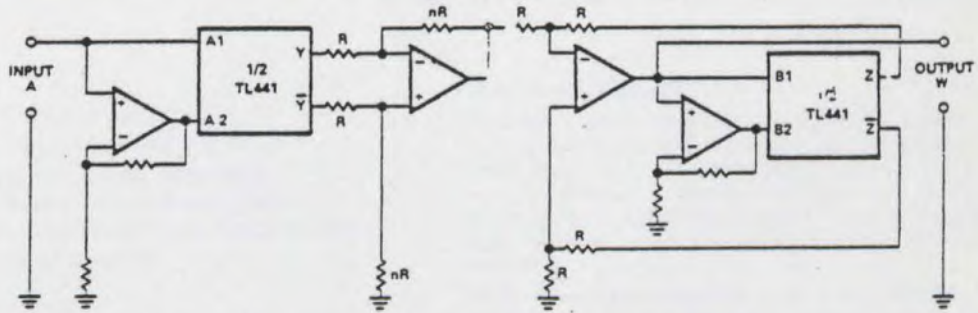
Multiplication: $W = A \cdot B = \log W = \log A + \log B$, or $W = e^{(\log_e A + \log_e B)}$

Division: $W = A/B = \log W = \log A - \log B$, or $W = e^{(\log_e A - \log_e B)}$

FIGURE 16—MULTIPLICATION OR DIVISION

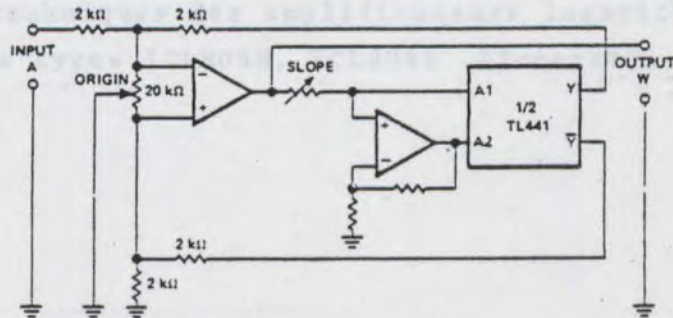
TYPES TL441M, TL441C LOGARITHMIC AMPLIFIERS

TYPICAL APPLICATION DATA



NOTE: R designates resistors of equal value, typically 2 kΩ to 10 kΩ. The power to which the input variable is raised is fixed by setting nR.
Output W may need to be amplified to give the correct value.
Exponential: $W = A^n = \log W = n \log A$, or $W = a^{(n \log_a A)}$

FIGURE 17—RAISING A VARIABLE TO A FIXED POWER



NOTE: Adjust the slope to correspond to the base "a".
Exponential to any base: $W = a^x$

FIGURE 18—RAISING A FIXED NUMBER TO A VARIABLE POWER

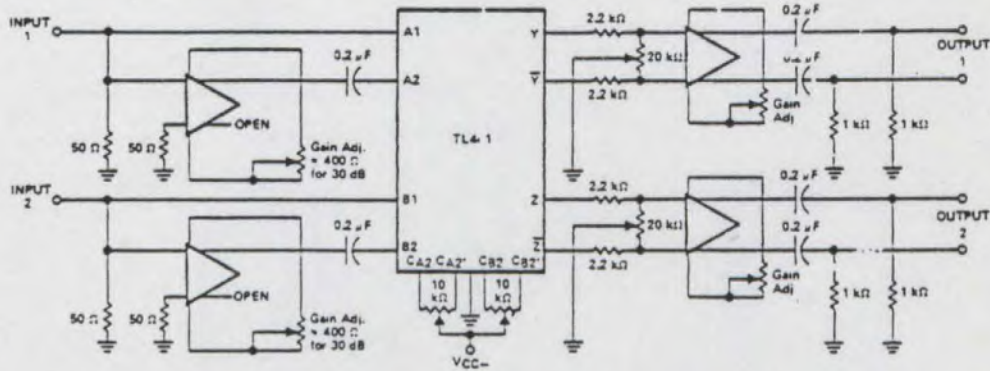


FIGURE 19—DUAL-CHANNEL RF LOGARITHMIC AMPLIFIER WITH 50-dB INPUT RANGE PER CHANNEL, AT 10 MHz

INTERSIL

ICL8048, ICL8049 Monolithic Log Amplifier Monolithic Antilog Amplifier

FEATURES

- 10% Full Scale Accuracy
- Temperature Compensated 0°C to 70°C
- 50% Thru 100% Span, Adjustable
- 120dB Dynamic Current Range (ICL8048)
- 90dB Dynamic Voltage Range (ICL8049)
- 500 pF Input Capacitance

GENERAL DESCRIPTION

The ICL8048 is a monolithic logarithmic amplifier capable of handling the dynamic range of 120dB when a 100% decade of output current is fully available. It is fully temperature compensated and is available packaged in surface mount or plastic DIP packages for both single channel and dual channel versions.

The ICL8049 is the antilogarithmic counterpart of the ICL8048. It converts a logarithmic input signal into a linear output signal.

Appendice B

SCHEMATIC DIAGRAM

Données techniques des amplificateurs logarithmiques
de types ICL8048, ICL8049 (Intersil)



SCHEMATIC DIAGRAM



ICL8048
INTERSIL

ICL8048, ICL8049

Monolithic Log Amplifier

Monolithic Antilog Amplifier

FEATURES

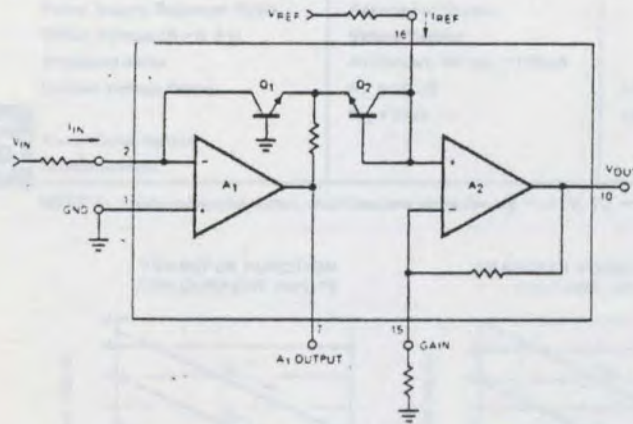
- 1/2% Full Scale Accuracy
- Temperature Compensated 0°C to 70°C
- Scale Factor 1V/Decade, Adjustable
- 120dB Dynamic Current Range (8048)
- 60dB Dynamic Voltage Range (8048 & 8049)
- Dual FET-Input Op-Amps

GENERAL DESCRIPTION

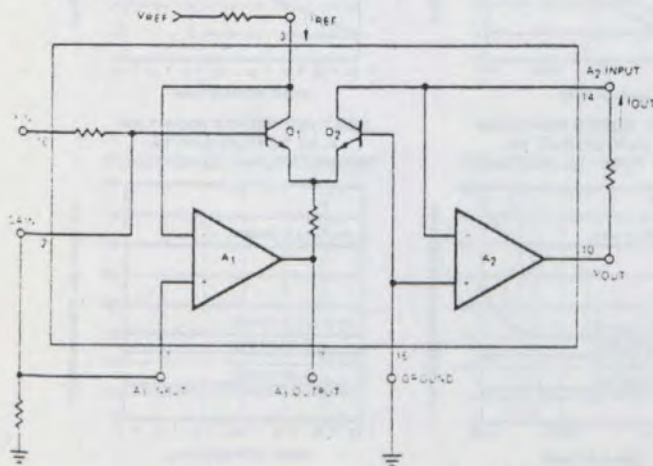
The 8048 is a monolithic logarithmic amplifier capable of handling six decades of current input, or three decades of voltage input. It is fully temperature compensated and is nominally designed to provide 1 volt of output for each decade change of input. For increased flexibility, the scale factor, reference current and offset voltage are externally adjustable.

The 8049 is the antilogarithmic counterpart of the 8048; it nominally generates one decade of output voltage for each 1-volt change at the input.

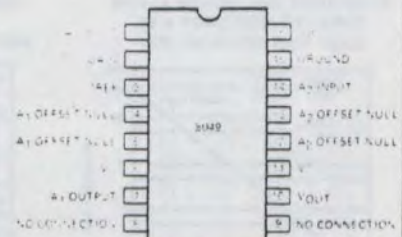
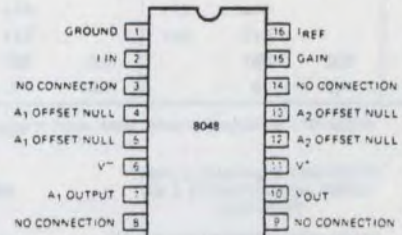
8048 SCHEMATIC DIAGRAM



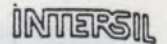
8049 SCHEMATIC DIAGRAM



PIN CONFIGURATION (outline dwgs DE, PE)



ICL8048



MAXIMUM RATINGS

Supply Voltage	±18 V	Operating Temperature Range	0°C to +70°C
I _{in} (Input Current)	2 mA	Output Short Circuit Duration	Indefinite
I _{ref} (Reference Current)	2 mA	Storage Temperature Range	-65°C to +125°C
Voltage between Offset Null and V ⁺	±0.5 V	Lead Temperature (Soldering, 60 sec.)	300°C
Power Dissipation	750 mW		

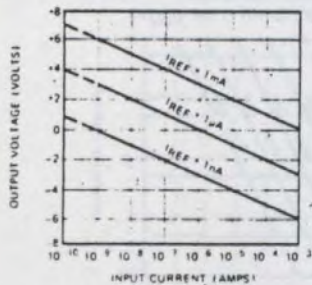
ELECTRICAL CHARACTERISTIC (Note 1)

PARAMETER	CONDITION	8048BC			8048CC			UNITS
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Dynamic Range								
I _{in} (1 nA-1 mA)		120			120			dB
V _{in} (10 mV-10 V)	R _{IN} = 10 kΩ	60			60			dB
Error, % of Full Scale	T _A = 25°C, I _{IN} = 1 nA to 1 mA		.20	0.5		.25	1.0	%
Error, % of Full Scale	T _A = 0°C to +70°C, I _{IN} = 1 nA to 1 mA		.60	1.25		.80	2.5	%
Error, Absolute Value	T _A = 25°C, I _{IN} = 1 nA to 1 mA		12	30		14	60	mV
Error, Absolute Value	T _A = 0°C to +70°C, I _{IN} = 1 nA to 1 mA		36	75		50	150	mV
Temperature Coefficient of V _{OUT}	I _{IN} = 1 nA to 1 mA		0.8			0.8		mV/°C
Power Supply Rejection Ratio	Referred to Output		2.5			2.5		mV/V
Offset Voltage (A ₁ & A ₂)	Before Nulling		15	25		15	50	mV
Wideband Noise	At Output, for I _{IN} = 100 μA		250			250		μV(RMS)
Output Voltage Swing	R _L = 10 kΩ	±12	±14		±12	±14		V
	R _L = 2 kΩ	±10	±13		±10	±13		V
Power Consumption			150	200		150	200	mW
Supply Current			5	6.7		5	6.7	mA

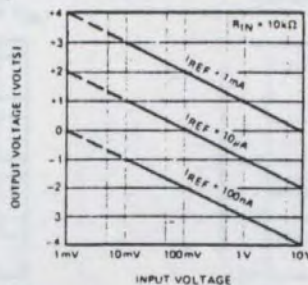


NOTE 1: Unless otherwise noted, specifications apply for V_S = ±15V, T_A = 25°C, I_{REF} = 1 mA, scale factor adjusted for 1V/decade.

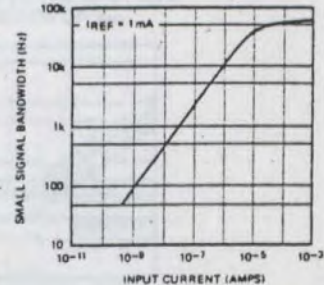
TRANSFER FUNCTION FOR CURRENT INPUTS



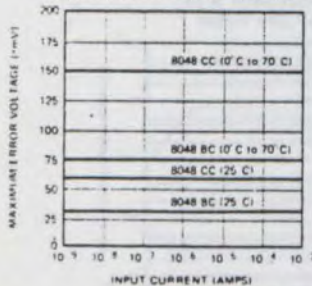
TRANSFER FUNCTION FOR VOLTAGE INPUTS



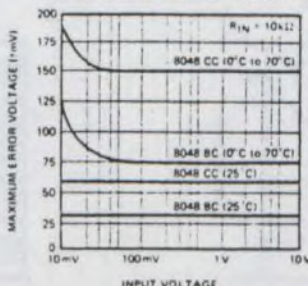
SMALL SIGNAL BANDWIDTH AS A FUNCTION OF INPUT CURRENT



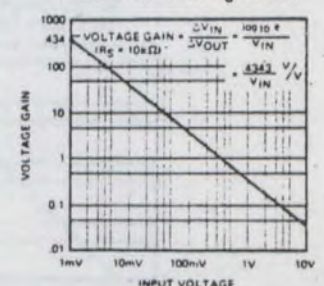
MAXIMUM ERROR VOLTAGE AT THE OUTPUT AS A FUNCTION OF INPUT CURRENT



MAXIMUM ERROR VOLTAGE AT THE OUTPUT AS A FUNCTION OF INPUT VOLTAGE



SMALL SIGNAL VOLTAGE GAIN AS A FUNCTION OF INPUT VOLTAGE FOR R_S = 10 kΩ



8049

INTERSIL

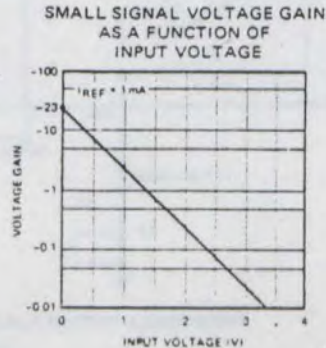
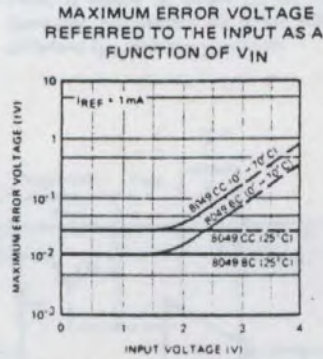
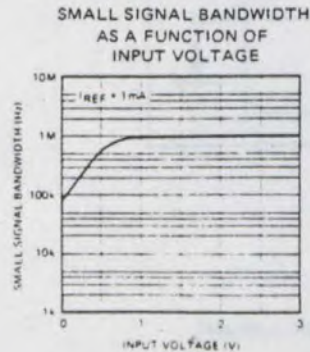
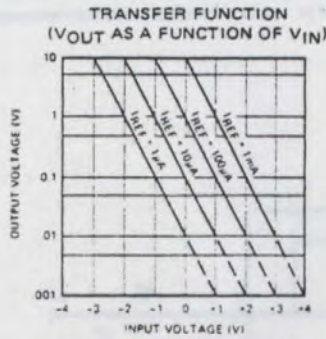
MAXIMUM RATINGS

Supply Voltage	±18 V
V _{in} (Input Voltage)	±15 V
I _{ref} (Reference Current)	2 mA
Voltage between Offset Null and V ⁺	±0.5 V
Power Dissipation	750 mW
Operating Temperature Range	0°C to +70°C
Output Short Circuit Duration	Indefinite
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec.)	300°C

ELECTRICAL CHARACTERISTIC (Note 1)

PARAMETER	CONDITION	8049BC			8049CC			UNITS
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Dynamic Range (V _{OUT})	V _{OUT} = 10mV to 10V	60			60			dB
Error, Absolute Value	T _A = 25°C, 0V ≤ V _{IN} ≤ 3V		3	10		5	25	mV
Error, Absolute Value	T _A = 0°C to +70°C, 0V ≤ V _{IN} ≤ 3V		20	75		30	150	mV
Temperature Coefficient, Referred to V _{IN}	V _{IN} = 3V		0.38			0.55		mV/°C
Power Supply Rejection Ratio	Referred to Input, for V _{IN} = 0V		2.0			2.0		μV/V
Offset Voltage (A ₁ & A ₂)	Before Nulling		15	25		15	50	mV
Wideband Noise	Referred to Input, for V _{IN} = 0V		26			26		μV (RMS)
Output Voltage Swing	R _L = 10 kΩ	±12	±14		±12	±14		V
	R _L = 2 kΩ	±10	±13		±10	±13		V
Power Consumption			150	200		150	200	mW
Supply Current			5	6.7		5	6.7	mA

NOTE 1: Unless otherwise noted, specifications apply for V_S = ±15V, T_A = 25°C, I_{REF} = 1mA, scale factor adjusted for 1 decade (out) per volt (in).



ICL8048, ICL8049

INTERSIL

THEORY OF OPERATION

The 8048 relies for its operation on the well-known exponential relationship between the collector current and the base-emitter voltage of a transistor:

$$I_C = I_S \left[e^{qV_{BE}/kT} - 1 \right] \quad (1)$$

For base-emitter voltages greater than 100mV, Eq. (1) becomes

$$I_C = I_S e^{qV_{BE}/kT} \quad (2)$$

From Eq. (2), it can be shown that for two identical transistors operating at different collector currents, the V_{BE} difference (ΔV_{BE}) is given by:

$$\Delta V_{BE} = -2.303 \times \frac{kT}{q} \log_{10} \left[\frac{I_{C1}}{I_{C2}} \right] \quad (3)$$

Referring to Fig. 1, it is clear that the potential at the collector of Q_2 is equal to the ΔV_{BE} between Q_1 and Q_2 . The output voltage is ΔV_{BE} multiplied by the gain of A_2 :

$$V_{OUT} = -2.303 \left(\frac{R_1 + R_2}{R_2} \right) \left(\frac{kT}{q} \right) \log_{10} \left[\frac{I_{IN}}{I_{REF}} \right] \quad (4)$$

The expression $2.303 \times \frac{kT}{q}$ has a numerical value of 59mV at 25°C; thus in order to generate 1 volt/decade at the output, the ratio $(R_1 + R_2)/R_2$ is chosen to be 16.9. For this scale factor to hold constant as a function of temperature, the $(R_1 + R_2)/R_2$ term must have a $1/T$ characteristic to compensate for kT/q .

In the 8048 this is achieved by making R_1 a thin film resistor, deposited on the monolithic chip. It has a nominal

value of 15.9k Ω at 25°C, and its temperature coefficient is carefully designed to provide the necessary compensation. Resistor R_2 is external and should be a low T.C. type; it should have a nominal value of 1k Ω to provide 1 volt/decade, and must have an adjustment range of $\pm 20\%$ to allow for production variations in the absolute value of R_1 .

OFFSET AND SCALE FACTOR ADJUSTMENT

A log amp, unlike an op-amp, cannot be offset adjusted by simply grounding the input. This is because the log of zero approaches minus infinity; reducing the input current to zero starves Q_1 of collector current and open the feedback loop around A_1 . Instead, it is necessary to zero the offset voltage of A_1 and A_2 separately, and then to adjust the scale factor. Referring to Fig. 1, this is done as follows:

1) Temporarily connect a 10k Ω resistor (R_0) between pins 2 and 7. With no input voltage, adjust R_4 until the output of A_1 (pin 7) is zero. Remove R_0 .

Note that for a current input, this adjustment is not necessary since the offset voltage of A_1 does not cause any error for current-source inputs.

2) Set $I_{IN} = I_{REF} = 1\text{mA}$. Adjust R_5 such that the output of A_2 (pin 10) is zero.

3) Set $I_{IN} = 1\mu\text{A}$, $I_{REF} = 1\text{mA}$. Adjust R_2 for $V_{OUT} = 3$ volts (for a 1 volt/decade scale factor) or 6 volts (for a 2 volt/decade scale factor).

Step #3 determines the scale factor. Setting $I_{IN} = 1\mu\text{A}$ optimizes the scale factor adjustment over a fairly wide dynamic range, from 1mA to 1nA. Clearly, if the 8048 is to be used for inputs which only span the range 100 μA to 1mA, it would be better to set $I_{IN} = 100\mu\text{A}$ in Step #3. Similarly, adjustment for other scale factors would require different I_{IN} and V_{OUT} values.

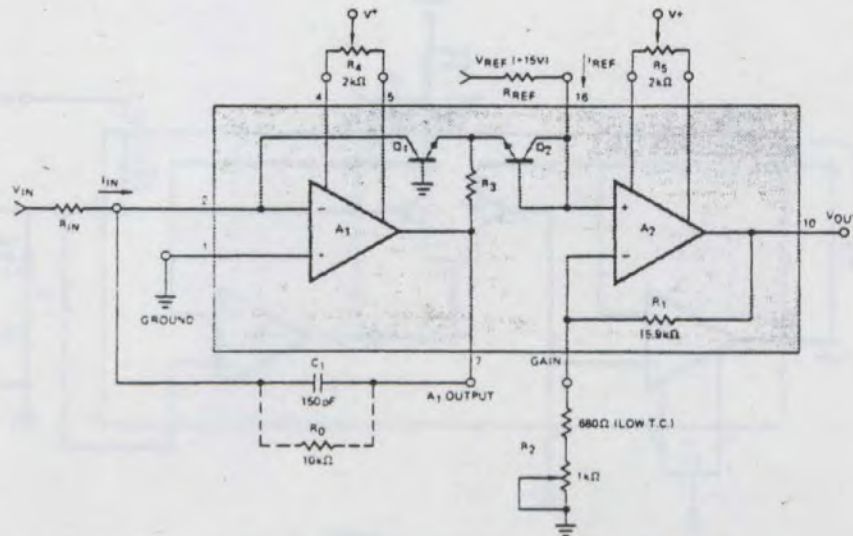


FIGURE 1. 8048 OFFSET AND SCALE FACTOR ADJUSTMENT

ICL8048, ICL8049

INTERMIL

THEORY OF OPERATION

The 8049 relies on the same logarithmic properties of the transistor as the 8048. The input voltage forces a specific ΔV_{BE} between Q_1 and Q_2 (Fig. 2). This V_{BE} difference is converted into a difference of collector currents by the transistor pair. The equation governing the behavior of the transistor pair is derived from (2) on Page 3 and is as follows:

$$\frac{I_{C1}}{I_{C2}} = \exp \left[\frac{q \Delta V_{BE}}{kT} \right] \quad (5)$$

When numerical values for q/kT are put into this equation, it is found that a ΔV_{BE} of 59mV (at 25°C) is required to change the collector current ratio by a factor of ten. But for ease of application, it is desirable that a 1 volt change at the input generate a tenfold change at the output. The required input attenuation is achieved by the network comprising R_1 and R_2 . In order that scale factors other than one decade per volt may be selected, R_2 is external to the chip. It should have a value of $1k\Omega$, adjustable $\pm 20\%$, for one decade per volt. R_1 is a thin film resistor deposited on the monolithic chip; its temperature characteristics are chosen to compensate the temperature dependence of equation 5, as explained on Page 3.

The overall transfer function is as follows:

$$\frac{I_{OUT}}{I_{REF}} = \exp \left[\frac{-R_2}{(R_1 + R_2)} \times \frac{q V_{IN}}{kT} \right] \quad (6)$$

Substituting $V_{OUT} = I_{OUT} \times R_{OUT}$ gives:

$$V_{OUT} = R_{OUT} I_{REF} \exp \left[\frac{-R_2}{(R_1 + R_2)} \times \frac{q V_{IN}}{kT} \right] \quad (7)$$

For voltage references equation 7 becomes

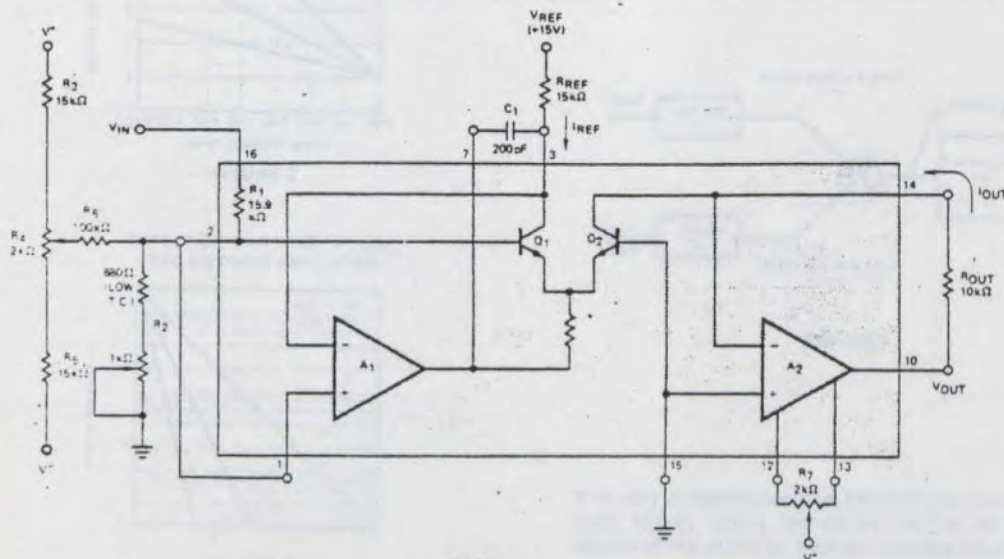
$$V_{OUT} = V_{REF} \times \frac{R_{OUT}}{R_{REF}} \exp \left[\frac{-R_2}{(R_1 + R_2)} \times \frac{q V_{IN}}{kT} \right] \quad (8)$$

OFFSET AND SCALE FACTOR ADJUSTMENT

As with the log amplifier, the antilog amplifier requires three adjustments. The first step is to null out the offset voltage of A_2 . This is accomplished by reverse biasing the base-emitter of Q_2 . A_2 then operates as a unity gain buffer with a grounded input. The second step forces $V_{IN} = 0$; the output is adjusted for $V_{OUT} = 10V$. This step essentially "anchors" one point on the transfer function. The third step applies a specific input and adjusts the output to the correct voltage. This sets the scale factor. Referring to Fig. 2, the exact procedure for 1 decade/volt is as follows:

- 1) Connect the input (pin #16) to +15V. This reverse biases the base-emitter of Q_2 . Adjust R_7 for $V_{OUT} = 0V$. Disconnect the input from +15V.
- 2) Connect the input to Ground. Adjust R_4 for $V_{OUT} = 10V$. Disconnect the input from Ground.
- 3) Connect the input to a precise 2V supply and adjust R_2 for $V_{OUT} = 100mV$.

The procedure outlined above optimizes the performance over a 3 decade range at the output (i. e., V_{OUT} from 10mV to 10V). For a more limited range of output voltages, for example 1V to 10V, it would be better to use a precise 1 volt supply and adjust for $V_{OUT} = 1V$. For other scale factors and/or starting points, different values for R_2 and R_{REF} will be needed, but the same basic procedure applies.



8049
FIGURE 2

5-209

5

ICL8048, ICL8049

INTERSIL

APPLICATIONS INFORMATION

Scale Factor Adjustment

The scale factor adjustment procedures outlined on Page 3 (8048) and Page 5 (8049) are primarily directed towards setting up 1 volt (ΔV_{OUT}) per decade (ΔI_{IN} or ΔV_{IN}) for the log amp, or one decade (ΔV_{OUT}) per volt (ΔV_{IN}) for the antilog amp.

This corresponds to $K = 1$ in the respective transfer functions:

$$\text{Log Amp: } V_{OUT} = -K \log_{10} \left[\frac{I_{IN}}{I_{REF}} \right] \quad (9)$$

$$\text{Antilog Amp: } V_{OUT} = R_{OUT} I_{REF} 10^{-V_{IN}/K} \quad (10)$$

By adjusting R_2 (Fig. 1 and Fig. 2) the scale factor "K" in equation 9 and 10 can be varied. The effect of changing K is shown graphically in Fig. 3 for the log amp, and Fig. 4 for the antilog amp. The nominal value of R_2 required to give a specific value of K can be determined from equation 11. It should be remembered that R_1 has a $\pm 20\%$ tolerance in absolute value, so that allowance shall be made for adjusting the nominal value of R_2 by $\pm 20\%$.

$$R_2 = \frac{941}{(K - 0.059)} \Omega \quad (11)$$

EFFECT OF VARYING "K" ON THE LOG AMPLIFIER

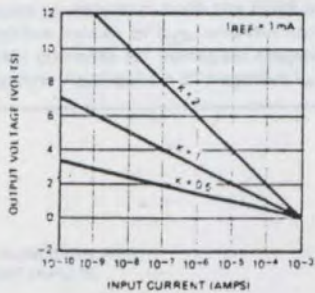


FIGURE 3

EFFECT OF VARYING "K" ON THE ANTILOG AMPLIFIER

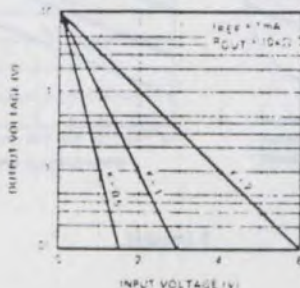


FIGURE 4

Frequency Compensation

Although the op-amps in both the 8048 and the 8049 are compensated for unity gain, some additional frequency compensation is required. This is because the log transistors in the feedback loop add to the loop gain. In the 8048, 150 pF should be connected between Pins 2 and 7 (Fig. 1). In the 8049, 200 pF between Pins 3 and 7 is recommended (Fig. 2).

Error Analysis

Performing a meaningful error analysis of a circuit containing log and antilog amplifiers is more complex than dealing with a similar circuit involving only op-amps. In this data sheet every effort has been made to simplify the analysis task, without in any way compromising the validity of the resultant numbers.

The key difference in making error calculations in log/antilog amps, compared with op-amps, is that the gain of the former is a function of the input signal level. Thus, it is necessary, when referring errors from output to input, or vice versa, to check the input voltage level, then determine the gain of the circuit by referring to the graphs given on Pages 2 and 4.

The various error terms in the log amplifier, the 8048, are referred to the output (RTO) of the device. The error terms in the antilog amplifier, the 8049, are referred to the input (RTI) of the device. The errors are expressed in this way because in the majority of systems a number of log amps interface with an antilog amp, as shown in Fig. 5.

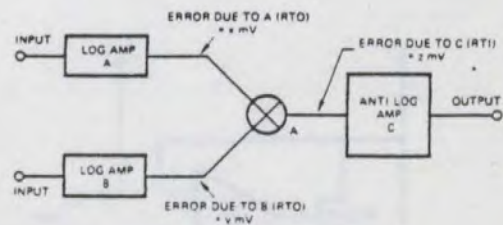


FIGURE 5

It is very straightforward to estimate the system error at node (A) by taking the square root of the sum-of-the-squares of the errors of each contributing block.

$$\text{Total Error} = \sqrt{x^2 + y^2 + z^2} \text{ at (A)}$$

ICL8048, ICL8049

INTERMIL

If required, this error can be referred to the system output through the voltage gain of the antilog circuit, using the voltage gain plot on Page 4.

The numerical values of x , y , and z in the above equation are obtained from the maximum error voltage plots given on Pages 2 and 4. For example, with the 8048BC, the maximum error at the output is 30mV at 25°C. This means that the measured output will be within 30mV of the theoretical transfer function, provided the unit has been adjusted per the procedures on Page 3. Fig. 6 illustrates this point.

To determine the maximum error over the operating temperature range, the 0 to 70°C absolute error values given in the table of electrical characteristics should be used. For intermediate temperatures, assume a linear increase in the error between the 25°C value and the 70°C value.

For the antilog amplifier, the only difference is that the error refers to the input, i. e., the horizontal axis. It will be noticed that the maximum error voltage of the 8049, over the temperature range, is strongly dependent on the input voltage. This is because the output amplifier, A_2 , has an offset voltage drift which is directly transmitted to the output. When this error is referred to the input, it must be divided by the voltage gain, which is input voltage dependent. At $V_{IN} = 3V$, for example, errors at the output are multiplied by 1/.023 (= 43.5) when referred to the input.

It is important to note that both the 8048 and the 8049 require positive values of I_{REF} , and the input (8048) or output (8049) currents (or voltages) respectively must also be positive. Application of negative I_{IN} to the 8048

or negative I_{REF} to either circuit will cause malfunction, and if maintained for long periods, would lead to device degradation. Some protection can be provided by placing a diode between pin 7 and ground.

SETTING UP THE REFERENCE CURRENT

In both the 8048 and the 8049 the input current reference pin (I_{REF}) is not a true virtual ground. For the 8048, a fraction of the output voltage is seen on Pin 16 (Fig. 1). This does not constitute an appreciable error provided V_{REF} is much greater than this voltage. A 10V or 15V reference satisfies this condition. For the 8049, a fraction of the input voltage appears on Pin 3 (Fig. 2), placing a similar restraint on the value of V_{REF} .

Alternatively, I_{REF} can be provided from a true current source. One method of implementing such a current source is shown in Fig. 7.

LOG OF RATIO CIRCUIT, DIVISION

The 8048 may be used to generate the log of a ratio by modulating the I_{REF} input. The transfer function remains the same, as defined by equation 9:

$$V_{OUT} = -K \log_{10} \left[\frac{I_{IN}}{I_{REF}} \right] \quad (9)$$

Clearly it is possible to perform division using just one 8048, followed by an 8049. For multiplication, it is generally necessary to use two log amps, summing their outputs into an antilog amp.

To avoid the problems caused by the I_{REF} input not being a true virtual ground (discussed in the previous section), the circuit of Fig. 7 is again recommended if the I_{REF} input is to be modulated.

TRANSFER FUNCTION FOR CURRENT INPUTS

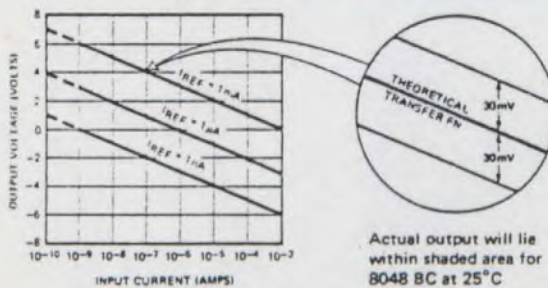


FIGURE 6

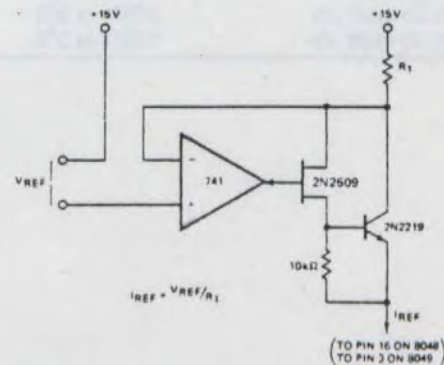
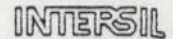


FIGURE 7

ICL8048, ICL8049



DEFINITION OF TERMS

In the definitions which follow, it will be noted that the various error terms are referred to the output of the log

DYNAMIC RANGE The dynamic range of the 8048 refers to the range of input voltages or currents over which the device is guaranteed to operate. For the 8049 the dynamic range refers to the range of output voltages over which the device is guaranteed to operate.

ERROR, ABSOLUTE VALUE The absolute error is a measure of the deviation from the theoretical transfer function, after performing the offset and scale factor adjustments as outlined on Pages 3 (8048) or 5 (8049). It is expressed in mV and referred to the linear axis of the transfer function plot. Thus, in the case of the 8048, it is a measure of the deviation from the theoretical output voltage for a given input current or voltage. For the 8049 it is a measure of the deviation from the theoretical input voltage required to generate a specific output voltage.

The absolute error specification is guaranteed over the dynamic range.

ERROR, % OF FULL SCALE The error as a percentage of full scale can be obtained from the following relationship:

$$\text{Error, \% of Full Scale} = \frac{100 \times \text{Error, absolute value}}{\text{Full Scale Output Voltage}}$$



ORDERING INFORMATION

TYPE	PACKAGE	MAX. ABSOLUTE ERROR (25°C)	TEMPERATURE RANGE	ORDER PART NUMBER
8048 BC	16 Pin Ceramic DIP	30mV	0°C to +70°C	ICL 8048 BC DE
8048 BC	16 Pin Plastic DIP	30mV	0°C to +70°C	ICL 8048 BC PE
8048 CC	16 Pin Ceramic DIP	60mV	0°C to +70°C	ICL 8048 CC DE
8048 CC	16 Pin Plastic DIP	60mV	0°C to +70°C	ICL 8048 CC PE
8049 BC	16 Pin Ceramic DIP	10mV	0°C to +70°C	ICL 8049 BC DE
8049 BC	16 Pin Plastic DIP	10mV	0°C to +70°C	ICL 8049 BC PE
8049 CC	16 Pin Ceramic DIP	25mV	0°C to +70°C	ICL 8049 CC DE
8049 CC	16 Pin Plastic DIP	25mV	0°C to +70°C	ICL 8049 CC PE

amp, and to the input of the antilog amp. The reason for this is explained on Page 6.

TEMPERATURE COEFFICIENT OF V_{OUT} OR V_{IN} For the 8048 the temperature coefficient refers to the drift with temperature of V_{OUT} for a constant input current. For the 8049 it is the temperature drift of the input voltage required to hold a constant value of V_{OUT} .

POWER SUPPLY REJECTION RATIO The ratio of the voltage change in the linear axis of the transfer function (V_{OUT} for the 8048, V_{IN} for the 8049) to the change in the supply voltage, assuming that the log axis is held constant.

WIDEBAND NOISE For the 8048, this is the noise occurring at the output under the specified conditions. In the case of the 8049, the noise is referred to the input.

SCALE FACTOR For the log amp, the scale factor (K) is the voltage change at the output for a decade (i. e. 10:1) change at the input. For the antilog amp, the scale factor, is the voltage change required at the input to cause a one decade change at the output. See equations 9 and 10.



4127

LOGARITHMIC AMPLIFIER

Appendice C

FEATURES

Données techniques de l'amplificateur logarithmique
du type 4127 (Burr-Brown)

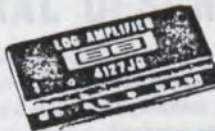
DESCRIPTION

The 4127 is a precision logarithmic amplifier with a wide dynamic range and high accuracy. It is designed for applications requiring a linear relationship between the input signal and the output voltage. The device is internally compensated and does not require external compensation components. It features a wide bandwidth and low noise, making it suitable for a variety of signal processing applications.

The 4127 is available in both surface-mount and through-hole packages. It is designed to be used in a wide range of operating conditions, including high-temperature environments. The device is characterized by its excellent linearity and stability over time and temperature.

For more information on the 4127, please refer to the data sheet or contact your nearest Burr-Brown distributor. The data sheet provides detailed specifications and application information for this device.

Burr-Brown



4127

LOGARITHMIC AMPLIFIER

FEATURES

- ACCEPTS INPUT VOLTAGES OR CURRENTS OF EITHER POLARITY
- WIDE INPUT DYNAMIC RANGE
 - 6 Decades of current
 - 4 Decades of voltage
- VERSATILE
 - Log, antilog, and log ratio capability
- SMALL SIZE
 - Doublewide DIP
- LOW COST

DESCRIPTION

Packaged in a ceramic doublewide DIP, the 4127 is the first hybrid logarithmic amplifier that accepts input signals of either polarity from current or voltage sources. A special purpose monolithic chip, developed specifically for logarithmic conversions, functions accurately for up to six decades of input current and four decades of input voltage. In addition, a newly-developed current inverter and a precise internal reference allow pin programming of the 4127 as a logarithmic, log ratio, or antilog amplifier.

To further increase its versatility and reduce your system cost the 4127 has an uncommitted operational amplifier in its package that can be used as a buffer, inverter, filter, or gain element.

The 4127 is available with initial accuracies (log conformity) of 0.5% and 1.0%, and operates over an ambient temperature range of -10°C to $+70^{\circ}\text{C}$.

With its versatility and high performance, the 4127 has many applications in signal compression, transducer linearization, and phototube buffering. Manufacturers of medical equipment, analytical instruments, and process control instrumentation will find the 4127 a low-cost solution to many signal processing problems.

GENERAL DESCRIPTION

The 4127 is a complete logarithmic amplifier that can be pin-programmed to accept input currents or voltages of either polarity. By making use of the internal current inverter, reference current generator, log ratio element, and uncommitted op amp, you can generate a variety of logarithmic functions, including the log ratio of two signals, the logarithm of an input signal, or the antilog of an input signal. The unique FET-input current-inverting element removes the polarity limitations present in most conventional log amplifiers.

Utilizing the inherent exponential characteristics of transistor functions, the 4127 calculates accurate log functions for input currents from 1 nA to 1 mA or input voltages from 1 mV to 10 V. Carefully-matched monolithic quad transistors and temperature sensitive gain elements are used to produce a log amplifier with excellent temperature characteristics.

THEORY OF OPERATION

A functional diagram of the 4127 circuit is shown in Figure 1. Besides the basic log amplifier, the 4127 contains a separate internal current source, a current inverter, and an uncommitted operational amplifier. A current source input is, by definition, a high impedance source, and is therefore subject to electrostatic pickups.

The 4127 is capable of accurately logging input current over a 120dB range, but to use this full range good shielding practice must be followed. A current source input is, by definition, a high impedance source, and is therefore subject to electrostatic pickups.

The input op amps A₁ and A₃ have FET input stages for low noise and very low input bias current. The op amp A₁ will make the collector current of Q₁ equal to the signal input current I_S, and the collector current of Q₂ will be the reference input current I_R.

From the semiconductor junction characteristics, the base-to-emitter voltage will be

$$V_{BE} \approx \frac{mKT}{q} \ln \frac{I_C}{I_L}, \text{ where } \begin{array}{l} I_C = \text{Collector current} \\ I_L = \text{Reverse saturation current} \\ q, m, K = \text{Constants} \\ T = \text{Absolute temperature} \end{array}$$

$$\text{So } E_1 = -\frac{mKT_1}{q} \ln \frac{I_S}{I_{L1}} \text{ and } E_2 - E_1 = \frac{mKT_2}{q} \ln \frac{I_R}{I_{L2}}$$

If the transistors Q₁ and Q₂ are at the same temperature and have matched characteristics then

$$E_2 = \frac{mKT}{q} \left[\ln \frac{I_R}{I_L} - \ln \frac{I_S}{I_L} \right]$$

$$E_2 = \frac{-mKT}{q} \ln \frac{I_S}{I_R}$$

The output op amp A₂ provides a voltage gain of approximately (R_T + R₂)/R_T, and the value of mKT/q is about 26mV at room temperature. Since resistor R_T varies with temperature to compensate for gain drift, the output voltage E_O expressed as a log will be

$$E_O = -A \log_{10} \frac{I_S}{I_R}$$

$$\text{where } A \approx \frac{R_T + R_2}{R_T} (26 \text{ mV}) \frac{1}{0.434} \cdot R_T \approx 520\Omega$$

The external resistor R₁ sets the reference current I_R and resistor R₂ sets the scale-factor "A". The two resistors must be trimmed to the desired values, but graphs in Figures 2 and 3 show the approximate relationships.

Figures 4 and 5 illustrate the relationship between the input current I_S and the output voltage E_O in terms of the externally adjusted parameters I_R and "A". This relationship is, of course, restricted to values of I_S between 1 nA to 1 mA and output voltages of less than ±10V.

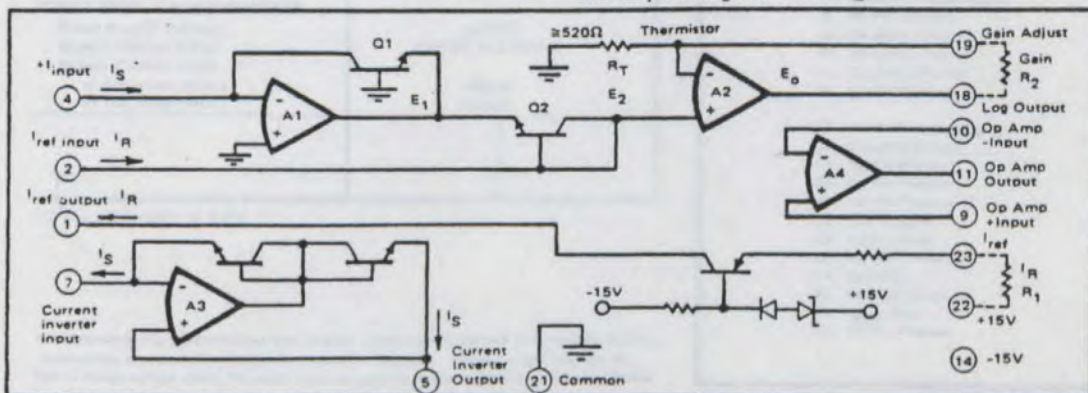


FIGURE 1. Functional Diagram

TYPICAL SPECIFICATIONS CURVES

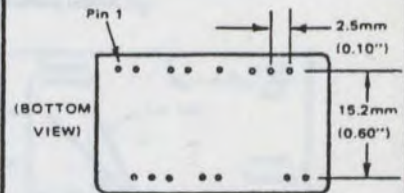
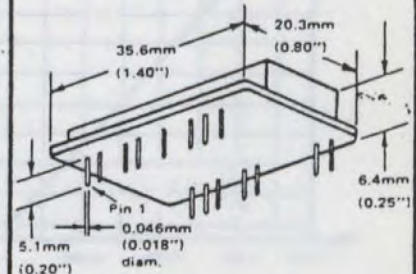
Typical specifications at +25°C with rated supplies unless otherwise specified.

ELECTRICAL		4127KG	4127JG
ACCURACY (1) % of 1SR			
Current Source Input: 1nA to 1mA		0.5% max	1% max
Voltage Input: 1mV to 10V		0.5% max	1% max
INPUT			
Current Source Input, Pin 4		+1nA to +1mA	
Pin 7		-1nA to -1mA	
Reference Current Input, Pin 2		+1μA to +1mA	
Absolute Maximum Inputs		±10mA or ±Supply Volts	
OUTPUT			
Voltage		±10V	
Current		±5mA	
Impedance		10 Ω	
FREQUENCY RESPONSE			
Just Small Signal at Current Input of 100μA		90kHz	
10μA		50kHz	
1μA		5kHz	
100nA		250Hz	
10nA		80Hz	
Step Response to within ±1% of Final Value ($I_R = 1μA, A = 5$)		10msec	
STABILITY			
Scale Factor Drift ($\Delta A/^\circ C$)		±0.0005A/ $^\circ C$	
Reference Current Drift ($\Delta I_R/^\circ C$)		±0.001 $I_R/^\circ C$ for $I_R > 1μA$	
		±0.003 $I_R/^\circ C$ for $400nA < I_R < 1μA$	
Input Offset Current Drift ($\Delta I_S/^\circ C$)		10pA at +25°C, Doubles Every 10°C	
Input Offset Voltage Drift		±10μV/ $^\circ C$	
Accuracy vs. Supply Variation			
Reference Current		±0.001 I_R/V	
Input Offset Voltage		±300μV/V	
Input Noise - Current Input		1pA RMS, 10Hz to 10kHz	
Voltage Input		10μV RMS, 10Hz to 10kHz	
UNCOMMITTED OP AMP CHARACTERISTICS			
Input Offset Voltage		5mV	
Input Bias Current		40nA	
Input Impedance		1MΩ	
Large Signal Voltage Gain		85dB	
Output Current		5mA	
TEMPERATURE RANGE			
Specification		0°C to +60°C	
Operating		-10°C to +70°C	
Storage		-55°C to +125°C	
POWER SUPPLY REQUIREMENTS			
Rated Supply Voltages		±15VDC	
Supply Voltage Range		±14VDC to ±16VDC	
Supply Current Drain at Quiescent (max.)		±20mA	
at Full Load (max.)		±26mA	

(1) ω_c conformity at 25°C

< Information in this publication has been carefully checked and is believed to be reliable, however, responsibility is assumed for possible inaccuracies or omissions. Prices and specifications are subject to change without notice. No patent rights are granted to any of the circuits described herein.

MECHANICAL



CASE: Black Ceramic
Mating Connector 245MC
PIN: Pin material and plating composition conform to method 2003 (solderability) of Mil-Std-883 (except paragraph 3.2)
WEIGHT: 56 grams, (2 oz.)

PIN DESIGNATIONS

1. I_{REF} Output
2. I_{REF} Input
3. No Pin Present
4. I_I Input
5. Current Inverter Output
6. No Pin Present
7. Current Inverter Input
8. No Pin Present
9. Op Amp +Input
10. Op Amp -Input
11. Op Amp Output
12. No Pin Present
13. Make No Connection
14. Negative Supply
15. No Pin Present
16. No Pin Present
17. No Pin Present
18. Log Output
19. Gain Adjust
20. No Pin Present
21. Common
22. Positive Supply
23. I_{REF} Bias
24. No Pin Present

TYPICAL PERFORMANCE CURVES

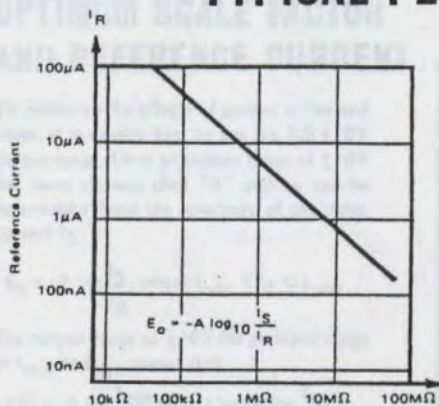


FIGURE 2. Relationship of Reference Current I_R and external resistor R_1 .

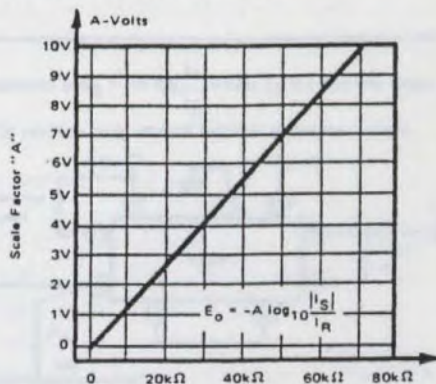


FIGURE 3. Relationship of scale factor "A" to gain-setting resistor R_2 .

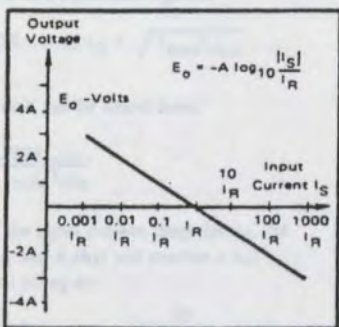


FIGURE 4. Log Relationship of $\frac{I_S}{I_R}$ and output voltage in terms of "A".

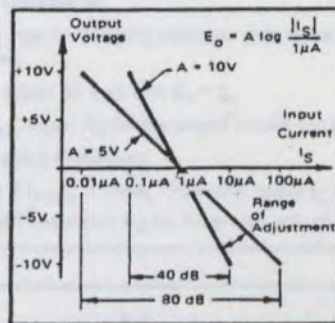


FIGURE 5. Relationship of $\frac{I_S}{I_R}$ to output voltage for $I_R = 1 \mu\text{A}$ and $A = 5\text{V}$ and 10V .

DISCUSSION OF SPECIFICATIONS

ACCURACY

The deviation from the ideal output voltage defined as a percent of the full scale output voltage.

INPUT/OUTPUT RANGE

The log relationships of $-A \log \frac{I_S}{I_R}$ and $-A \log \frac{E_S}{I_R R}$ are subject to the constraints specified. The 4127 can be operated with inputs lower than those given, but the accuracy will be degraded.

FREQUENCY RESPONSE

The small-signal frequency response varies considerably with signal level and scaling, so the frequency response is specified under several different operating conditions.

STABILITY

The use of a monolithic transistor quad and low-drift op amps minimizes drift, but some drift remains in the scale-factor, reference current, and input offset. Input offset consists of a bias current plus the op amp input voltage offset divided by the signal source resistance. Also, there is some slight drift in conformity to the log function and in output amplifier offset, but this is generally negligible.

SCALE FACTOR A AND REFERENCE CURRENT I_R .

Refer to CHOOSING THE OPTIMUM SCALE FACTOR AND REFERENCE CURRENT.

CHOOSING THE OPTIMUM SCALE FACTOR AND REFERENCE CURRENT

To minimize the effects of output offset and noise, it is usually best to use the full $\pm 10\text{V}$ output range. Once an output range of $\pm 10\text{V}$ has been chosen, then "A" and I_R can be determined from the min/max of the input current I_S .

$$E_o = -A \log \frac{I_S}{I_R}, \text{ where } I_{\min} < I_S < I_{\max}$$

The output range of $\pm 10\text{V}$ for an input range of I_{\min} to I_{\max} means that

$$+10 = -A \log \frac{I_{\min}}{I_R} \text{ and } -10 = -A \log \frac{I_{\max}}{I_R}$$

Adding these two equations together

$$\log \frac{I_{\max} I_{\min}}{I_R^2} = 0, \text{ or } I_R = \sqrt{I_{\max} I_{\min}}$$

The value for A can be found from:

$$10 = A \log \frac{I_{\max}}{\sqrt{I_{\max} I_{\min}}}$$

In terms of the input current range for I_S , the values for I_R and A that will provide a full $\pm 10\text{V}$ output swing are:

$$I_R = \sqrt{I_{\max} I_{\min}} \text{ and } A = \frac{10}{\log \frac{I_{\max}}{I_R}}$$

Example: Assume that I_{\min} is $+10\text{nA}$ and I_{\max} is $+100\mu\text{A}$.

This is an 80 dB range.

$$I_R = \sqrt{I_{\max} I_{\min}} = \sqrt{(10^{-4})(10^{-8})} = 10^{-6}, \text{ or } 1\mu\text{A}.$$

$$\frac{I_{\max}}{I_R} = \frac{10^{-4}}{10^{-6}} = 100$$

$$\log \frac{I_{\max}}{I_R} = 2 \text{ So } A = 5$$

For an I_R of $1\mu\text{A}$ and A of 5,

$$E_o = -5 \log \frac{I_S}{1\mu\text{A}}$$

* Single resistor recommended. Voltage divider network difficult to use due to amplifier offset voltage. RF500-108, 1k resistor recommended.

CONNECTION DIAGRAMS

Transfer function is $E_o = -A \log \frac{I_1}{I_R}$ where I_1 is a positive input current and I_R is the resistor-programmed internal reference current.

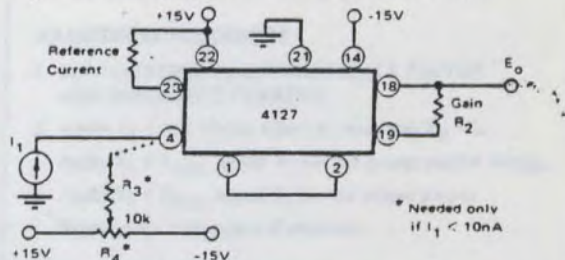


FIGURE 6.

ADJUSTMENT PROCEDURE

1. Refer to top of page for choosing optimum scale factor and reference current.
2. Apply $I_1 = I_R$, adjust R_1 such that $E_o = 0$.
3. Apply $I_1 = I_{\max}$, adjust R_2 for the proper output voltage.
4. Repeat steps 2 and 3 if necessary.
5. Ignore this step if $I_{1\min} \geq 10\text{nA}$. Otherwise, apply $I_1 = 1\text{nA}$, make $R_3 = 1\text{kM}\Omega$ and adjust R_4 for the proper output voltage.

Transfer function is $E_o = -A \log \frac{|I_1|}{I_R}$ where I_1 is a negative input current and I_R is the resistor-programmed internal reference current.

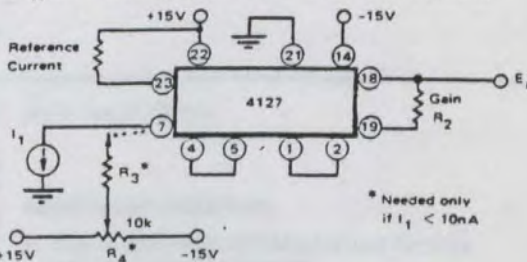


FIGURE 7.

ADJUSTMENT PROCEDURE

1. Refer to top of page for choosing optimum scale factor and reference current.
2. Apply $|I_1| = I_R$ adjust R_1 such that $E_o = 0$.
3. Apply $|I_1| = I_{\max}$, adjust R_2 for the proper output voltage.
4. Repeat steps 2 and 3 if necessary.
5. Ignore this step if $|I_{1\min}| \geq 10\text{nA}$. Otherwise, apply $|I_1| = 1\text{nA}$, make $R_3 = 1\text{kM}\Omega$ and adjust R_4 for the proper output voltage.

CONNECTION DIAGRAMS

Transfer function is $E_0 = -A \log \frac{E_1}{R_4 I_R}$, where E_1 is a positive input voltage and I_R is the resistor-programmed internal reference current.

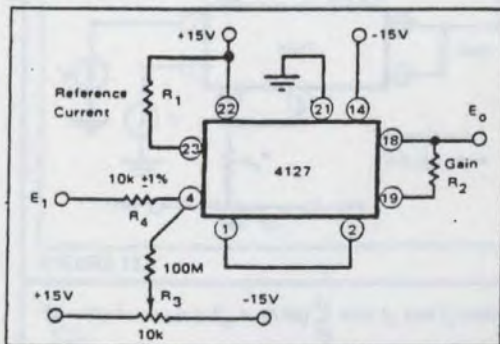


FIGURE 8.

ADJUSTMENT PROCEDURE

1. Refer to CHOOSING OPTIMUM SCALE FACTOR AND REFERENCE CURRENT.
2. Apply $E_1 = I_R$ ($10k\Omega$), adjust R_1 such that $E_0 = 0$.
3. Apply $E_1 = E_{max}$, adjust R_2 for the proper output voltage.
4. Apply $E_1 = E_{min}$, adjust R_3 for the proper output.
5. Repeat steps 2 through 4 if necessary.

NOTE: If lockup occurs at low input levels, pin 4 should be connected to pin 5.

Transfer function is $E_0 = -A \log \frac{|E_1|}{R_4 I_R}$, where E_1 is a negative input voltage and I_R is the resistor-programmed internal reference current.

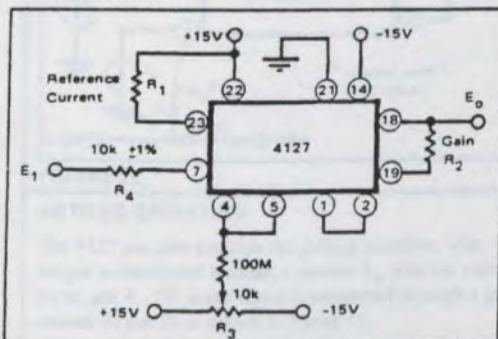


FIGURE 9.

ADJUSTMENT PROCEDURE

1. Refer to CHOOSING OPTIMUM SCALE FACTOR AND REFERENCE CURRENT.
2. Apply $|E_1| = I_R$ ($10k\Omega$), adjust R_1 such that $E_0 = 0$.
3. Apply $|E_1| = E_{max}$, adjust R_2 for the proper output voltage.
4. Apply $|E_1| = E_{min}$, adjust R_3 for the proper output.
5. Repeat steps 2 through 4 if necessary.

Transfer function is $E_0 = -A \log \frac{|I_1|}{|I_2|}$ with I_1 and I_2 negative; $|I_1| > 1nA, |I_2| > 1\mu A$.

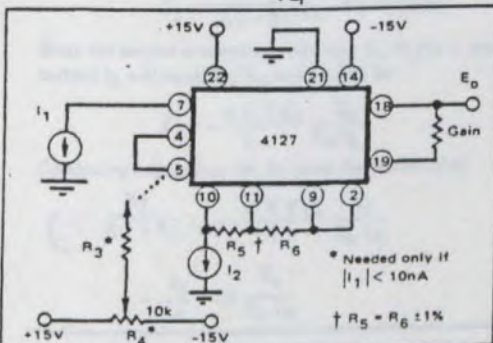


FIGURE 10.

ADJUSTMENT PROCEDURE

1. Refer to CHOOSING OPTIMUM SCALE FACTOR AND REFERENCE CURRENT.
2. No further adjustment is necessary if $I_1 \text{ min} > 10nA$, otherwise connect the R_3 and R_4 network, with $R_4 = 10k$ and $R_3 = 10^9\Omega$. Adjust R_4 for proper output voltage after adjusting gain errors. Since the voltage at pin 4 is in the range of $\pm 5mV$, it is not practical to use a T-network to replace R_3 .

* Transfer function is $E_0 = -A \log \frac{|I_1|}{I_2}$ with I_1 negative, I_2 positive; $|I_1| \geq 1nA$, $I_2 \geq 1\mu A$.

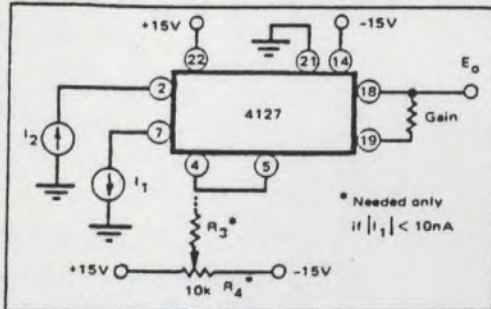


FIGURE 11.

ADJUSTMENT PROCEDURE

1. Refer to CHOOSING OPTIMUM SCALE FACTOR AND REFERENCE CURRENT.
2. No further adjustment is necessary if $|I_1|_{min} \geq 10nA$, otherwise connect the R_3 and R_4 network, with $R_4 = 10k$ and $R_3 = 10^9\Omega$. Adjust R_4 for proper output voltage after adjusting gain errors. Since the voltage at pin 4 is in the range of $\pm 5mV$, it is not practical to use a T-network to replace R_3 .

Transfer function is $E_0 = -A \log \frac{I_1}{I_2}$ with I_1 and I_2 positive; $I_1 \geq 1nA$, $I_2 \geq 1\mu A$.

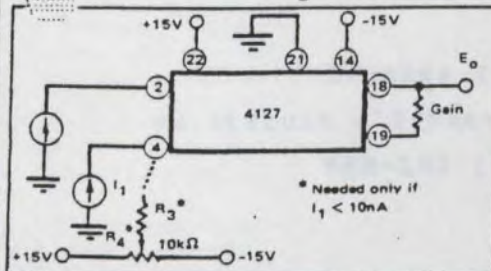


FIGURE 12.

ADJUSTMENT PROCEDURE

1. Refer to CHOOSING OPTIMUM SCALE FACTOR AND REFERENCE CURRENT.
2. No further adjustment is necessary if $I_1_{min} \geq 10nA$, otherwise connect the R_3 and R_4 network, with $R_4 = 10k$ and $R_3 = 10^9\Omega$. Adjust R_4 for proper output voltage after adjusting gain errors. Since the voltage at pin 4 is in the range of $\pm 5mV$, it is not practical to use a T-network to replace R_3 .

ANTILOG OPERATION

The 4127 can also perform the antilog function. The output is connected through a resistor R_0 into the current input, pin 4. The input signal is connected through a gain resistor to pin 19 as shown in Figure 13.

These connections form an implicit loop for computing the antilog function. From the block diagram of Figure 1, the voltage at the inverting input of the output amplifier A2 must equal E_2 , so

$$E_2 \approx \frac{R_T}{R_T + R_2} E_S, R_T \cong 520\Omega$$

Since the output is connected through R_0 to pin 4, the current I_S will equal E_0/R_0 and E_2 will be

$$E_2 = -\frac{mKT}{q} \ln \frac{E_0}{R_0 I_R}$$

Combining expressions for E_2 gives the relationship

$$\frac{R_T}{R_T + R_2} E_S = -\frac{mKT}{q} \ln \frac{E_0}{R_0 I_R}$$

$$-\frac{E_S}{A} = \log \frac{E_0}{R_0 I_R}$$

where

$$A \approx \frac{R_T + R_2}{R_T} (26mV) \frac{1}{0.434}$$

$$E_0 = R_0 I_R \text{ Antilog} - \frac{E_S}{A}$$

Setting R_0 and I_R will set the scale factor. For example, an R_0 of $1M\Omega$ and I_R of $1\mu A$ will give a scale factor of unity and

$$E_0 = \text{Antilog} - \frac{E_S}{A}$$

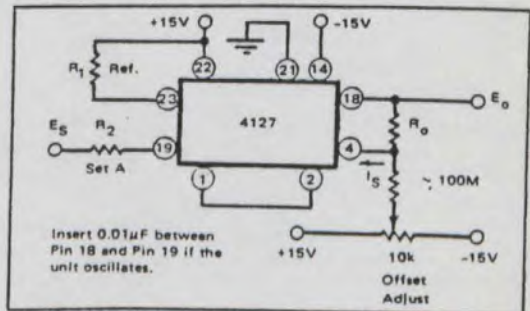


FIGURE 13.



Low Cost Monolithic Sample-Hold Model SHM-LM-2

- 1.5µm Bipolar Transistor
- 100% Gain Accuracy
- 100% CMOS Logic Compatibility
- 10V or 15V Supplies
- 7-Pin Package
- Lead-Free

General Description
 The SHM-LM-2 is a low cost monolithic sample-and-hold circuit with excellent performance. It is implemented using 1.5µm bipolar technology with an external hold capacitor. The circuit is selected by the user to operate either in a 10V or 15V supply mode. The circuit is designed to operate with a 10V supply and a 100pF load capacitor. The circuit is designed to operate with a 15V supply and a 100pF load capacitor. The circuit is designed to operate with a 10V supply and a 100pF load capacitor.

The circuit is designed to operate with a 10V supply and a 100pF load capacitor. The circuit is designed to operate with a 15V supply and a 100pF load capacitor. The circuit is designed to operate with a 10V supply and a 100pF load capacitor. The circuit is designed to operate with a 15V supply and a 100pF load capacitor. The circuit is designed to operate with a 10V supply and a 100pF load capacitor.

The circuit is designed to operate with a 10V supply and a 100pF load capacitor. The circuit is designed to operate with a 15V supply and a 100pF load capacitor. The circuit is designed to operate with a 10V supply and a 100pF load capacitor. The circuit is designed to operate with a 15V supply and a 100pF load capacitor. The circuit is designed to operate with a 10V supply and a 100pF load capacitor.



Appendice D

Données techniques du circuit d'échantillonnage-bloquage SHM-LM2 (Intersil)

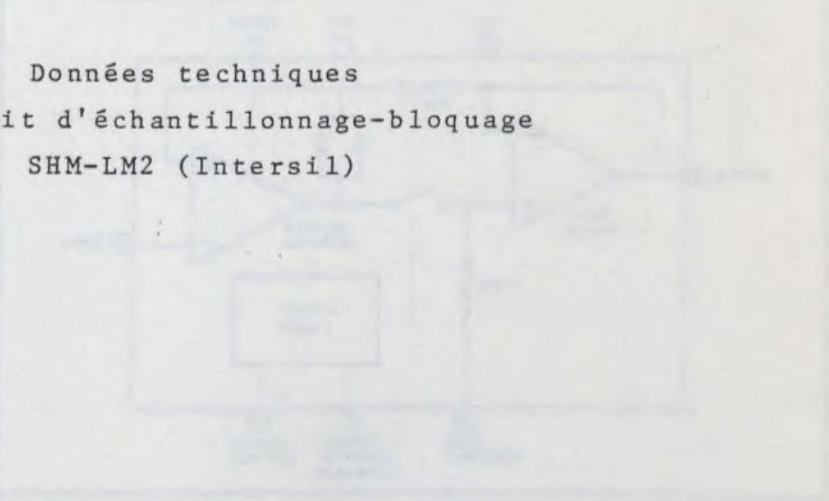


Figure 1. SHM-LM2 Sample-and-Hold Circuit



Pin	Function
1	Input
2	Output
3	Control
4	Control
5	Control
6	Control
7	Control

DATEL INTERFIL

Low Cost Monolithic Sample-Hold Model SHM-LM-2

FEATURES

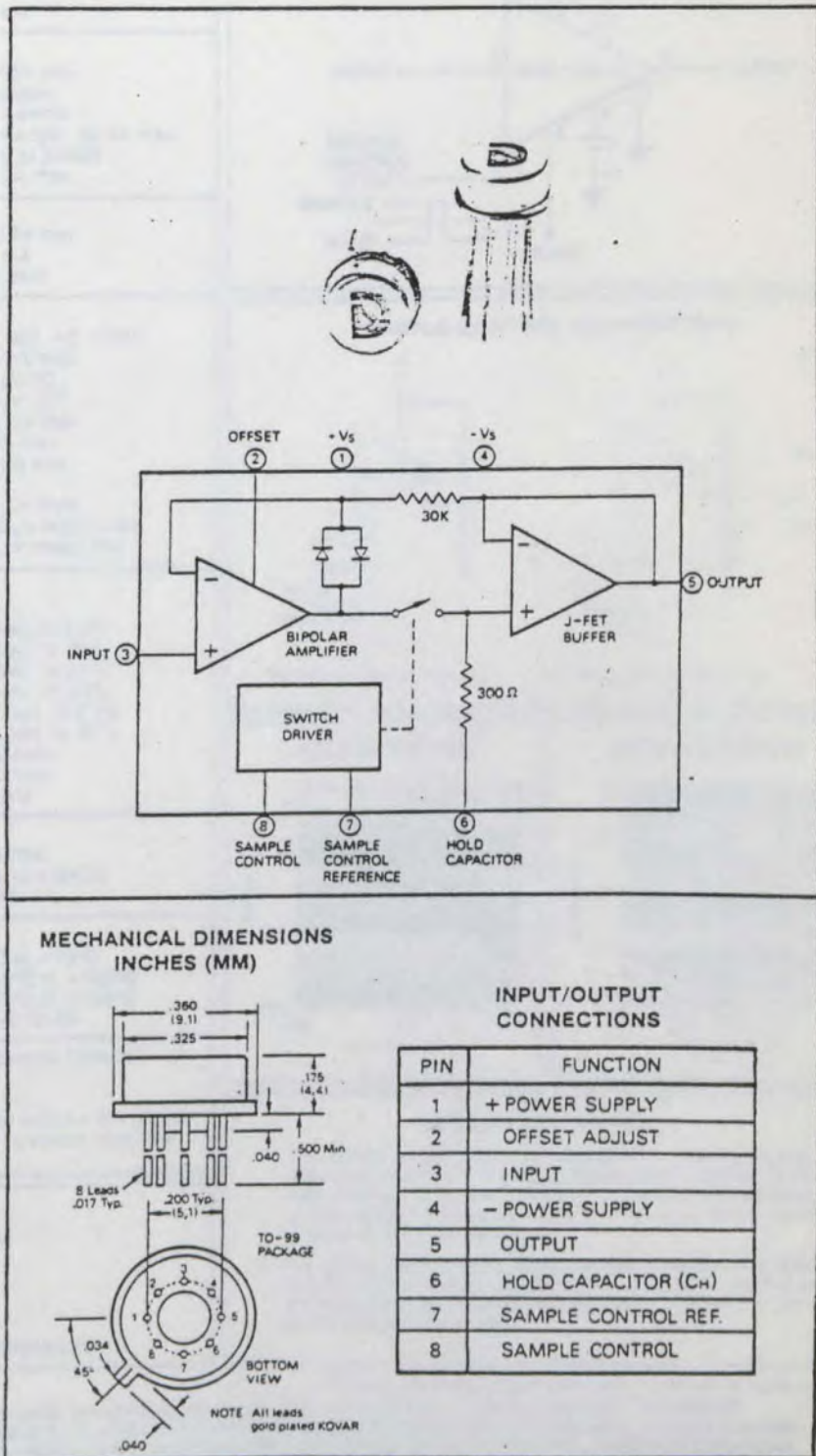
- 5 μ sec. Acquisition Time
- .01% Gain Accuracy
- TTL/CMOS Logic Compatible
- $\pm 5V$ to $\pm 18V$ Supplies
- TO-99 Package
- Low Cost

GENERAL DESCRIPTION

The SHM-LM-2 is a low cost monolithic sample-hold circuit with excellent performance features. It is self-contained requiring only an external hold capacitor with the value selected by the user for desired speed and accuracy characteristics. Acquisition time is 6 μ sec. for a 10V change to .01% using a 1000pF capacitor and 25 μ sec. using a .01 μ F capacitor. It is 5 μ sec. and 20 μ sec. respectively for a 10V change to 0.1%. This device is internally configured as a unity gain follower with a gain error of less than .01% in the sample mode.

The circuit consists of a bipolar input amplifier, a low leakage electronic switch, and an FET output amplifier. The monolithic fabrication process combines P channel junction FET's with bipolar transistors to achieve a low noise, high input impedance output amplifier. Other important specifications include 10^{10} ohms input impedance and 1 MHz bandwidth. Aperture time is less than 100 nsec. and hold mode feed-through is less than .005%. Hold mode droop is 200 μ V/msec. max. with a 1000pF hold capacitor and 20 μ V/msec. max. with a .01 μ F capacitor. The SHM-LM-2 can operate over a power supply range of $\pm 5V$ to $\pm 18V$.

Applications include sampling for A/D conversion, deglitching circuits, automatic zeroing circuits, and analog demultiplexing circuits. It is recommended that the holding capacitor (C_H) be a teflon, polystyrene, or polypropylene type for best results. Operating temperature range is 0°C to 70°C for SHM-LM-2 and -55°C to +125°C for SHM-LM-2M.



MAXIMUM RATINGS

Power Supply Voltage, pins 1 & 4	±18V
Input Voltage, pin 3	±Supply
Sample Control to Sample	
Reference, pin 8 to pin 7	-7, -30V
Hold Capacitor Short Circuit	10 sec.

INPUTS

Input Voltage Range	±11.5V min.
Input Overvoltage, no damage	± Supply
Input Impedance	10 ¹⁰ ohms
Input Bias Current	10 nA typ., 50 nA max.
Sample Control	TTL or CMOS
Sample Control Input Current ¹	10 µA max.

OUTPUT

Output Voltage Range	±11.5V min.
Output Current, S.C. protected	±5 mA
Output Impedance	0.5 ohm

PERFORMANCE

Gain	-1 000, -0, -0.1%
Output Offset Voltage, adj. to zero	±7 mV max.
Offset Voltage Drift, SHM-LM-2	20 µV/°C
Offset Voltage Drift, SHM-LM-2M	10 µV/°C ²
Sample to Hold Offset	2.5 mV max.
Hold Mode Feedthrough	0.1% max.
Power Supply Rejection Ratio	80 dB min.
Output Noise, hold mode (10Hz-100kHz)	5.5 µV RMS
Hold Mode Droop, C _H = 1000 pF	200 µV, msec. max.
C _H = .01 µF	20 µV, msec. max.

DYNAMIC RESPONSE

Acquisition Time	
10V Change, C _H = 1000 pF	5 µsec. to 0.1%
10V Change, C _H = 1000 pF	6 µsec. to 0.1%
20V Change, C _H = 1000 pF	7 µsec. to 0.1%
20V Change, C _H = 1000 pF	8 µsec. to 0.1%
10V Change, C _H = .01 µF	20 µsec. to 0.1%
10V Change, C _H = .01 µF	25 µsec. to 0.1%
Aperture Delay Time	
100 nsec.	
Hold Mode Settling Time²	
600 nsec.	
Bandwidth, Sample Mode, -3 dB	
1 MHz	

POWER REQUIREMENT

Voltage, rated performance	±15VDC
Voltage Range, operating	±5V to ±18VDC
Quiescent Current	6 mA

PHYSICAL-ENVIRONMENTAL

Operating Temp. Range, SHM-LM-2	0°C to -70°C
SHM-LM-2M	-55°C to +125°C
Storage Temperature Range	-65°C to -150°C
Case	8 pin TO-99

NOTES:

- For either Sample Control or Sample Control Reference inputs
- 25 µV/°C max.
- The time for the output to settle within 1 mV of final value after the logic command to switch into hold mode

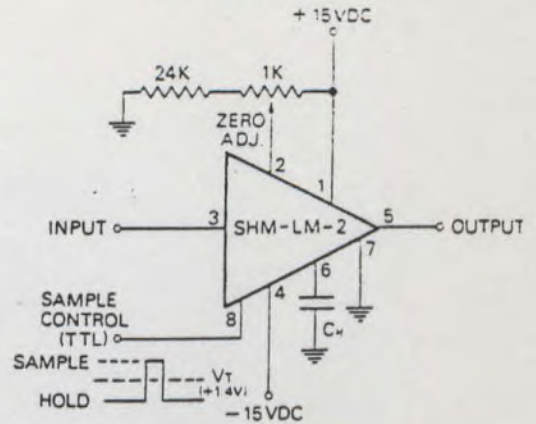
ORDERING INFORMATION

Model	Operating Temp. Range
SHM-LM-2	0°C to 70°C
SHM-LM-2M	-55°C to -125°C

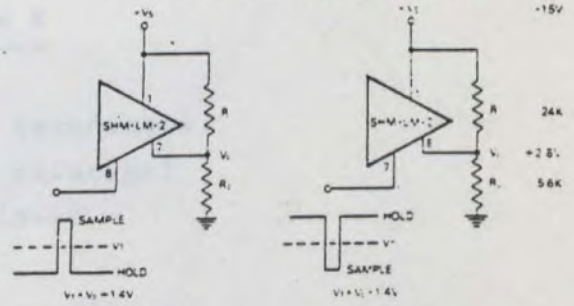
Trimming Potentiometer, TP1K

THE SHM-LM-2 IS COVERED BY GSA CONTRACT

CONNECTION DIAGRAM



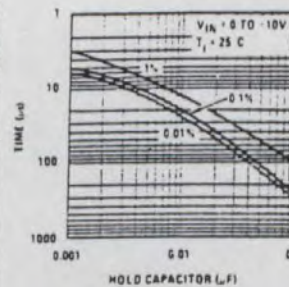
SAMPLE-CONTROL CONNECTIONS



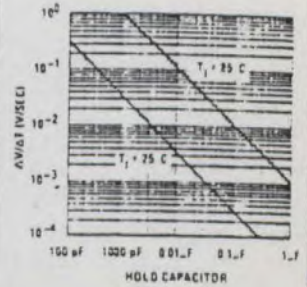
For TTL connect pin 7 to ground.

For TTL use values shown on right

ACQUISITION TIME



HOLD MODE DROOP



TECHNICAL NOTES

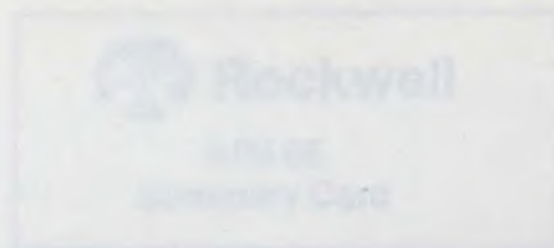
- The sample to hold offset can be adversely affected by stray capacitive coupling from input sample control signals to the hold capacitor. It is recommended that a guard ring connected to the output be put around pin 6 in a circuit board layout in order to minimize this effect.
- For various types of logic inputs the logic threshold (V_T) is set by two biasing resistors as shown in the diagram. Inverted or non-inverted pulses may be used by using either pin 7 or pin 8 as the sample control input.

Printed in U.S.A. Copyright © 1980 Datacube, Inc. All rights reserved



11 CABOT BOULEVARD, MANSFIELD, MA 02048 / TEL (617)339-9341 / TWX 710-346-1953 / TX 951340
 Santa Ana (714)835-2751, (L.A.) (213)933-7256 • Sunnyvale, CA (408)733-2424 • Gaithersburg, MD (301)840-9490
 • Houston, (713)781-8886 • Dallas, TX (214)241-0651 OVERSEAS DATEL (UK) LTD—TEL ANDOVER (0264)51055
 • DATEL SYSTEMS SARL 602-57-11 • DATELEK SYSTEMS GmbH (089)77-60-95 • DATEL KK Tokyo 793-1031

PRICES AND SPECIFICATIONS SUBJECT TO CHANGE WITHOUT NOTICE



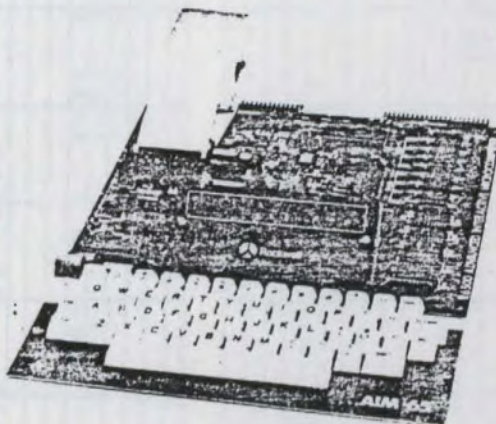
Appendice E

Caractéristiques techniques
de l'ordinateur principal
Rockwell AIM-65



Rockwell

AIM 65 Summary Card



Rockwell Microelectronic Devices Sales Offices

WESTERN REGION, U.S.A.

3310 Miraloma Avenue
P. O. Box 3669
Anaheim, CA 92803
Phone: (714) 632-3698

EASTERN REGION, U.S.A.

Caroler Office Building
850-870 U.S. Route 1
North Brunswick, New Jersey 08902
Phone: (201) 246-3630

MIDWEST REGION, U.S.A.

1011 E. Touhy — Suite 245
Des Plaines, Illinois 60018
Phone: (312) 297-8862

CENTRAL REGION, U.S.A.

Contact: Robert D. Whitesell & Associates
6691 East Washington Street
Indianapolis, Indiana 46219
Attn: Mill Gamble, Mgr.
Phone: (317) 359-9283

FAR EAST

Rockwell International Overseas Corp.
Ichiban-cho Central Building
22-1 Ichiban-cho, Chiyoda-ku
Tokyo 102, Japan
Phone: 265-8808

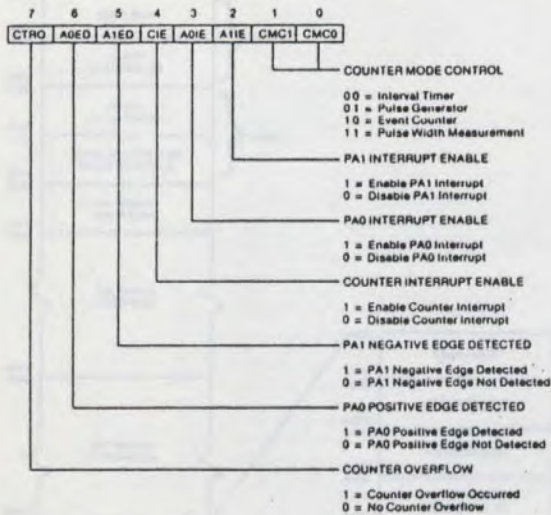
EUROPE

Rockwell International GmbH
Microelectronic Devices
Fraunhoferstrasse 11
D-8033 Munchen-Martinsried
Germany
Phone: (089) 859-9575

DOC. NO. 29650N51
REV. 1, MARCH 1979

R6500/1 CONTROL REGISTER

The Control Register controls four Counter operating modes and three maskable interrupts. It also reports the status of three interrupt conditions.



R6500/1 COUNTER MODES

INTERVAL TIMER (MODE 0)

In this mode the Counter is free-running, and decrements at the $\phi/2$ clock rate. The CNTR line is held in the high state.

PULSE GENERATOR (MODE 1)

In this mode the Counter is free-running, and decrements at the $\phi/2$ clock rate. The CNTR line toggles from one state to the other when Counter overflow occurs.

EVENT COUNTER (MODE 2)

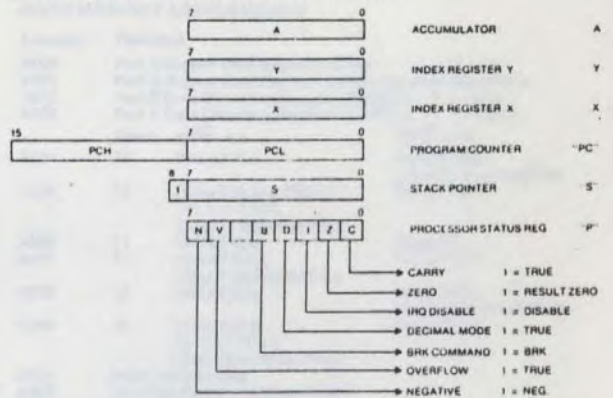
In this mode the CNTR line is used as an event input line. The Counter decrements each time a rising edge is detected on CNTR.

PULSE WIDTH MEASUREMENT (MODE 3)

This mode allows accurate measurement of the duration of a low state on the CNTR line. The Counter decrements at the $\phi/2$ clock rate as long as the CNTR is held in the low state, and stops when CNTR switches to the high state.

Note: In all modes Counter overflow sets the Control Register CTRO status bit and causes the Counter to be preset to the Latch value.

PROCESSOR PROGRAMMING MODEL



MACHINE INSTRUCTIONS

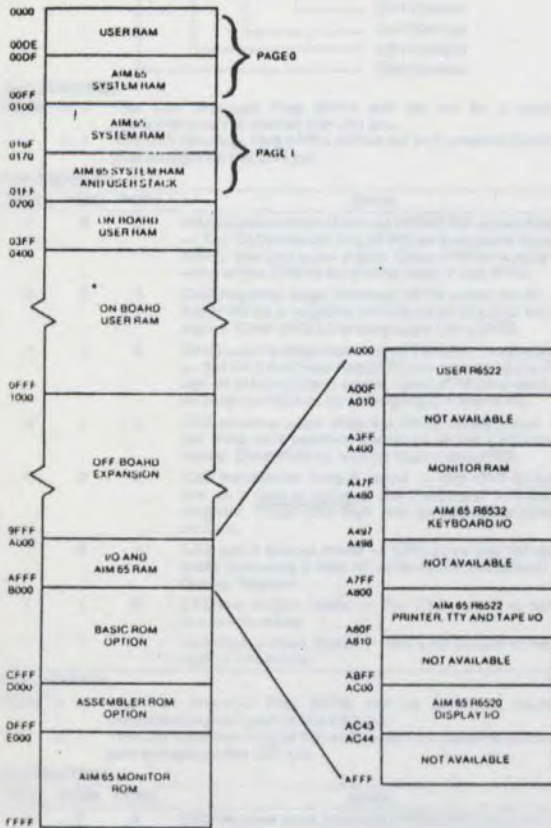
ADC	Add Memory to Accumulator with Carry	LDX	Load Index X with Memory
AND	AND Memory with Accumulator	LDY	Load Index Y with Memory
ASL	Shift Left One Bit (Memory or Accumulator)	LSR	Shift Right One Bit (Memory or Accumulator)
BCC	Branch on Carry Clear	NOP	No Operation
BCS	Branch on Carry Set	ORA	OR Memory with Accumulator
BEQ	Branch on Result Zero	PHA	Push Accumulator on Stack
BIT	Test Bits in Memory with Accumulator	PHP	Push Processor Status on Stack
BMI	Branch on Result Minus	PLA	Pull Accumulator from Stack
BNE	Branch on Result Not Zero	PLP	Pull Processor Status from Stack
BPL	Branch on Result Plus	ROL	Rotate One Bit Left (Memory or Accumulator)
BRK	Force Break	ROR	Rotate One Bit Right (Memory or Accumulator)
BVC	Branch on Overflow Clear	RTI	Return from Interrupt
BVS	Branch on Overflow Set	RTS	Return from Subroutine
CLC	Clear Carry Flag	SBC	Subtract Memory from Accumulator with Borrow
CLD	Clear Decimal Mode	SEC	Set Carry Flag
CLI	Clear Interrupt Disable Bit	SED	Set Decimal Mode
CLV	Clear Overflow Flag	SEI	Set Interrupt Disable Status
CMP	Compare Memory and Accumulator	STA	Store Accumulator in Memory
CPX	Compare Memory and Index X	STX	Store Index X in Memory
CPY	Compare Memory and Index Y	STY	Store Index Y in Memory
DEC	Decrement Memory by One	TAX	Transfer Accumulator to Index X
DEX	Decrement Index X by One	TAY	Transfer Accumulator to Index Y
DEY	Decrement Index Y by One	TSX	Transfer Stack Pointer to Index X
EOR	Exclusive-OR Memory with Accumulator	TXA	Transfer Index X to Accumulator
INC	Increment Memory by One	TXS	Transfer Index X to Stack Pointer
INX	Increment Index X by One	TYA	Transfer Index Y to Accumulator
INY	Increment Index Y by One		
JMP	Jump to New Location		
JSR	Jump to New Location Saving Return Address		
LDA	Load Accumulator with Memory		

COMPARE INSTRUCTION RESULTS

Condition	N	Z	C
A, X, or Y < Memory	1*	0	0
A, X, or Y = Memory	0	1	1
A, X, or Y > Memory	0*	0	1

*N is valid only for 2's complement compare.

AIM 65 MEMORY MAP



AIM 65 USER-ALTERABLE ADDRESSES

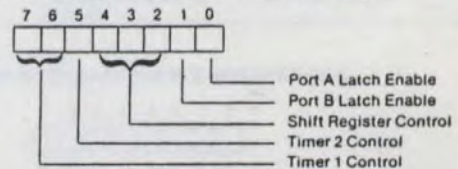
Location	Name	Bytes	Description
0108	UIN	2	Vector to User Input Handler
010A	UOUT	2	Vector to User Output Handler
010C	KEYF1	3	JMP to User Function 1
010F	KEYF2	3	JMP to User Function 2
0112	KEYF3	3	JMP to User Function 3
A400	IRQV4	2	Vector to IRQ after Monitor Interrupt Routine
A402	NMIV2	2	Vector to NMI Interrupt Routine
A404	IRQV2	2	Vector to IRQ Interrupt Routine
A406	DILINK	2	Vector to Display Routine
A408	TSPEED	1	Audio Tape Speed Default = \$C7 (AIM 65) Options = \$5A (KIM-1 x 1) \$5B (KIM-1 x 3)
A409	GAP	1	Audio Tape Gap = 40 for 50K versatile Default = \$08 = 32 SYN characters Option = \$80 for Assembler input & Editor update

3417 BAUDRATE 224 for 110BAUD
4.0 x 10^4

USER R6522 VERSATILE INTERFACE ADAPTER (VIA) R6522 MEMORY ASSIGNMENTS

Location	Function
A000	Port B Output Data Register (ORB)
A001	Port A Output Data Register (ORA) Controls handshake
A002	Port B Data Direction Register (DDRB) } 0 = Input
A003	Port A Data Direction Register (DDRA) } 1 = Output
A004	Timer T1 Write T1L-L Read T1C-L Clear T1 Interrupt Flag
A005	Timer T1 Write T1L-H & T1C-H T1L-L → T1C-L Clear T1 Interrupt Flag Read T1C-H
A006	Timer T1 Write T1L-L Read T1L-L
A007	Timer T1 Write T1L-H Read T1L-H
A008	Timer T2 Write T2L-L Read T2C-L Clear T2 Interrupt Flag
A009	Timer T2 Write T2C-H T2L-L → T2C-L Clear T2 Interrupt Flag Read T2C-H
A00A	Shift Register (SR)
A00B	Auxiliary Control Register (ACR)
A00C	Peripheral Control Register (PCR)
A00D	Interrupt Flag Register (IFR)
A00E	Interrupt Enable Register (IER)
A00F	Port A Output Data Register (ORA) No effect on handshake

R6522 AUXILIARY CONTROL REGISTER (ACR)



PORT A LATCH ENABLE

ACR0 = 1 Port A latch is enabled to latch input data when CA1 Interrupt Flag (IFR1) is set.
= 0 Port A latch is disabled, reflects current data on PA pins.

PORT B LATCH ENABLE

ACR1 = 1 Port B latch is enabled to latch the voltage on the pins for the input lines or the ORB contents for the output lines when CB1 Interrupt Flag (IFR4) is set.
= 0 Port B latch is disabled, reflects current data on PB pins.

SHIFT REGISTER CONTROL

ACR4	ACR3	ACR2	Mode
0	0	0	Shift Register Disabled.
0	0	1	Shift in under control of Timer 2.
0	1	0	Shift in under control of $\phi 2$.
0	1	1	Shift in under control of external clock.
1	0	0	Free-running output at rate determined by Timer 2.
1	0	1	Shift out under control of Timer 2.
1	1	0	Shift out under control of $\phi 2$.
1	1	1	Shift out under control of external clock.

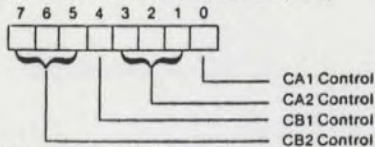
TIMER 2 CONTROL

ACR5 = 0 T2 acts as an interval timer in the one-shot mode.
= 1 T2 counts a predetermined number of pulses on PB6.

TIMER 1 CONTROL

ACR7	ACR6	Mode
0	0	T1 one-shot mode — Generate a single time-out interrupt each time T1 is loaded. Output to PB7 disabled.
0	1	T1 free-running mode — Generate continuous interrupts. Output to PB7 disabled.
1	0	T1 one-shot mode — Generate a single time-out interrupt and an output pulse on PB7 each time T1 is loaded.
1	1	T1 free-running mode — Generate continuous interrupts and a square wave output on PB7.

R6522 PERIPHERAL CONTROL REGISTER (PCR)



CA1 CONTROL

PCR0 = 0 The CA1 Interrupt Flag (IFR1) will be set by a negative transition (high to low) on the CA1 pin.
 = 1 The CA1 Interrupt Flag (IFR1) will be set by a positive transition (low to high) on the CA1 pin.

CA2 CONTROL

PCR3	PCR2	PCR1	Mode
0	0	0	CA2 negative edge interrupt (IFR0/ORA clear) mode — Set CA2 interrupt flag (IFR0) on a negative transition of the CA2 input signal. Clear IFR0 on a read or write of the ORA or by writing logic 1 into IFR0.
0	0	1	CA2 negative edge interrupt (IFR0 clear) mode — Set IFR0 on a negative transition of the CA2 input signal. Clear IFR0 by writing logic 1 into IFR0.
0	1	0	CA2 positive edge interrupt (IFR0/ORA clear) mode — Set CA2 interrupt flag (IFR0) on a positive transition of the CA2 input signal. Clear IFR0 on a read or write of the ORA or by writing logic 1 into IFR0.
0	1	1	CA2 positive edge interrupt (IFR0 clear) mode — Set IFR0 on a positive transition of the CA2 input signal. Clear IFR0 by writing logic 1 into IFR0.
1	0	0	CA2 handshake output mode — Set CA2 output low on a read or write of the Peripheral A Output Register. Reset CA2 high with an active transition on CA1.
1	0	1	CA2 pulse output mode — CA2 goes low for one cycle following a read or write of the Peripheral A Output Register.
1	1	0	CA2 low output mode — The CA2 output is held low in this mode.
1	1	1	CA2 high output mode — The CA2 output is held high in this mode.

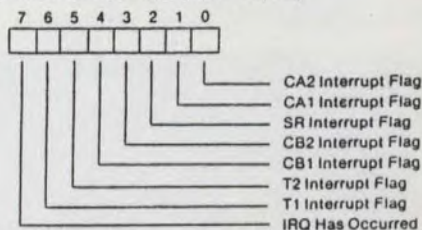
CB1 CONTROL

PCR4 = 0 The CB1 Interrupt Flag (IFR4) will be set by a negative transition (high to low) on the CB1 pin.
 = 1 The CB1 Interrupt Flag (IFR4) will be set by a positive transition (low to high) on the CB1 pin.

CB2 CONTROL

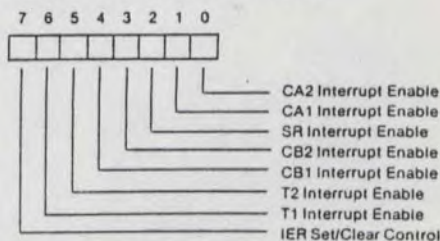
PCR7	PCR6	PCR5	Mode
0	0	0	CB2 negative edge interrupt (IFR3/ORB clear) mode — Set CB2 interrupt flag (IFR3) on a negative transition of the CB2 input signal. Clear IFR3 on a read or write of the ORB or by writing logic 1 into IFR3.
0	0	1	CB2 negative edge interrupt (IFR3 clear) mode — Set IFR3 on a negative transition of the CB2 input signal. Clear IFR3 by writing logic 1 into IFR3.
0	1	0	CB2 positive edge interrupt (IFR3/ORB clear) mode — Set CB2 interrupt flag (IFR3) on a positive transition of the CB2 input signal. Clear IFR3 on a read or write of the ORB or by writing logic 1 into IFR3.
0	1	1	CB2 positive edge interrupt (IFR3 clear) mode — Set IFR3 on a positive transition of the CB2 input signal. Clear IFR3 by writing logic 1 into IFR3.
1	0	0	CB2 handshake output mode — Set CB2 output low on a write of the Peripheral B Output Register. Reset CB2 high with an active transition on CB1.
1	0	1	CB2 pulse output mode — CB2 goes low for one cycle following a read or write of the Peripheral B Output Register.
1	1	0	CB2 low output mode — The CB2 output is held low in this mode.
1	1	1	CB2 high output mode — The CB2 output is held high in this mode.

R6522 INTERRUPT FLAG REGISTER (IFR)



IFR Bit	Set By	Cleared By
0	Active transition on CA2	Reading or writing the ORA (\$A001 or \$A00F)
1	Active transition on CA1	Reading or writing the ORA (\$A001 or \$A00F)
2	Completion of eight shifts	Reading or writing the SR (\$A00A)
3	Active transition on CB2	Reading or writing the ORB (\$A000)
4	Active transition on CB1	Reading or writing the ORB (\$A000)
5	Time-out of Timer 2	Reading T2C-L (\$A008) or writing T2C-H (\$A009)
6	Time-out of Timer 1	Reading T1C-L (\$A004) or writing T1L-H (\$A005 or \$A007)
7	Any IFR bit set with its corresponding IER bit also set	Clearing IFR0-IFR6 (\$A00D) or IER0-IER6 (\$A00E)

R6522 INTERRUPT ENABLE REGISTER (IER)



INTERRUPT ENABLE BITS (IER0-6)

IERn = 0 Disable interrupt
 = 1 Enable interrupt

IER SET/CLEAR CONTROL (IER7)

IER7 = 0 For each data bus bit set to logic 1, clear corresponding IER bit
 = 1 For each data bus bit set to logic 1, set corresponding IER bit.

Note: IER7 is active only when R/W = L; when R/W = H, IER7 will read logic 1.

PRELIMINARY TECHNICAL DATA

FEATURES

- 8-Bit Resolution
- 100 μ s Settling Time over Full Temperature Range
- 100 μ s Conversion Time/Step
- Conversion of 20 μ s (MAX. 1000 μ s Over-Current)
- 100 μ s Settling Time/Step
- 100 μ s Conversion Time/Step
- 100 μ s Conversion Time/Step
- 100 μ s Conversion Time/Step



Appendice F

Caractéristiques du convertisseur A/N AD7574

(Analog Devices)

Le convertisseur AD7574 est un convertisseur analogique-numérique à 8 bits de résolution, compatible avec les microprocesseurs CMOS μ P. Il est conçu pour être utilisé dans des applications où une haute précision et une faible consommation d'énergie sont requises. Le convertisseur est capable de convertir une tension d'entrée en un code numérique binaire en 100 μ s. Le convertisseur est compatible avec les microprocesseurs CMOS μ P et peut être utilisé dans des applications où une haute précision et une faible consommation d'énergie sont requises.



FIG. 1. CONTINUED

Parameter	Symbol	Typical Value	Conditions
Resolution		8 bits	
Settling Time	t_s	100 μ s	Full Temperature Range
Conversion Time/Step	t_c	100 μ s	
Over-Current Time	t_{oc}	1000 μ s	

AD7574

PRELIMINARY TECHNICAL DATA

FEATURES

- 8 - Bit Resolution
- No Missed Codes over Full Temperature Range
- Fast Conversion Time: 15 μ s
- Interfaces to μ P like RAM, ROM or Slow - Memory
- Low Power Dissipation: 30mW
- Ratiometric Capability
- Single +5V Supply
- Low Cost
- Internal Comparator and Clock Oscillator



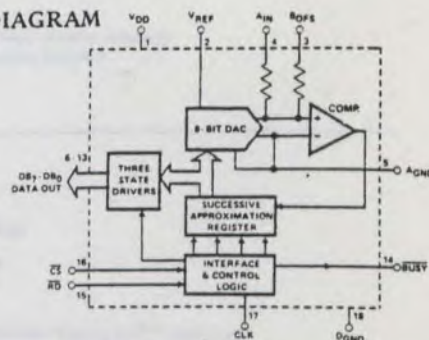
GENERAL DESCRIPTION

AD 7574 is a low - cost, 8 - bit μ P compatible ADC which uses the successive - approximations technique to provide a conversion time of 15 μ s.

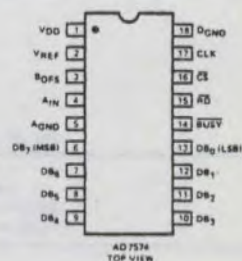
Designed to be operated as a memory mapped input device, the AD7574 can be interfaced like static RAM, ROM, or slow memory. It's \overline{CS} (decoded device address) and \overline{RD} (READ/WRITE control) inputs are available in all μ P memory systems. These two inputs control all ADC operations such as starting conversion or reading data. The ADC output data bits use three - state logic, allowing direct connection to the μ P data bus or system input port.

Internal clock, +5V operation, on-board comparator and interface logic, as well as low power dissipation (30mW) and fast conversion time make the AD7574 ideal for most ADC/ μ P interface applications. Small size (18 - pin DIP) and monolithic reliability will find wide use in avionics, instrumentation, and process automation applications.

FUNCTIONAL DIAGRAM



PIN CONFIGURATION



ORDERING INFORMATION

Differential Nonlinearity	Temperature Range and Package		
	Plastic 0°C to +70°C	Ceramic -25°C to +85°C	Ceramic -55°C to +125°C
$\pm 7/8$ LSB	AD7574JN	¹ AD7574AD	¹ AD7574SD
$\pm 3/4$ LSB	AD7574KN	¹ AD7574BD	¹ AD7574TD

Note 1 Available 100% screened to MIL-STD-883, Class B. To order, add "883B" to part number shown. See note 6, page 2 for details.

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

Route 1 Industrial Park; P.O.Box 280; Norwood, Mass. 02062
 Tel: 617/329-4700 TWX: 710/394-6577
 West Coast Mid - West Texas
 213/595-1783 312/894-3300 214/231-5094

CAUTION:

ESD (Electro-Static-Discharge) sensitive device. The digital control inputs are zener protected; however, permanent damage may occur on unconnected devices subject to high energy electrostatic fields. Unused devices must be stored in conductive foam or shunts. The foam should be discharged to the destination socket before devices are removed.


DC SPECIFICATIONS ($V_{DD} = +5V$, $V_{REF} = -10V$, Unipolar Configuration,
 $R_{CLK} = 180k\Omega$, $C_{CLK} = 100pF$, unless otherwise noted)

PARAMETER	LIMITS		UNITS	CONDITIONS/COMMENTS
	$T_A = +25^\circ C$	$T_{min} \cdot T_{max}^1$		
ACCURACY				
Resolution	8	8	Bits	
Relative Accuracy Error				
AD7574JN, AD, SD	$\pm 1/4$	$\pm 3/4$	LSB max	Relative Accuracy and Differential Nonlinearity are measured dynamically using the external clock circuit of Fig. 7b, page 6. Clock frequency is 500kHz (conversion time 15 μ s)
AD7574KN, BD, TD	$\pm 1/2$	$\pm 1/2$	LSB max	
Differential Nonlinearity				
AD7574JN, AD, SD	$\pm 7/8$	$\pm 7/8$	LSB max	Full Scale Error is measured after calibrating out offset error. See Fig. 8a and associated calibration procedure for offset. Max Full Scale change from $+25^\circ C$ to T_{min} or T_{max} is ± 2 LSB.
AD7574KN, BD, TD	$\pm 3/4$	$\pm 3/4$	LSB max	
Full Scale Error (Gain Error)				
AD7574JN, AD, SD	± 5	± 6.5	LSB max	Maximum Offset change from $+25^\circ C$ to T_{min} or T_{max} is $\pm 20mV$.
AD7574KN, BD, TD	± 3	± 4.5	LSB max	
Offset Error ²				
AD7574JN, AD, SD	± 60	± 80	mV max	Maximum Offset change from $+25^\circ C$ to T_{min} or T_{max} is $\pm 20mV$.
AD7574KN, BD, TD	± 30	± 50	mV max	
Mismatch Between R_{BOPS} (pin 3) and R_{AIN} (pin 4) Resistances ³	± 1.5	± 1.5	%	
ANALOG INPUTS				
Input Resistance				
At V_{REF} (pin 2)	5/10/15	5/10/15	k Ω min/typ/max	$\pm 5\%$ for specified transfer accuracy. Degraded transfer accuracy.
At R_{BOPS} (pin 3)	10/20/30	10/20/30	k Ω min/typ/max	
At R_{AIN} (pin 4)	10/20/30	10/20/30	k Ω min/typ/max	
V_{REF} (for specified performance)	-10	-10	V	
V_{REF} Range ⁴	-5 to -15	-5 to -15	V	
Nominal Analog Input Range				
Unipolar Mode	0 to $- V_{REF} $		V	
Bipolar Mode	$- V_{REF} $ to $+ V_{REF} $		V	
LOGIC INPUTS				
RD (pin 15), CS (pin 16)				
V_{INH} Logic HIGH Input Voltage	+3.0	+3.0	V min	$V_{IN} = 0V, V_{DD}$
V_{INL} Logic LOW Input Voltage	+0.8	+0.8	V max	
I_{IN} Input Current	1	10	μA max	
C_{IN} Input Capacitance ⁵	5	5	pF max	
CLK (pin 17)				
V_{INH} Logic HIGH Input Voltage	+3.0	+3.0	V min	During Conversion: $V_{IN}(CLK) \geq V_{INH}(CLK)$ During Conversion: $V_{IN}(CLK) \leq V_{INL}(CLK)$ (see circuit of Fig. 7b if external clock operation is required).
V_{INL} Logic LOW Input Voltage	+0.4	+0.4	V max	
I_{INH} Logic HIGH Input Current	+2	+3	mA max	
I_{INL} Logic LOW Input Current	1	10	μA max	
LOGIC OUTPUTS				
BUSY (pin 14), DB_7 to DB_0 (pins 6-13)				
V_{OH} Output HIGH Voltage	+4.0	+4.0	V min	$I_{SOURCE} = 40\mu A$ $I_{SINK} = 1.6mA$ $V_{OUT} = 0V$ or V_{DD}
V_{OL} Output LOW Voltage	+0.4	+0.8	V max	
I_{LKG} DB_7 to DB_0 Floating Stage Leakage	1	10	μA max	
Floating State Output Capacitance (DB_7 to DB_0) ⁶	7	7	pF max	
Output Code	Unipolar Binary, Offset Binary			See Figs. 8a, 9a, 10a and 8b, 9b, 10b.
POWER REQUIREMENTS				
V_{DD}	+5	+5	V	$\pm 5\%$ for specified performance.
I_{DD} (STANDBY)	5	5	mA max	$A_{IN} = 0V$, ADC in RESET condition.
I_{REF}	V_{REF} divided by $5k\Omega$		max	Conversion complete, prior to RESET.
PRICE (\$)	MODEL	1-24	25-99	100 up
	AD7574JN	12.50	10.00	7.50
	AD7574KN	15.00	12.00	9.00
	AD7574AD	14.50	12.00	9.50
	AD7574BD	17.00	14.00	11.00
	AD7574AD/883B ⁶	21.50	18.00	14.50
	AD7574BD/883B ⁶	24.00	20.00	16.00
	AD7574SD	29.00	24.00	19.00
	AD7574TD	34.00	28.00	22.00
	AD7574SD/883B ⁶	36.00	30.00	24.00
	AD7574TD/883B ⁶	41.00	34.00	27.00

Notes:

- Temperature ranges as follows: JN, KN ($0^\circ C$ to $+70^\circ C$)
AD, BD ($-25^\circ C$ to $+85^\circ C$)
SD, TD ($-55^\circ C$ to $+125^\circ C$)
- Typical offset temperature coefficient is $\pm 150\mu V/^\circ C$.
- R_{BOPS}/R_{AIN} mismatch causes transfer function rotation about positive Full Scale. The effect is an offset and a gain term when using the circuit of Figure 9a, page 7.
- Typical value, not guaranteed or subject to test.
- Guaranteed but not tested.
- Screening to MIL-STD-883 is available. /883B versions are 100% screened to method 5004 for a class B device. Final electrical tests are performed at $+25^\circ C$ and $+85^\circ C$ (AD, BD versions) or $+25^\circ C$ and $+125^\circ C$ (SD, TD versions).

Specifications subject to change without notice.

(V_{DD} = +5V, C_{CLK} = 100pF, R_{CLK} = 180kΩ unless otherwise noted)

SYMBOL	SPECIFICATION	LIMIT at T _A = +25°C	LIMIT at T _A = T _{min}	LIMIT at T _A = T _{max}	CONDITIONS
STATIC RAM INTERFACE MODE (See Figure 1 and Table 1)					
t _{CS}	\overline{CS} Pulse Width Requirement	100ns min	150ns min	150ns min	
t _{WCS}	\overline{RD} to \overline{CS} Setup Time	0 min	0 min	0 min	
t _{CBPD}	\overline{CS} to \overline{BUSY} Propagation Delay	90ns typ	70ns typ	150ns typ	\overline{BUSY} Load = 20pF
		120ns max	120ns max	180ns max	
		120ns typ	100ns typ	180ns typ	
150ns max	150ns max	200ns max			
t _{BSR}	\overline{BUSY} to \overline{RD} Setup Time	0 min	0 min	0 min	
t _{BSCS}	\overline{BUSY} to \overline{CS} Setup Time	0 min	0 min	0 min	
t _{RAD}	Data Access Time	120ns typ	100ns typ	180ns typ	DB ₀ - DB ₇ Load = 20pF
		150ns max	150ns max	220ns max	
		240ns typ	220ns typ	300ns typ	DB ₀ - DB ₇ Load = 100pF
		300ns max	300ns max	400ns max	
t _{RHD}	Data Hold Time	80ns typ	40ns typ	120ns typ	
		50ns min	30ns min	80ns min	
		120ns max	80ns max	180ns max	
t _{RHCS}	\overline{CS} to \overline{RD} Hold Time	250ns max	200ns max	500ns max	
t _{RESET}	Reset Time Requirement	3μs min	3μs min	3μs min	
t _{CONVERT}	Conversion Time using internal clock oscillator	See typical data of Figure 7a			f _{CLK} = 500kHz circuit of Figure 7b
t _{CONVERT}	Conversion Time using external clock	15μs	15μs	15μs	
ROM INTERFACE MODE (See Figure 2 and Table 2)					
t _{RAD}	Data Access Time	Same as RAM Mode			
t _{RHD}	Data Hold Time	Same as RAM Mode			
t _{WBPD}	\overline{RD} HIGH to \overline{BUSY} Propagation Delay	400ns typ	350ns typ	1μs typ	\overline{BUSY} Load = 20pF
		1.5μs max	1.0μs max	2.0μs max	
t _{BSR}	\overline{BUSY} to \overline{RD} LOW Setup Time	\overline{RD} can go LOW prior to \overline{BUSY} = HIGH, but must not return HIGH until \overline{BUSY} = HIGH. See Table 2			
t _{CONVERT}	Conversion Time using internal clock oscillator	See typical data of Figure 7a. Add 2μs to data shown in Figure 7a for ROM Mode			
SLOW - MEMORY INTERFACE MODE (See Figure 3 and Table 3)					
t _{CBPD}	\overline{CS} to \overline{BUSY} Propagation Delay	Same as RAM Mode			
t _{RESET}	Reset Time Requirement	Same as RAM Mode			
t _{RAD}	Data Access Time	Same as RAM Mode			
t _{RHD}	Data Hold Time	Same as RAM Mode			
t _{CONVERT}	Conversion Time	Same as RAM Mode			

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND	0V, +7.0V
V _{DD} to DGND	0V, +7.0V
AGND to DGND	-0.3V, V _{DD}
Digital Input Voltage to DGND (pins 15 and 16)	-0.3V, +15.0V
Digital Output Voltage to DGND (pins 6-14)	-0.3V, V _{DD}
CLK Input Voltage (pin 17) to DGND	-0.3V, V _{DD}
V _{REF} (pin 2)	±20V
V _{BOFS} (pin 3)	±20V
V _{AIN} (pin 4)	±20V

Operating Temperature Range

JN, KN	.0°C to +70°C
AD, BD	-25°C to +85°C
SD, TD	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10 secs.)	+300°C
Power Dissipation (Package)	
Plastic (suffix N)	
to +70°C	670mW
Derate above +70°C by	8.3mw/°C
Ceramic (suffix D)	
to +75°C	450mW
Derate above +75°C by	6mW/°C

TERMINOLOGY

RESOLUTION: Resolution is a measure of the nominal analog change required for a 1-bit change in the A/D converter's digital output. While normally expressed in a number of bits, the analog resolution of an n-bit unipolar A/D converter is (2⁻ⁿ)(V_{REF}). Thus the AD7574, an 8-bit A/D converter, can resolve analog voltages as small as (1/256)(V_{REF}) when operated in a unipolar mode. When operated in a bipolar mode, the resolution is (1/128)(V_{REF}). Resolution does not imply accuracy. Usable resolution is limited by the differential nonlinearity of the A/D converter.

RELATIVE ACCURACY: Relative accuracy is the deviation of the ADC's actual code transition points from a straight line drawn between the

device's measured zero and measured full scale transition points. Relative accuracy, therefore, is a measure of code position.

DIFFERENTIAL NONLINEARITY: Differential nonlinearity in an ADC is a measure of the size of an analog voltage range associated with any digital output code. As such differential nonlinearity specifies code width (usable resolution). An ADC with a specified differential nonlinearity of ±n bits will exhibit codes ranging in width from 1LSB - nLSB to 1LSB + nLSB. A specified differential nonlinearity of less than ±1LSB guarantees no-missing-codes operation.

STATIC RAM INTERFACE MODE

Table 1 and Figure 1 show the truth table and timing requirements for AD7574 operation as a static RAM.

A convert start is initiated by executing a memory WRITE instruction to the address location occupied by the AD7574 (once conversion has started, subsequent memory WRITES have no effect). A data READ is performed by executing a memory READ instruction to the AD7574 address location.

\overline{BUSY} must be HIGH before a data READ is attempted, i.e. the total delay between a convert start and a data READ must be at least as great as the AD7574 conversion time. The delay

can be generated by inserting NOP instructions (or other program instructions) between the WRITE (start convert) and READ (read data) operations. Once \overline{BUSY} is HIGH (conversion complete), a data READ is performed by executing a memory READ instruction to the address location occupied by the AD7574. The data readout is destructive, i.e. when RD returns HIGH, the converter is internally reset.

The RAM interface mode uses distinctly different commands to start conversion (memory WRITE) or read the data (memory READ). This is in contrast to the ROM mode where a memory READ causes a data READ and a conversion restart.

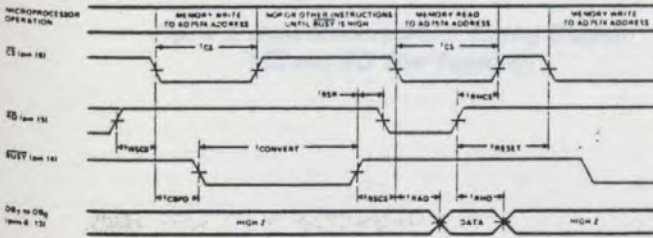


Figure 1. Static RAM Mode Timing Diagram

AD7574 INPUTS		AD7574 OUTPUTS		AD7574 OPERATION
CS	RD	BUSY	DB7-DB0	
L	H	H	HIGH Z → DATA	WRITE CYCLE (START CONVERT)
L	H	H	HIGH Z → DATA	READ CYCLE (DATA READ)
L	H	H	DATA → HIGH Z	RESET CONVERTER
H	X ¹	X	HIGH Z	NOT SELECTED
L	H	L	HIGH Z	NO EFFECT, CONVERTER BUSY
L	H	L	HIGH Z	NO EFFECT, CONVERTER BUSY
L	H	L	HIGH Z	NOT ALLOWED, CAUSES INCORRECT CONVERSION

Note 1: If RD goes LOW-to-HIGH, the ADC is internally reset, regardless of the state of CS or BUSY.

Table 1. Truth Table, Static RAM Mode

ROM INTERFACE MODE

Table 2 and Figure 2 show the truth table and timing requirements for interfacing the AD7574 like Read Only Memory.

\overline{CS} is held LOW and converter operation is controlled by the \overline{RD} input. The AD7574 \overline{RD} input is derived from the decoded device address. MEMRD should be used to enable the address decoder in 8080 systems. VMA should be used to enable the address decoder in 6800 systems. A data READ is initiated by executing a memory READ instruction to the AD7574 address location. The converter is automatically restarted when \overline{RD}

returns HIGH. As in the RAM mode, attempting a data READ before \overline{BUSY} is HIGH will result in incorrect data being read.

The advantage of the ROM mode is its simplicity. The major disadvantage is that the data obtained is relatively poorly defined in time inasmuch as executing a data READ automatically starts a new conversion. This problem can be overcome by executing two READs separated by NO-OPS (or other program instructions) and using only the data obtained from the second READ.

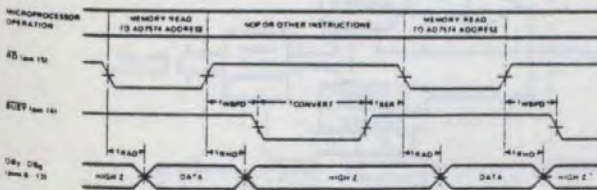


Figure 2. ROM Mode Timing Diagram (\overline{CS} Held LOW)

AD7574 INPUTS		AD7574 OUTPUTS		AD7574 OPERATION
CS	RD	BUSY	DB7-DB0	
L	H	H	HIGH Z → DATA	DATA READ
L	H	H	DATA → HIGH Z	RESET AND START NEW CONVERSION
L	H	L	HIGH Z	NO EFFECT, CONVERTER BUSY
L	H	L	HIGH Z	NOT ALLOWED, CAUSES INCORRECT CONVERSION

Table 2. Truth Table, ROM Mode

SLOW-MEMORY INTERFACE MODE

Table 3 and Figure 3 show the truth table and timing requirements for interfacing the AD7574 as a slow-memory. This mode is intended for use with processors which can be forced into a WAIT state for at least 12μs (such as the 8080, 8085 and SC/MP). The major advantage of this mode is that it allows the μP to start conversion, WAIT, and then READ data with a single READ instruction.

In the slow-memory mode, \overline{CS} and \overline{RD} are tied together. It is suggested that the system ALE signal (8085 system) or SYNC signal (8080 system) be used to latch the address. The decoded

device address is subsequently used to drive the AD7574 \overline{CS} and \overline{RD} inputs. \overline{BUSY} is connected to the microprocessor READY input.

When the AD7574 is NOT addressed, the \overline{CS} and \overline{RD} inputs are HIGH. Conversion is initiated by executing a memory READ to the AD7574 address. \overline{BUSY} subsequently goes LOW (forcing the μP READY input LOW) placing the μP in a WAIT state. When conversion is complete (\overline{BUSY} is HIGH) the μP completes the memory READ.

Do not attempt to perform a memory WRITE in this mode, since three-state bus conflicts will arise.

(continued on page 5)

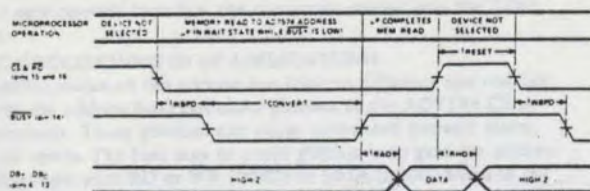


Figure 3. Slow Memory Mode Timing Diagram (CS and RD Tied Together)

AD7574 INPUTS	AD7574 OUTPUTS		AD7574 OPERATION
	CS & RD	BUSY	
H	H	HIGH Z	NOT SELECTED
L	H → L	HIGH Z	
L	L	HIGH Z	START CONVERSION IN PROGRESS.
L	L	HIGH Z → DATA	μP IN WAIT STATE
L	L	DATA → HIGH Z	CONVERSION COMPLETE.
H	H	HIGH Z	μP READS DATA
H	H	HIGH Z	CONVERTER RESET AND DESELECTED
H	H	HIGH Z	NOT SELECTED

Table 3. Truth Table, Slow Memory Mode

GENERAL CIRCUIT INFORMATION

BASIC CIRCUIT DESCRIPTION

The AD7574 uses the successive approximations technique to provide an 8-bit parallel digital output. The control logic was designed to provide easy interface to most microprocessors. Most applications require only passive clock components (R & C), a -10V reference, and +5V power.

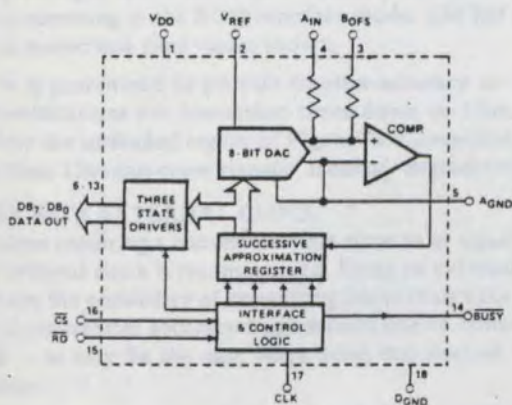


Figure 4. AD7574 Functional Diagram

Figure 4 shows the AD7574 functional diagram. Upon receipt of a start command either via the CS or RD pins (see pages 4 and 5 for Control Logic and Timing Details), BUSY goes low indicating conversion is in progress. Successive bits, starting with the most significant bit (MSB), are applied to the input of a DAC. The comparator determines whether the addition of each successive bit causes the DAC output to be greater than or less than the analog input, A_{IN}. If the sum of the DAC bits is less than A_{IN}, the trial bit is left ON, and the next smaller bit is tried. If the sum is greater than A_{IN}, the trial bit is turned OFF and the next smaller bit is tried.

Each successively smaller bit is tried and compared to A_{IN} in this manner until the least significant bit (LSB) decision has been made. At this time BUSY goes HIGH (conversion is complete) indicating the successive approximation register contains a valid representation of the analog input. The RD control (see page 4 for details) can then be exercised to activate the three-state buffers, placing data on the DB₀-DB₇ data output pins. RD returning HIGH causes the clock oscillator to run for 1 cycle, providing an internal ADC reset (i.e. the SAR is loaded with code 10000000).

DAC CIRCUIT DETAILS

The current weighting D/A converter is a precision multiplying DAC. Figure 5 shows the functional diagram of the DAC as used in the AD7574. It consists of a precision Silicon Chromium thin film R/2R ladder network and 8 N-channel MOS-FET switches operated in single-pole-double-throw.

The currents in each 2R shunt arm are binary weighted, i.e. the current in the MSB arm is V_{REF} divided by 2R, in the second arm is V_{REF} divided by 4R, etc. Depending on the DAC logic input (A/D output) from the successive approximation register, the current in the individual shunt arms is steered either to A_{GND} or to the comparator summing point.

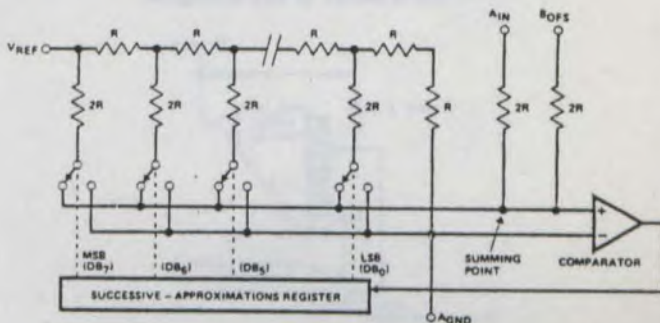


Figure 5. D/A Converter As Used In AD7574

APPLICATION HINTS

1. **TIMING & CONTROL**
Failure to observe the timing restrictions of figures 1, 2 or 3 may cause the AD7574 to change interface modes. For example, in the RAM mode, holding \overline{CS} LOW too long after \overline{RD} goes HIGH will cause a new convert start (i.e. the converter moved into the ROM mode).
2. **LOGIC DEGLITCHING IN μP APPLICATIONS**
Unspecified states on the address bus (due to different rise and fall times on the address bus) can cause glitches at the AD7574 \overline{CS} or \overline{RD} terminals. These glitches can cause unwanted convert starts, reads, or resets. The best way to avoid glitches is to gate the address decoding logic with \overline{RD} or \overline{WR} (8080) or \overline{VMA} (6800) when in the ROM or RAM mode. When in the slow-memory mode, the ALE (8085) or SYNC (8080) signal should be used to latch the address.
3. **INPUT LOADING AT V_{REF} , A_{IN} AND B_{OFS}**
To prevent loading errors due to the finite input resistance at the V_{REF} , A_{IN} or B_{OFS} pins, low impedance driving sources must be used (i.e. op amp buffers or low output-Z reference).
4. **RATIOMETRIC OPERATION**
Ratiometric performance is inherent to A/D converters such as the AD7574 which use a multiplying DAC weighting network. However, the user should recognize that comparator limitations such as offset

voltage, input noise and gain will cause degradation of the transfer characteristics when operating with reference voltages less than -10V in magnitude.

5. **OFFSET CORRECTION**
Offset error in the transfer characteristic can be trimmed by offsetting the buffer amplifier which drives the AD7574 A_{IN} pin (pin 4). This can be done either by summing a cancellation current into the amplifier's summing junction, or by tapping a voltage divider which sits between V_{DD} and V_{REF} and applying the tap voltage to the amplifier's positive input (an example of a resistive tap offset adjust is shown in Figure 10a where R_8 , R_9 and R_{10} can be used to offset the ADC).
6. **ANALOG AND DIGITAL GROUND**
It is recommended that $AGND$ and $DGND$ be connected locally to prevent the possibility of injecting noise into the AD7574. In systems where the $AGND$ - $DGND$ intertie is not local, connect back-to-back diodes (IN914 or equivalent) between the AD7574 $AGND$ and $DGND$ pins.
7. **INITIALIZATION AFTER POWER - UP**
Execute a memory READ to the AD7574 address location, and subsequently ignore the data. The AD7574 is internally reset when reading out data, i.e. the data readout is destructive.

CLOCK OSCILLATOR

The AD7574 has an internal asynchronous clock oscillator which starts upon receipt of a convert start command, and ceases oscillating when conversion is complete.

The clock oscillator requires an external R and C as shown in figure 6. Nominal conversion time versus R_{CLK} and C_{CLK} is shown in Figure 7a. The curves shown in Figure 7a are applicable when operating in the RAM or slow-memory interface modes. When operating in the ROM interface mode, add $2\mu s$ to the typical conversion time values shown.

The AD7574 is guaranteed to provide transfer accuracy to published specifications for conversion times down to $15\mu s$, as indicated by the unshaded region of Figure 7a. Conversion times faster than $15\mu s$ can cause transfer accuracy degradation.

OPERATION WITH EXTERNAL CLOCK

For applications requiring a conversion time close to or equal to $15\mu s$, an external clock is recommended. Using an external clock precludes the possibility of converting faster than $15\mu s$ (which can cause transfer accuracy degradation) due to temperature drift - as may be the case when using the internal clock oscillator.

Figure 7b shows how the external clock must be connected. The $BUSY$ output of the AD7574 is connected to the three-state enable input of a 74125 three-state buffer. R_1 is used as a pullup, and can be between $6k\Omega$ and $100k\Omega$. A 500kHz clock will provide a conversion time of $15\mu s$.

The external clock should be used only in the static-RAM or slow-memory interface mode, and *not* in the ROM mode.

Timing constraints for external clock operation are as follows:

STATIC RAM MODE

1. When initiating a conversion, \overline{CS} should go LOW on a positive clock edge to provide optimum settling time for the MSB.
2. A data READ can be initiated any time after $BUSY = 1$.

SLOW-MEMORY MODE

1. When initiating a conversion, \overline{CS} and \overline{RD} should go LOW on a positive clock edge to provide optimum settling time for the MSB.

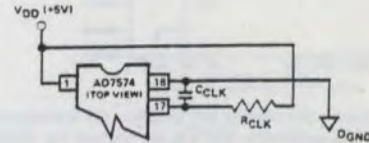


Figure 6. Connecting R_{CLK} and C_{CLK} To CLK Oscillator

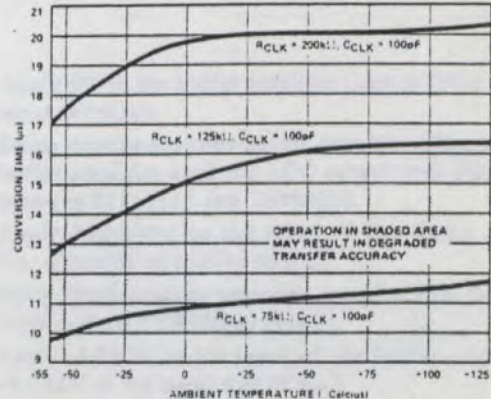


Figure 7a. Typical Conversion Time vs. Temperature For Different R_{CLK} and C_{CLK} (Applicable to RAM and Slow-Memory Modes. For ROM Mode add $2\mu s$ to values shown)

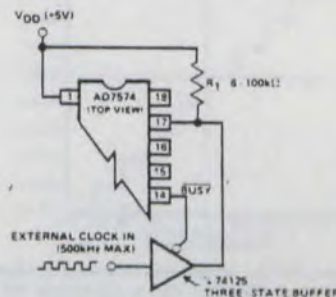


Figure 7b. External Clock Operation (Static RAM and Slow-Memory Mode)

(continued on page 7)

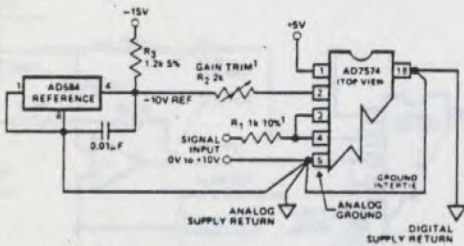
UNIPOLAR BINARY OPERATION

Figures 8a and 8b show the analog circuit connections and typical transfer characteristic for unipolar operation. An AD584 is used as the -10V reference.

Calibration is as follows:

OFFSET

Offset must be trimmed out in the signal conditioning circuitry used to drive the signal input terminals shown in Figure 8a. An example of an offset trim is shown in Figure 10a, where R_8 , R_9 and R_{10} comprise a simple voltage tap which is applied to the amplifier's positive input.



Note 1: R_1 and R_2 can be omitted if gain trim is not required

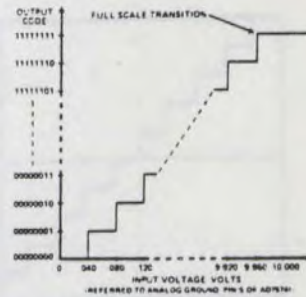
Figure 8a. AD7574 Unipolar (0V to +10V) Operation (Output Code is Straight Binary)

1. Apply -39.1mV (1 LSB) to the input of the buffer amplifier used to drive R_1 (i.e. +39.1mV at R_1).
2. While performing continuous conversions, adjust the offset potentiometer (described above) until $DB_7 - DB_1$ are LOW and the LSB (DB_0) flickers.

GAIN (FULL SCALE)

Offset adjustment must be performed before gain adjustment.

1. Apply -9.961V to the input of the buffer amplifier used to drive R_1 (i.e. +9.961V at R_1).
2. While performing continuous conversions, adjust trim pot R_2 until $DB_7 - DB_1$ are HIGH and the LSB (DB_0) flickers.



Note: Approximate bit weights are shown for illustration. Nominal bit weight for a -10V reference is $\approx 39.1mV$

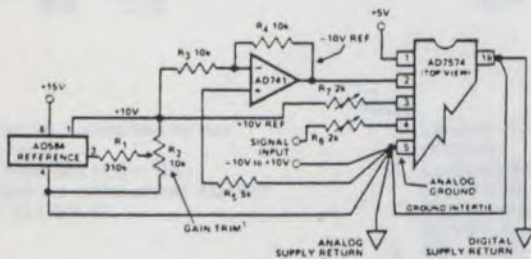
Figure 8b. Nominal Transfer Characteristic For Unipolar Circuit of Figure 8a

BIPOLAR (OFFSET BINARY) OPERATION

Figures 9a and 9b illustrate the analog circuitry and transfer characteristic for bipolar operation. Output coding is offset binary. As in unipolar operation, offset correction can be performed at the buffer amplifier used to drive the signal input terminals of Figure 9a (Resistors R_8 , R_9 and R_{10} in Figure 10a show how offset trim can be done at the buffer amplifier).

Calibration is as follows:

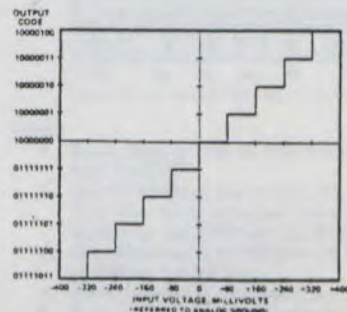
1. Adjust R_6 and R_7 for minimum resistance across the potentiometers.
2. Apply +10.000V to the buffer amplifier used to drive the signal input (i.e. -10.000V at R_6).
3. While performing continuous conversions, trim R_6 or R_7 (whichever required) until $DB_7 - DB_1$ are LOW and the LSB (DB_0) flickers.



Note 1: R_1 and R_2 can be omitted if gain trim is not required

Figure 9a. AD7574 Bipolar (-10V to +10V) Operation (Output Code is Offset Binary)

4. Apply 0V to the buffer amplifier used to drive the signal input terminals.
5. Doing continuous conversions, trim the offset circuit of the buffer amplifier until the ADC output code flickers between 01111111 and 10000000.
6. Apply +10.000V to the input of the buffer amplifier (i.e. -10.000V as applied to R_6).
7. Doing continuous conversions, trim R_2 until $DB_7 - DB_1$ are LOW and the LSB (DB_0) flickers.
8. Apply -9.922V to the input of the buffer amplifier (i.e. +9.922V at the input side of R_6).
9. If the ADC output code is not 11111110 ± 1 bit, repeat the calibration procedure.



Note: Approximate bit weights are shown for illustration. Nominal bit weight for $\pm 10V$ full scale is $\approx 78.1mV$

Figure 9b. Nominal Transfer Characteristic Around Major Carry for Bipolar Circuit of Figure 9a

(continued on page 8)

OPERATING THE AD7574
(continued from page 7)

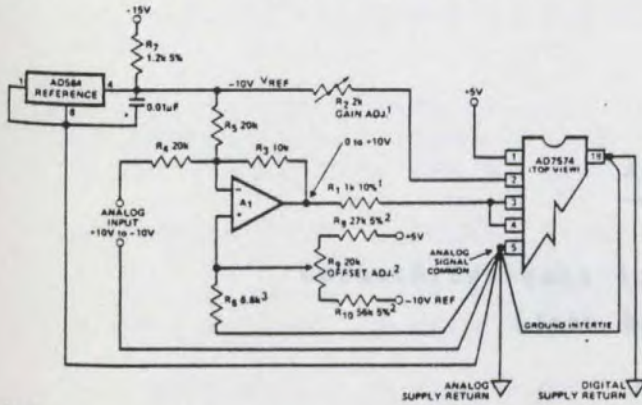
BIPOLAR (COMPLEMENTARY OFFSET BINARY) OPERATION

Figure 10a shows the analog connections for complementary offset binary operation. The typical transfer characteristic is shown in Figure 10b. In this bipolar mode, the ADC is fooled into believing it is operated in a unipolar mode - i.e. the +10V to -10V analog input is conditioned into a 0 to +10V signal range. R_2 is the gain adjust, while R_9 is the offset adjust.

Calibration is as follows (adjust offset before gain):

OFFSET

1. Apply 0V to the analog input shown in Figure 10a.



Notes:

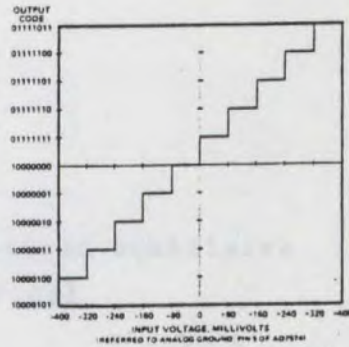
1. R_1 and R_2 can be omitted if gain trim is not required
2. R_8 , R_9 and R_{10} can be omitted if offset trim is not required
3. $R_6 \parallel R_8 \parallel R_{10} = 5k\Omega$. If R_8 , R_9 and R_{10} not used, make $R_6 = 5k\Omega$

Figure 10a. AD7574 Bipolar Operation (-10V to +10V)
(Output Code is Complementary Offset Binary)

2. While performing continuous conversions, adjust R_9 until the converter output flickers between codes 01111111 and 10000000.

GAIN (FULL SCALE)

1. Apply -9.922V across the analog input terminals shown in Figure 10a.
2. While performing continuous conversions, adjust R_2 until $DB_7 - DB_1$ are HIGH and the LSB (DB_0) flickers between HIGH and LOW.

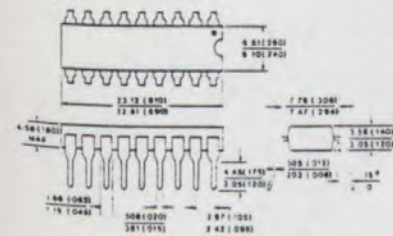


Note: Approximate bit weights are shown for illustration. Nominal bit weight for $\pm 10V$ full scale is $\approx 78.1mV$

Figure 10b. Nominal Transfer Characteristic Around Major Carry for Bipolar Circuit of Figure 10a

MECHANICAL INFORMATION

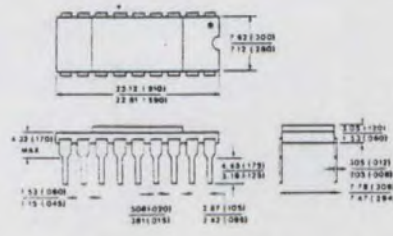
18 PIN PLASTIC DIP



Notes:

1. Lead no. 1 identified by dot or notch.
2. Dimensions in mm (in.).
3. Leads are solder plated KOVAR or ALLOY 42.

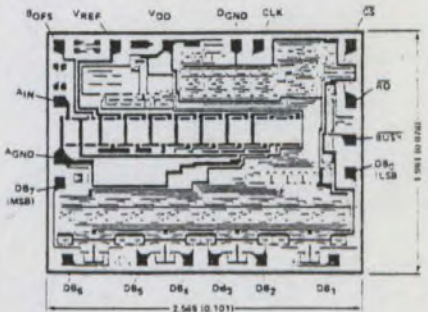
18 PIN CERAMIC DIP



Notes:

1. Lead no. 1 identified by dot or notch.
2. Leads are gold plate (50µin. min.) over Nickel (100µin. nominal). Base material is KOVAR or ALLOY 42.
3. Cavity lid is electrically isolated.

BONDING DIAGRAM



Notes:

1. Bond D_{GND} first to minimize ESD hazard.
2. Die dimensions are in mm (in.), and may vary from nominal shown on layout by $\pm 0.076mm$ ($\pm 0.003in.$).
3. Die thickness is $0.508mm \pm 0.025mm$ ($0.020in. \pm 0.001in.$).
4. Gold backing is not available.
5. Passivation covers all topside surface area except bonding pads, test pads and scribe lines.
6. Surface metallization is Al, $10k\text{\AA}$ min.
7. Bonding pads are $0.102mm \times 0.102mm$ ($0.004in. \times 0.004in.$). Passivation window is $0.089mm \times 0.089mm$ min. ($0.0035in. \times 0.0035in.$ min.).

JOHN BELL ENGINEERING, INC.

6502 MICROCOMPUTER PN 80-153

JOHN BELL ENGINEERING'S 6502 SINGLE BOARD MICROCOMPUTER IS DESIGNED FOR USE AS A CONTROL COMPUTER AND INCORPORATES THE 6512 MEMORY INTERFACE ADAPTER. THE 6512 HAS 4 INPUT/OUTPUT PORTS, EACH FOR PULSED & PROGRAMMABLE INPUT/OUTPUT LINES AND 2 HANDSHAKING LINES. THE 6512 ALSO HAS TWO 16 BIT TIMERS AND SERIAL SHIFT REGISTERS. THE 4 INTERNAL REGISTERS IN THE 6512 START AT ADDRESS 1600 AND END AT 160F.

A PAIR OF 6116S MAKE UP 3200 BYTES OF RANDOM ACCESS MEMORY STARTING AT ADDRESS 0 AND GOING TO 1FF. THE OTHER 3200 BYTES OF MEMORY ARE IN PROM MEMORY STARTING AT ADDRESS 2000 AND GOING TO 3FFF.

Appendice G

THE OTHER CHIP, A 74LS12, TAKES CARE OF ADDRESSING. THE 6502 IS THE CENTER OF THE SYSTEM. THE 6502 IS A 64 BIT MICROPROCESSOR WITH 40 PINS, 48 AND 64 BIT ADDRESS BUS, AND 8 BIT DATA BUS. TO REPLACE EX WITH (John Bell Engineering)

Caractéristiques du microprocesseur auxiliaire

(John Bell Engineering)

YOU ALSO NEED A 5 VOLT POWER SUPPLY AT 200 MA (SEE DRAWING PN 80-153 FOR JOHN BELL ENGINEERING)

FOR POWER SUPPLY CONNECTIONS, 1/4 WATT ARE USED. CHECK CONNECTIONS ON THE BOARD USING A 50 OHM TDR AND BNC CONNECTOR.

ON THE FOLLOWING PAGES ARE A SEVERAL 2 MINUTE TAPES WITH THE CENTER PUNCH-OUT, COMPLETE DOCUMENTATION FOR THE 6502 AND A COMPLETE PROGRAM. YOU CAN ALSO PURCHASE A 6502 MICROCOMPUTER FROM JOHN BELL ENGINEERING, INC.

THE TEST PROGRAM PUTS OUT A SERIES OF TONES FROM EACH OF THE 4 PORTS OF THE 6512 WHICH CAN BE HEARD BY CONNECTING THE PORTS TO A SERIES WITH A SMALL SPEAKER.

CONNECT DIRECTLY TO THE 6512 AT PIN 167. WHEN PROGRAMMING THIS COMPUTER, THE 6502 MUST BE USED. IT IS SO IMPORTANT TO REMEMBER TO PUT THE 6502 IN THE BOARD. THE BOARD COMES IN EPROM AND PROM SO THAT WHEN YOU WANT TO START THE PROGRAM AT THE BEGINNING.

WHEN ATTEMPTING TO BE WITH THE BOARD, THE BOARD SHOULD BE REMOVED FROM THE BOARD. YOU SHOULD PURCHASE THE BOARD FROM JOHN BELL ENGINEERING, INC. THAT PROGRAM SHOULD GIVE YOU THE BOARD FROM JOHN BELL ENGINEERING, INC.

THE 6502 MICROCOMPUTER INTERFACES TO THE 6502 AND 6512 MICROPROCESSOR AND PARALLEL INPUT/OUTPUT LINES. THE BOARD COMES WITH A COMPLETE PROGRAM. YOU CAN PROGRAM FOR 6512 USING THE BOARD FROM JOHN BELL ENGINEERING, INC. COMPUTER OF THE BOARD FROM JOHN BELL ENGINEERING, INC.

PLEASE NOTE THE MODIFICATION TO THE BOARD FROM JOHN BELL ENGINEERING, INC. TO GIVE YOU A COMPLETE BOARD FROM JOHN BELL ENGINEERING, INC.



6502 MICROCOMPUTER PN 80-153

JOHN BELL ENGINEERING'S 6502 SINGLE BOARD MICROCOMPUTER IS DESIGNED FOR USE AS A CONTROL COMPUTER AND INCORPORATES THE 6522 VERSATILE INTERFACE ADAPTER. THE 6522 HAS 2 INPUT/OUTPUT PORTS, EACH PORT HAVING 8 PROGRAMMABLE INPUT/OUTPUT LINES AND 2 HANDSHAKING LINES. THE 6522 ALSO HAS TWO 16 BIT TIMERS AND SERIAL SHIFT REGISTER. THE 16 INTERNAL REGISTERS IN THE 6522 START AT ADDRESS 1C00 AND END AT 1C0F.

A PAIR OF 2114S MAKE UP 1024 BYTES OF RANDOM ACCESS MEMORY STARTING AT ADDRESS 0 AND GOING TO 3FF. THE 2716 MAKES UP 2048 BYTES OF EPROM MEMORY STARTING AT ADDRESS F800 AND ENDING AT FFFF.

ONE OTHER CHIP, A 74LS10, TAKES CARE OF ADDRESSING. THE CLOCK FREQUENCY OF 1 MHZ IS CONTROLLED BY ONE CAPACITOR, C2, AND 2 RESISTORS, R6 AND R7. IF YOU NEED A CRYSTAL CONTROLLED CLOCK, YOU CAN SIMPLY REPLACE C2 WITH A CRYSTAL.

YOU ALSO NEED A 5 VOLT POWER SUPPLY AT 375 MA (ALSO AVAILABLE FROM JOHN BELL ENGINEERING).

THE POWER SUPPLY CONNECTIONS, I/O LINES AND RESET LINES ARE BROUGHT OFF THE BOARD USING A 50 PIN CARD EDGE CONNECTOR.

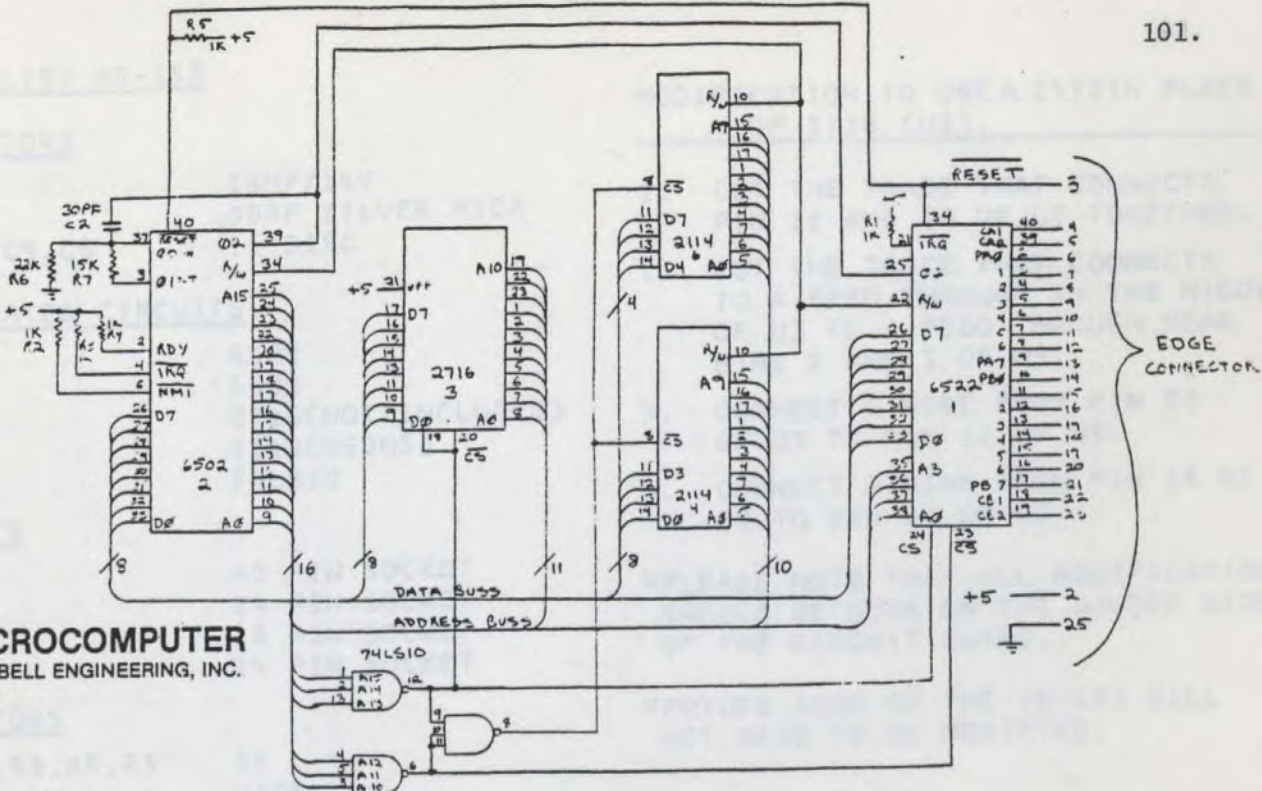
ON THE FOLLOWING PAGES ARE A SCHEMATIC DIAGRAM, MEMORY MAP, EDGE CONNECTOR PIN-OUT, COMPLETE DOCUMENTATION ON THE 6522 AND A SIMPLE TEST PROGRAM. YOU CAN ALSO PURCHASE A 6502 INSTRUCTION MANUAL FROM JOHN BELL ENGINEERING, INC.

THE TEST PROGRAM PUTS OUT A SERIES OF TONES THROUGH ONE OF THE OUTPUT PORTS OF THE 6522 WHICH CAN BE HEARD BY CONNECTING A 1K RESISTOR IN SERIES WITH A SMALL SPEAKER. DO NOT ATTEMPT TO CONNECT A SPEAKER DIRECTLY TO THE 6522 AS THIS WILL PERMANENTLY DAMAGE THE 6522. WHEN PROGRAMMING THIS COMPUTER IT IS IMPORTANT TO REMEMBER THAT THE 6502 USES MEMORY ADDRESS 100 TO 1FF FOR THE STACK, IT IS ALSO IMPORTANT TO REMEMBER TO PUT THE STARTING ADDRESS OF YOUR PROGRAM IN FFFC AND FFFD SO THAT WHEN THE COMPUTER IS RESET IT WILL START THE PROGRAM AT THE BEGINNING.

ANYONE ATTEMPTING TO DO ASSEMBLY LANGUAGE OR MACHINE LANGUAGE PROGRAMMING SHOULD PURCHASE THE 6502 PROGRAMMING MANUAL FROM US. THE TEST PROGRAM SHOULD GIVE BEGINNING PROGRAMMERS AN IDEA OF HOW TO START PROGRAMMING.

JBE 6502 MICROCOMPUTER INTERFACES WITH JBE A-D AND D-A CONVERTER AND PARALLEL INPUT SPEECH SYNTHESIZER AS WELL AS THE SOLID STATE SWITCH. YOU CAN PROGRAM YOUR 2716 USING THE JBE EPROM PROGRAMMER AND APPLE® II COMPUTER OR THE JBE I COMPUTER.

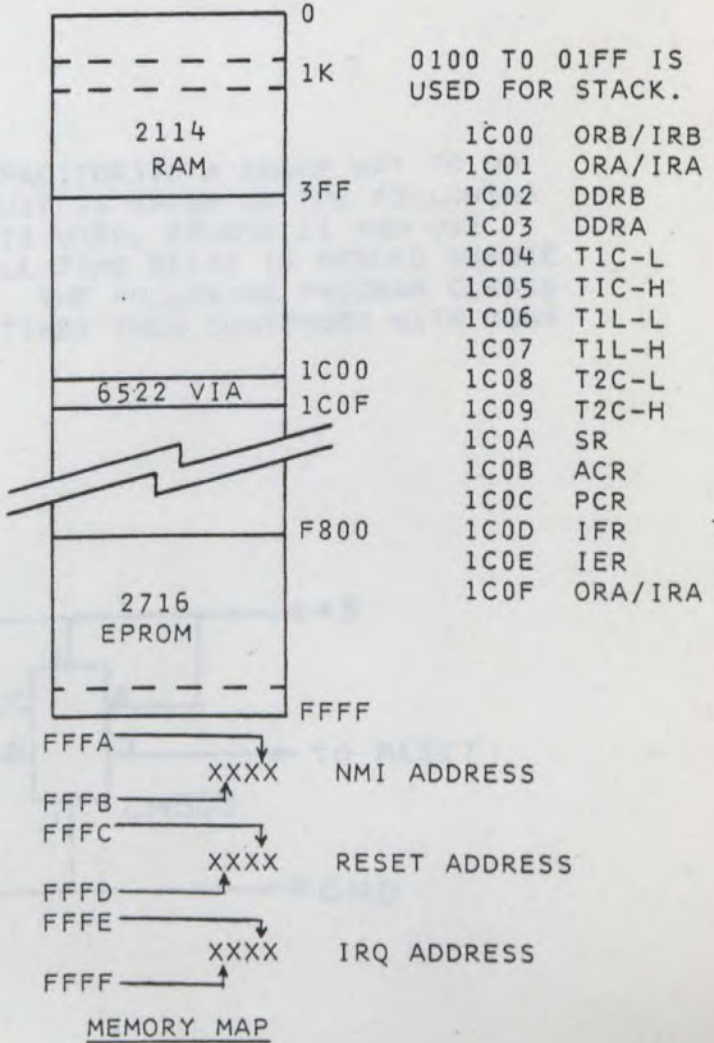
PLEASE NOTE THE MODIFICATION FOR USING A 2532 INSTEAD OF THE 2716 TO GIVE 4K OF EPROM MEMORY. THE MODIFICATION IS ON PAGE 3 OF THE DOC.



6502 MICROCOMPUTER
 © 1980 JOHN BELL ENGINEERING, INC.
 PART # 80-153

EDGE CONNECTOR

PIN #	SIGNALS	PIN #	SIGNAL
2	+5		
25	GND		
3	RESET		
4	CA1	22	CB1
5	CA2	23	CB2
6	PA0	14	PB0
7	PA1	15	PB1
8	PA2	16	PB2
9	PA3	17	PB3
10	PA4	18	PB4
11	PA5	19	PB5
12	PA6	20	PB6
13	PA7	21	PB7



PARTS LIST 80-153CAPACITORS

C1	10MF/16V
C2	30PF SILVER MICA
C3, C4, C5, C6	.1 DISC

INTEGRATED CIRCUITS

U1	6522
U2	6502
U3	2716(NOT INCLUDED)
U4, U6	2114(450NS)
U5	74LS10

SOCKETS

2	40 PIN SOCKET
1	24 PIN SOCKET
2	18 PIN SOCKET
1	14 PIN SOCKET

RESISTORS

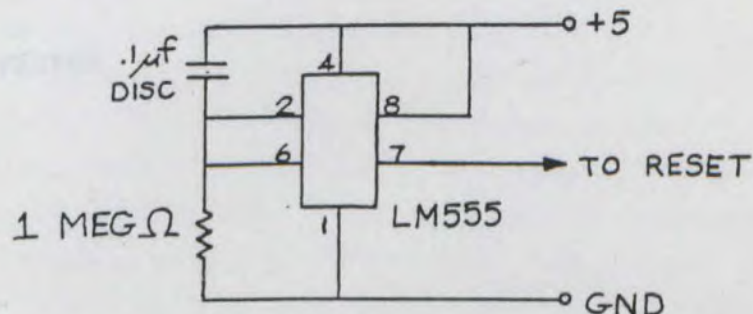
R1, R2, R3, R4, R5	1K
R6	220K
R7	15K

(ALL RESISTORS ARE 5% 1/4WATT)

1	50 PIN EDGE CONNECTOR
1	80-153 CIRCUIT BOARD

* PLEASE NOTE THAT C1 (10MF/16V CAPACITOR) IS A CHEAP WAY TO DO AUTO RESET. A BETTER RESET CIRCUIT IS SHOWN IN THE FOLLOWING DOCUMENTATION. IF THIS CIRCUIT IS USED, REMOVE C1 AND USE THE FOLLOWING TIME DELAY. A SMALL TIME DELAY IS NEEDED BEFORE USING THE REGISTERS OF THE 6522. THE FOLLOWING PROGRAM CLEARS THE DECIMAL MODE THEN LOOPS 256 TIMES THEN CONTINUES WITH YOUR PROGRAM.

CLD
LDX #0
INX
TXA
BNE

MODIFICATION TO USE A 2532 IN PLACE OF 2716 (U3).

1. CUT THE TRACE THAT CONNECTS PIN 18 AND 20 OF U3 TOGETHER.
2. CUT THE TRACE THAT CONNECTS TO A FEED THROUGH IN THE MIDDLE OF U3 TO A FEED THROUGH NEAR PINS 2 AND 3 OF U5.
3. CONNECT A WIRE FROM PIN 20 OF U3 TO PIN 12 OF U5.
4. CONNECT A WIRE FROM PIN 18 OF U3 TO PIN 20 OF U2.

*PLEASE NOTE THAT ALL MODIFICATIONS SHOULD BE DONE ON THE SOLDER SIDE OF THE CIRCUIT BOARD.

*FUTURE RUNS OF THE 80-153 WILL NOT HAVE TO BE MODIFIED.

TONE SEQUENCER PROGRAM TONE GENERATOR

F800-	D8		CLD		F900-	A6	00	LDX	\$00		
F801-	A9	FF	LDA	#\$FF	F902-	A4	01	LDY	\$01		
F803-	8D	03	1C	STA	\$1C03	F904-	A9	00	LDA	#\$00	
F806-	85	00		STA	\$00	F906-	8D	01	1C	STA	\$1C01
F808-	A9	05		LDA	#\$05	F909-	C8		INY		
F80A-	85	01		STA	\$01	F90A-	D0	FD	BNE	\$F909	
F80C-	85	02		STA	\$02	F90C-	A4	01	LDY	\$01	
F80E-	20	00	F9	JSR	\$F900	F90E-	A9	FF	LDA	#\$FF	
F811-	E6	01		INC	\$01	F910-	8D	01	1C	STA	\$1C01
F813-	A5	01		LDA	\$01	F913-	C8		INY		
F815-	D0	F7		BNE	\$F80E	F914-	D0	FD	BNE	\$F913	
F817-	C6	02		DEC	\$02	F916-	E8		INX		
F819-	A5	02		LDA	\$02	F917-	D0	E9	BNE	\$F902	
F81B-	D0	F1		BNE	\$F80E	F919-	60		RTS		
F81D-	EA			NOP							
F81E-	A9	7F		LDA	#\$7F						
F820-	85	00		STA	\$00						
F822-	85	01		STA	\$01						
F824-	20	00	F9	JSR	\$F900						
F827-	A9	8F		LDA	#\$8F						
F829-	85	01		STA	\$01						
F82B-	20	00	F9	JSR	\$F900						
F82E-	A9	9F		LDA	#\$9F						
F830-	85	01		STA	\$01						
F832-	20	00	F9	JSR	\$F900						
F835-	E6	02		INC	\$02						
F837-	A5	02		LDA	\$02						
F839-	C9	04		CMP	#\$04						
F83B-	D0	E1		BNE	\$F81E						
F83D-	4C	00	F8	JMP	\$F800						
F840-	D8			CLD							
F841-	A9	00		LDA	#\$00						
F843-	8D	40	02	STA	\$0240						
F846-	EE	40	02	INC	\$0240						
F849-	AD	40	02	LDA	\$0240						
F84C-	D0	F8		BNE	\$F846						
F84E-	4C	00	F8	JMP	\$F800						
F851-	FF			???							
F852-	FF			???							
F853-	FF			???							
FFFC-	40	F8		RESET VECTOR							

Appendice H

Commentaires sur certaines caractéristiques du récepteur NM-37/57 de Singer

Le montage de mesures automatiques de l'enveloppe du bruit radio dans les gammes de fréquences considérées (au-delà de 500 MHz), requiert un récepteur. Nous avons donc procédé à quelques essais sur un de ces appareils mis à notre disposition par le CRC, soit le NM-37/57 de Singer. Nous présentons dans cette section quelques-uns de ces résultats, lesquels viendront conditionner l'usage du système que nous avons conçu.

a) Plage dynamique:

Nous avons mesuré la relation entrée-sortie du récepteur pour deux sorties: la sortie IF (figure A-H-1) et la sortie de l'amplificateur logarithmique incorporé (figure A-H-2). Pour les deux cas, on observe une plage dynamique de 60 dB, donc nettement inférieure à celle proposée par Matheson.

b) Niveau de bruit:

A la sortie de l'amplificateur logarithmique, le niveau de bruit est relativement élevé, et celui-ci croît avec la largeur de bande utilisée (10 kHz, 100 kHz, 1 MHz) (figure A-H-2). Ainsi on a pu observer des niveaux de l'ordre de 10 millivolts pointe à pointe pour une largeur de bande de 10 kHz.

c) Réponse du récepteur à un signal RF modulé par une onde carrée (100% de

modulation. Nous présentons une illustration de la réponse du récepteur (sortie logarithmique) à un tel signal sur les figures A-H-3, 4 et 5 pour les trois largeurs de bande de l'appareil, 10 kHz, 100 kHz et 1 MHz. Il faut noter ici les temps de descente qui sont respectivement de 1,5 milliseconde, 0,08 milliseconde et 0,04 milliseconde. On a pu observer en outre que ces temps de réponse sont indépendants du pourcentage de modulation. Ce qui nous amène à conclure qu'il faudra faire preuve d'une très grande prudence pour déterminer la fréquence maximale d'échantillonnage, celle-ci ne pouvant rigoureusement dépasser 1 kHz pour la largeur de bande de 10 kHz, et 10 à 12 kHz pour une largeur de bande de 100 kHz pour l'appareil considéré à tout le moins.

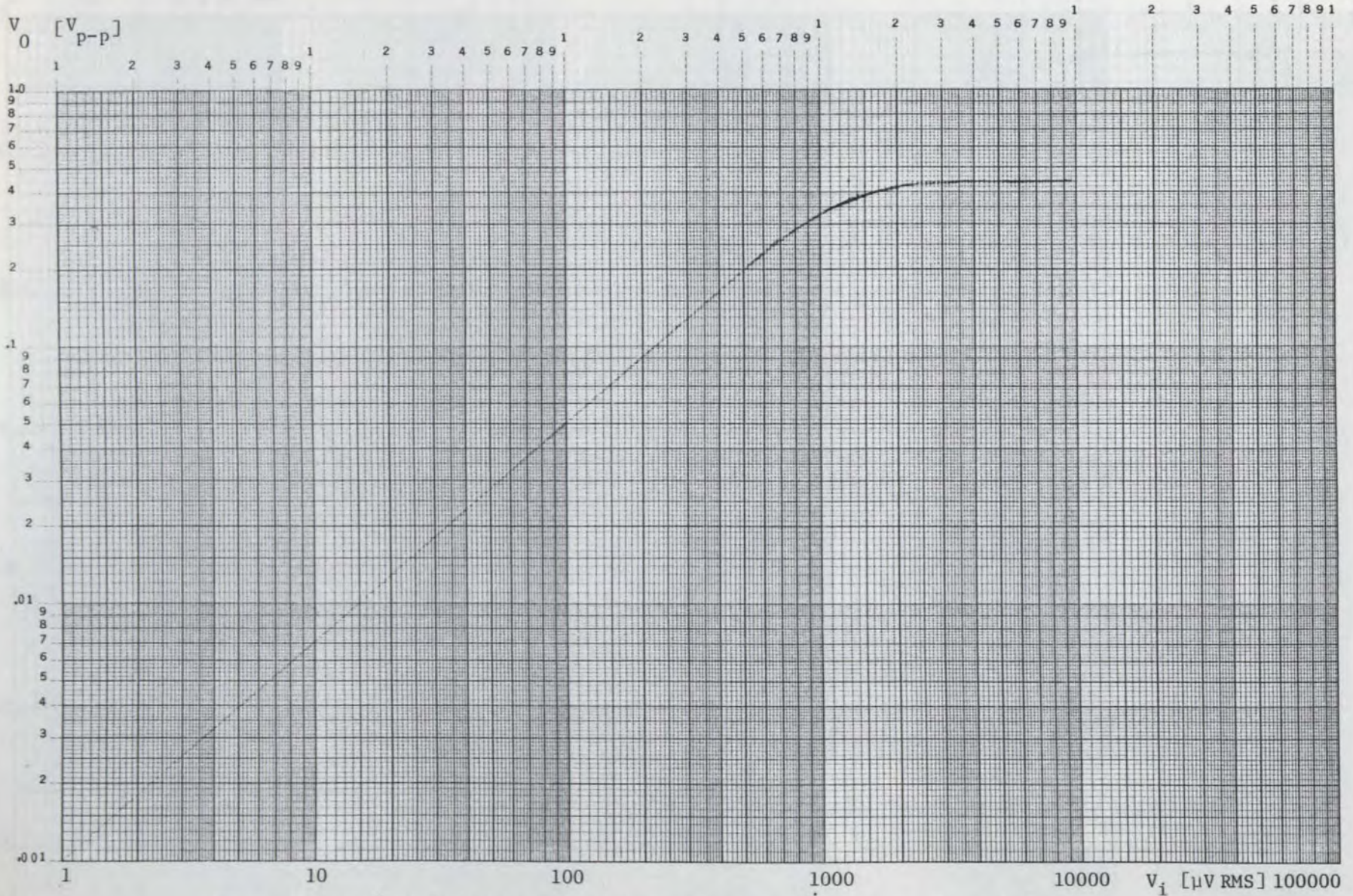


Figure A-H-1: Caractéristiques entrée-sortie IF du récepteur Singer NM-37/57.

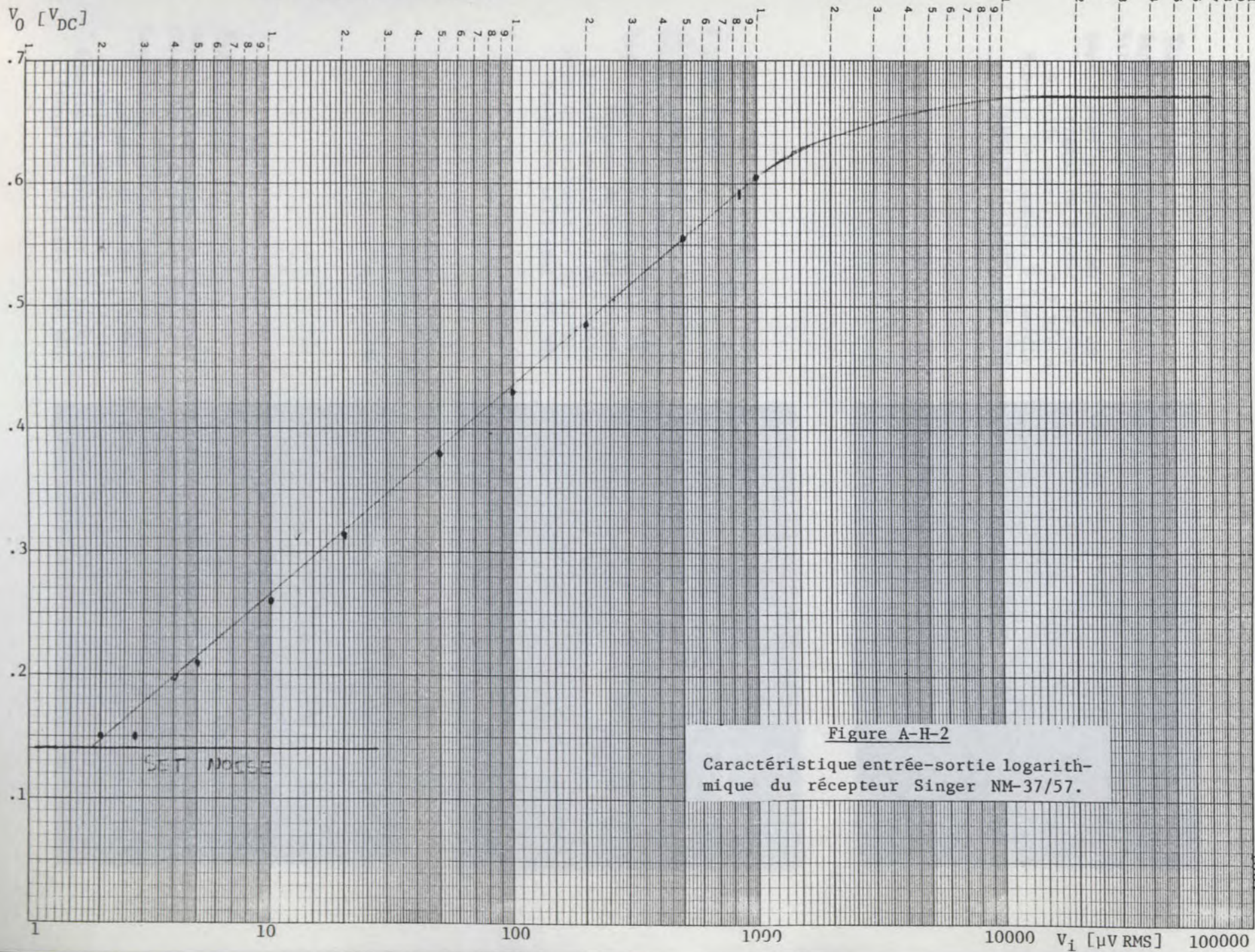


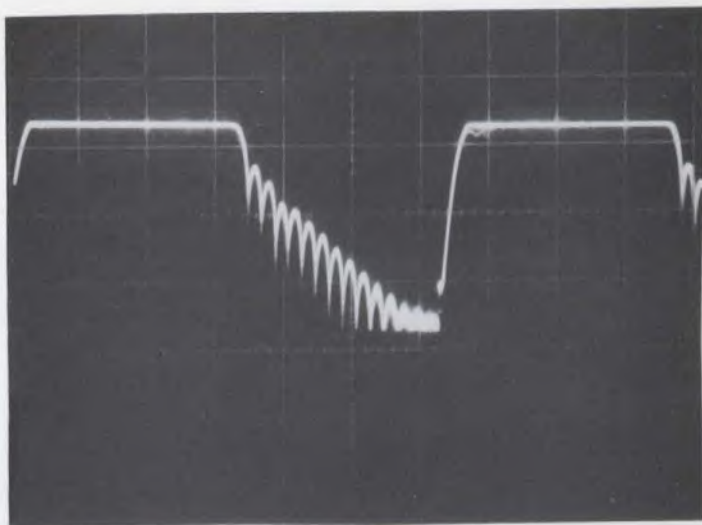
Figure A-H-2

Caractéristique entrée-sortie logarithmique du récepteur Singer NM-37/57.

Figure A-H-3:

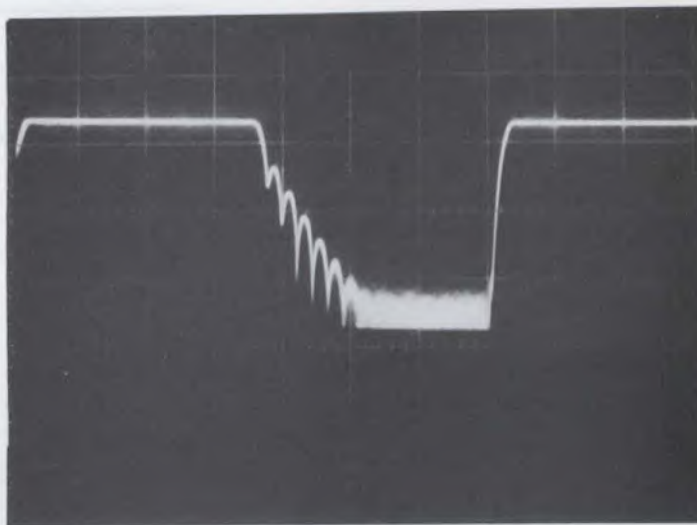
Réponse transitoire du récepteur
Singer NM-37/57, sortie log

Conditions: atténuation: 40 dB
 largeur de bande: 10 kHz
 échelle verticale: 0.2 V/div
 échelle horizontale: 0.5 ms/div
 fréquence utilisée: 500 MHz

Figure A-H-4:

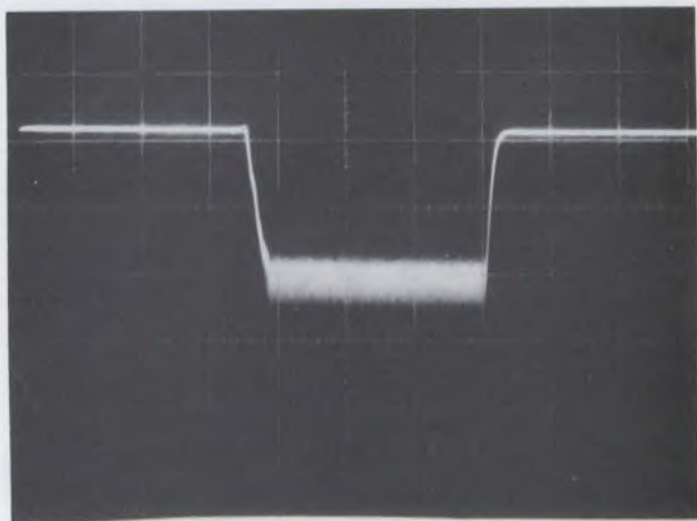
Réponse transitoire du récepteur
Singer NM-37/57, sortie log

Conditions: atténuation: 40 dB
 largeur de bande: 100 kHz
 échelle verticale: 0.2 V/div
 échelle horizontale: 50 μ s/div
 fréquence utilisée: 500 MHz

Figure A-H-5:

Réponse transitoire du récepteur
Singer NM-37/57, sortie log

Conditions: atténuation: 40 dB
 largeur de bande: 1 MHz
 échelle verticale: 0.2 V/div
 échelle horizontale: 10 μ s/div
 fréquence utilisée: 500 MHz



```

10 PLOTTER-15 785
20 LOCATE 25,125,17,97
30 DISP "LIMITE INFERIEURE D'AMPLITUDE"
40 INPUT L
50 FRAME
60 GED
70 LDIR 270
80 SCALE 0,125,-1,500,1,14
90 AXES 1,0,5,-1,500,10,1,3
100 CSIZE 2,0,.6,12
110 LDIR 0
120 FOR N=0 TO 100
130 MOVE K,1,14
140 IF PPKX,10000 THEN 120
150 IORAY 0,-.27
160 MOVE K,1,2
170 LABEL R-L
180 GOTO 280

```

Appendice I

Programme permettant de tracer

les APD sur la HP-85

```

190 IORAY 0,-.025
200 NEXT K
210 LDIR 0
220 FOR K=1 TO 10
230 READ Z
240 Z1=LOT(-LOG(Z)/1000)
250 MOVE 00,Z1
260 IORAY 1,3
270 MOVE 1,Z1
280 IORAY -1,3
290 MOVE -1,3,Z1
300 LABEL Z
310 NEXT K
320 DATA .0001, .01, .1, .5, 1, 2, 3, 5, 10, 20, 30, 50, 70, 80, 90, 95, 99, 99.99
340 DISP "LIMITE SUPERIEURE DE LA PARTIE INFERIEURE"
350 INPUT M
360 BIN P:100
370 FOR V=0 TO 100 STEP 20
380 DISP " "
390 DISP V*4, "PROBABILITE (%)"
400 INPUT P(V)
410 M=V
420 IF P(V)=0 THEN V=100
430 NEXT V
440 GOTO 180
450 LDIR 0

```

```
10 PLOTTER IS 705
20 LOCATE 20, 125, 17, 87
30 DISP "LIMITE INFERIEURE D'AMPLITUDE"
40 INPUT L
50 FRAME
60 DEG
70 LDIR 270
80 SCALE 0, 100, -1.998, 1.14
90 AXES 1, 0, 0, -1.998, 10, 1.3
100 CSIZE 2.6, .6, 10
110 LORG 8
120 FOR K=0 TO 100
130 MOVE K, 1.14
140 IF FP(K/10) # 0 THEN 190
150 IDRAW 0, -.07
160 MOVE K, 1.2
170 LABEL K+L
180 GOTO 200
190 IDRAW 0, -.035
200 NEXT K
210 LORG 6
220 FOR K=1 TO 18
230 READ Z
240 Z1=LGT(-LOG(Z/100))
250 MOVE 99, Z1
260 IDRAW 1, 0
270 MOVE 1, Z1
280 IDRAW -1, 0
290 MOVE -1.5, Z1
300 LABEL Z
310 NEXT K
320 DATA .0001, .01, .1, 1, 5, 10, 20, 30, 40, 50, 60, 70, 80, 85, 90, 95, 98, 99
340 DISP "LONGUEUR DES PAS POUR FAIRE 100 DB"
350 INPUT N0
355 DIM P(100)
360 FOR V=0 TO 100 STEP N0
365 DISP " "
370 DISP V+L; "PROBABILITE =?"
380 INPUT P(V)
382 M=V
385 IF P(V)=0 THEN V=100
390 NEXT V
391 GOSUB 1000
395 LORG 5
```

```
400 FOR I=0 TO M STEP N0
420 IF P(I)>99 THEN GOTO 440
425 IF P(I)<.0001 THEN GOTO 440
427 N5=LGT(-LOG(P(I)/100))
430 MOVE I, N5
435 LABEL "*"
440 NEXT I
500 FOR J=0 TO M STEP N0
520 IF P(J)>99 THEN GOTO 540
525 IF P(J)<.0001 THEN GOTO 540
527 N5=LGT(-LOG(P(J)/100))
530 PLOT J, N5
540 NEXT J
545 PENUP
550 DISP "IDENTIFICATION DU GRAPHIQUE?"
555 DIM B$(100)
560 INPUT B$
570 MOVE -10, .5
580 LABEL B$
590 END
1000 DISP "DONNEES CORRECTES?"
1010 DISP " OUI OU NON"
1020 INPUT A$
1030 IF A$="O" THEN RETURN
1040 DISP "QUEL NIVEAU EST INCORRECTE? (EN DBUV)"
1050 INPUT Y
1060 DISP "LA NOUVELLE VALEUR?"
1070 INPUT Y1
1080 P(Y-L)=Y1
1090 GOTO 1000
```

